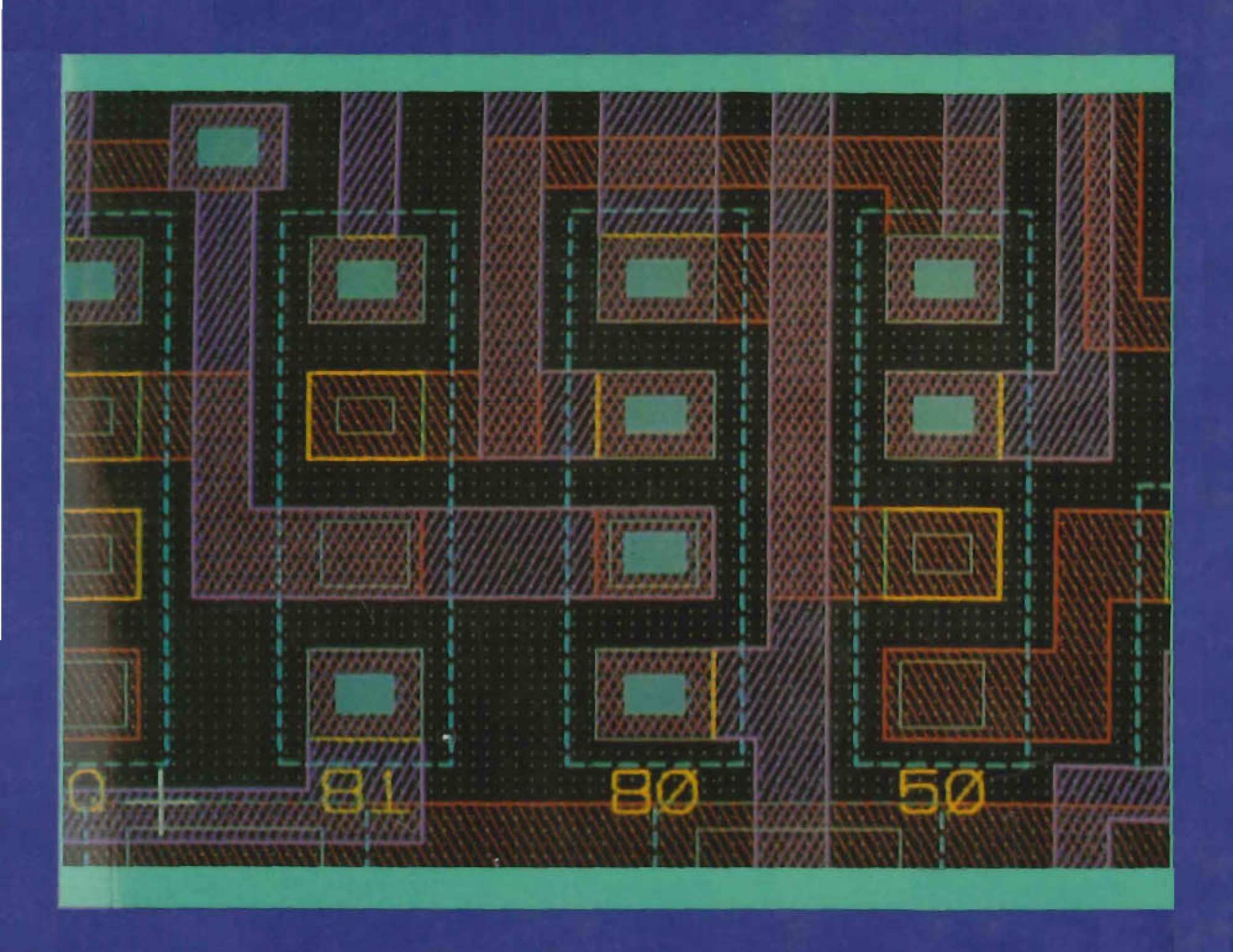
MICROELECTRONICA

Jacob Millman
Arvin Grabel

Sexta edición totalmente actualizada



HISPANO EUROPEA

MICROELECTRONICA

Los continuos avances tecnológicos en el campo de la electrónica obligan a una revisión continua de los textos publicados sobre el tema, en especial si, como en este caso, se trata de una obra eminentemente didáctica.

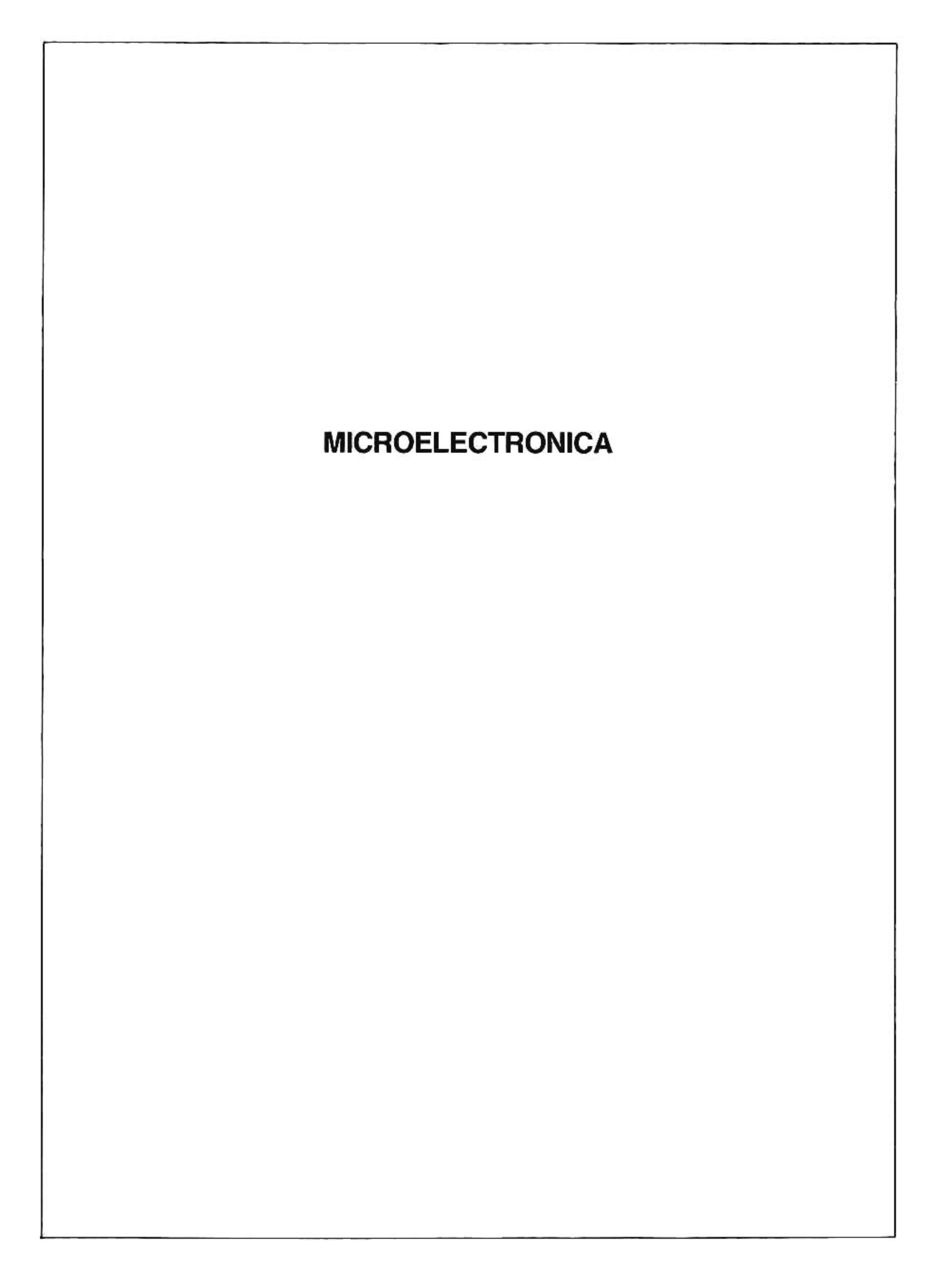
El prestigio del profesor Millman, avalado por sus muchos años de docencia en la Universidad de Columbia y por sus trabajos de investigación en el Instituto Tecnológico de Massachusetts, ha convertido su *Microelectrónica* en una obra básica para la enseñanza de la ingeniería eléctrica y computadoras.

Su trabajo en colaboración con el profesor Arvin Grabel —ex alumno del propio Millman— ha sido revisado y actualizado, incorporando las más recientes innovaciones tecnológicas, con lo que el libro se ha convertido en una herramienta de primer orden para los estudiantes de electrónica.

La obra se ha distribuido en cinco partes, iniciándose con el estudio de los circuitos integrados (dispositivos semiconductores), para continuar con los circuitos y sistemas digitales, amplificadores, de recogida de datos y procesamiento de la señal, para acabar con los circuitos y sistemas de potencia.

En su planteamiento, buscando la máxima facilidad pedagógica, se ha procurado que, sin perder la continuidad, se puedan aislar unos capítulos de otros, de modo que permite seleccionar temas específicos para distintos cursos.

En realidad, el texto contiene suficiente material para dos o tres cursos de dispositivos, circuitos y sistemas electrónicos. El objeto de este libro es conducir al lector, paso a paso, desde un conoci-



MICROELECTRONICA

BIBLIOTECA TECNICA

MICROELECTRONICA

Jacob Millman, Ph. D.
Profesor Charles Batchelor, Emeritus
de la Columbia University

Arvin Grabel, Sc. D.
Profesor de Ingeniería Electrónica e Informática
de la Northeastern University

Sexta edición
totalmente actualizada



EDITORIAL HISPANO EUROPEA, S. A.
BARCELONA (ESPAÑA)

Colección dirigida por **Alfonso Enseñat Badías**,
Doctor Ingeniero Industrial, Profesor de la E. T. S. I. I. B.,
Departamento de Ingeniería Eléctrica
de la Universidad Politécnica de Barcelona

Título de la edición original: **Microelectronics.**

© de la traducción: **Enric Belza i Valls.** Ingeniero Industrial, ex Profesor Encargado de Curso de la E. T. S. I. I. de Barcelona.

Depósito Legal: B.17700-1993.

ISBN: 84-255-0885-1.

1.ª reimpresión: Junio 1993

IMPRESO EN ESPAÑA PRINTED IN SPAIN

LIMPERGRAF, S. L. - Carrer del Riu, 17 (Nau 3) - 08291 Ripollet

Indice

PRIMERA PARTE

Dispositivos Semiconductores

SEGUNDA PARTE

Circuitos y sistemas digitales

TERCERA PARTE

Circuitos y sistemas amplificadores

CUARTA PARTE

Procesado de señales y adquisición de datos

QUINTA PARTE

Electrónica de grandes señales

APENDICES

Sobre los autores

Jacob Millman es profesor emérito de la Universidad de Columbia donde ocupó la cátedra «Charles Batchellor» de electrónica. Obtuvo sus grados B.S. (1932) y Ph. D. (1935) en Física, por el Instituto Tecnológico de Massachusetts. Su primer año de graduado lo pasó en Munich, Alemania (1932-1933). Enseñó ingeniería eléctrica en el «City College» de Nueva York (1936-1941 y 1946-1951) y en Columbia (1952-1975). Durante la segunda guerra mundial trabajó en el desarrollo de sistemas de radar en el «Radiation Laboratory» del MIT (1942-1945).

El Doctor Millman es autor o coautor de ocho libros de texto; *Electronics* (1941 revisado en 1952); *Pulse and Digital Circuits* (1956); *Vacuum Tube and Semiconductor Electronis* (1958); *Pulse, Digital, and Switching Waveforms* (1965); *Electronics Devices and Circuits* (1967); *Integrated Electronics* (1972); *Electronic Fundamentals and Applications* (1975); *Microelectronics* (1979). Estos libros han sido traducidos a diez idiomas.

El profesor Millman es colaborador y miembro vitalicio del IEEE y colaborador de la «American Physical Society». Recibió la «Great Teachers Award» de la Universidad de Columbia (1967), la «Education Medal» del IEEE (1970), y fue propuesto para el «Centenial Hall of Fame» del IEEE como uno de los mejores profesores de Ingeniería Eléctrica de todos los tiempos.

Ha pronunciado numerosas conferencias fuera de los Estados Unidos: en Italia, España, Israel, Grecia, Brasil, Uruguay, Alemania, Holanda y Francia.

Arvil Grabel ha ejercido desde 1964 en la facultad de la «Northeastern University» siendo actualmente profesor de Ingeniería Eléctrica y de Computadores. Obtuvo los tres grados de la Universidad de Nueva York. Como instructor de Ingeniería Eléctrica ha enseñado en el «New York University Graduate Center» en los Laboratorios Bell. Ha sido profesor invitado de la Universidad de California, en Santa Bárbara y en la «Cooper Union para el Progreso del Arte y de la Ciencia». El libro *Basic Electrical Engineering* del que es coautor, está ya en su quinta edición, y ha sido traducido a seis idiomas.

Prefacio

El principal objetivo de este libro es el de servir de texto en los cursos de electrónica moderna para los estudiantes de ingeniería eléctrica y de computadores. Nuestra intención es la de remarcar los conceptos fundamentales en los que se apoya la operación física, el análisis y el diseño de circuitos integrados y sistemas. Compaginando este objetivo con una diversidad de aplicaciones esperamos abarcar tanto la sustancia como la esencia de la cuestión. La extensión y profundidad del tratamiento hace que este volumen sea también un valioso auxiliar para ingenieros, científicos y profesionales de campos afines a la ingeniería eléctrica y de calculadoras.

El texto, dividido en cinco secciones principales, está organizado de forma que suponga la máxima flexibilidad pedagógica sin perder la continuidad. De esta forma, cada profesor puede adaptar el material a un cierto número de cursos distintos que satisfagan las necesidades e intereses tanto de alumnos como de profesores.

La primera parte (capítulos 1 al 5) estudia las características de los *dispositivos semiconductores* empleados en los circuitos integrados (IC). Los cinco capítulos remarcan las propiedades de los semiconductores y estudian el funcionamiento físico y las características de los diodos de unión, transistores bipolares (BJT) y transistores de efecto campo (FET). El último capítulo describe las técnicas de fabricación de los IC. Se trata de exponer los procesos empleados y las limitaciones impuestas por la fabricación al diseño de circuitos.

Estos cinco primeros capítulos están dedicados a quienes no tienen conocimientos previos de electrónica, y abarcan el material fundamental requerido para entender el resto del libro. Para la primera parte sólo se requieren los conocimientos físicos y matemáticos comprendidos en el primer o segundo curso de un programa típico de ingeniería. La mayor parte de estudiantes han seguido un curso de análisis de circuitos antes de empezar a estudiar electrónica. Aun cuando esta preparación es valiosa, no es indispensable pues el análisis elemental de circuitos empleado en este capítulo queda explicado en el Apéndice C.

La segunda parte (capítulos 6 al 9) trata de *circuitos y sistemas digitales*, y la tercera (capítulos 10 al 14) de *circuitos y sistemas amplificadores*. Si se desea puede ponerse la tercera parte (analógica) antes que la segunda (digital). El material contenido en la primera parte suministra los conocimientos necesarios para cualquier otra sección. Hemos antepuesto los sistemas digitales por dos motivos:

1. En muchas universidades a los ingenieros y científicos matemáticos se les exige un solo curso de electrónica. Evidentemente, para estos estudiantes tal curso se refiere a la electrónica digital. Con una selección cuidadosa de los temas comprendidos en las dos primeras partes se puede formar un curso, lo que proporciona al instructor la libertad e iniciativa de elegir las materias más adecuadas a sus fines.
2. Sólo se requiere una teoría de circuitos elemental, del nivel descrito en el Apéndice C. Por tanto, el estudiante no necesita ningún requisito en cuanto a ingeniería eléctrica para asimilar estos temas.

El primer capítulo de la segunda parte trata de las puertas lógicas empleadas en el sistema digital. Nos referimos al funcionamiento y características de las cuatro principales tecnologías de IC. Las dos familias de transistores de efecto campo (FET) son la NMOS y la CMOS, mientras que la lógica transistor-transistor

(TTL) y la de emisor acoplado (ECL) son las familias normales del transistor bipolar de unión (BJT) estudiado. Los circuitos integrados a pequeña escala (SSI), media escala (MSI) y gran escala (LSI) y los sistemas derivados de estas puertas lógicas se estudiarán en los dos siguientes capítulos (circuitos y sistemas combinacionales y secuenciales).

El último capítulo trata de sistemas integrados a muy gran escala (VLSI) en los que se estudia la célula de memoria de acceso aleatorio (RAM) estática o dinámica. Asimismo se introducen las tecnologías empleadas únicamente en los sistemas VLSI, tales como la lógica inyección-integrada (I^2L), CMOS, y dispositivos acoplados.

El desarrollo de *circuitos y sistemas amplificadores* en la tercera parte (capítulos 10 a 14) es semejante al de la segunda parte. Los dos capítulos iniciales están enfocados hacia las propiedades de las etapas amplificadoras básicas BJT y FET. Se estudian los métodos de polarización de los sistemas integrados, y el empleo de modelos de pequeña señal para valorar el funcionamiento de amplificadores de etapa única o en cascada. También se describe el amplificador operacional (Op-Amp) como bloque constructivo básico. Estos amplificadores se usan para formar sistemas amplificadores realimentados. Los conceptos fundamentales y las técnicas desarrolladas se emplean en el análisis y diseño de las cuatro topologías básicas de amplificadores realimentados. La arquitectura interior y el funcionamiento de los modernos chips Op-Amp se verán en el capítulo 14 que trata conjuntamente muchos de los conceptos vistos anteriormente en la tercera parte.

La cuarta parte (capítulos 15 y 16) examina los circuitos y sistemas de recogida de datos y procesos de la señal. Muchos de estos circuitos se usan tanto en sistemas digitales como analógicos y emplean puertas lógicas y Op-Amp. Se estudian circuitos para generar ondas senoidales, en rampa o de impulsos y para la conversión de señales analógicas en digitales (o viceversa). Entre los circuitos descritos figuran integradores, filtros activos incluyendo los capacitivos y los amplificadores multiplicadores y logarítmicos.

La última parte (capítulo 17) revela al estudiante los *circuitos y sistemas de potencia*. Se trata la conversión de c.a. en c.c. lo que conduce al estudio de los reguladores de tensión monolíticos. También se examinan los circuitos y dispositivos amplificadores de alta tensión y gran potencia.

El texto contiene suficiente material para 2 o 3 cursos semestrales de dispositivos, circuitos y sistemas electrónicos. Con el constante aumento de componentes en un chip integrado, la diferencia entre elemento, circuito o sistema electrónico se ha hecho confusa, y en este libro no se ha intentado diferenciarlos entre sí. Un bloque monolítico tal como un Op-Amp se considera a veces como un *elemento*, y un chip microelectrónico a gran escala merece la calificación de *sistema* o por lo menos de *sub-sistema*.

En el prólogo que sigue a este prefacio se relata brevemente la historia de la electrónica. Se espera que tanto el instructor como el alumno lean esta fascinante historia antes de iniciar el estudio del texto.

Muchos ingenieros electrónicos diseñan nuevos productos, subsistemas o sistemas conectando entre sí chips integrados normales de tal forma que el conjunto cumpla los objetivos externos deseados. Naturalmente estos ingenieros deben saber qué chips IC existen en el mercado, qué funciones desarrollan y cuáles son sus limitaciones. Los diseñadores de los chips deben conocer cuáles son las funciones que necesitan ser desarrolladas y cuáles son las limitaciones que afectan mayormente el funcionamiento del sistema en que se incluya el chip.

Bajo este punto de vista, el objeto de este libro es conducir al lector, paso a paso, desde un conocimiento cualitativo de las propiedades de un semiconductor hasta la comprensión del funcionamiento de elementos de estado sólido y apreciar finalmente cómo se combinan éstos para formar ICs, con características entrada-salida útiles y definidas. A lo largo de este libro se estudia una gran variedad de chips integrados. No sólo describiremos lo que se fabrica sino que intentaremos llegar a un profundo conocimiento de las funciones digitales y/o analógicas que desempeña el chip. Después de estudiar cada circuito o sistema se hace referencia a un chip específico comercialmente adquirible y que realice la función deseada. Se exponen las limitaciones de los elementos y circuitos reales frente a los ideales. Para apreciar el funcionamiento no ideal, en el Apéndice B se dan las especificaciones de los fabricantes de elementos y

de circuitos integrados representativos. La profundidad del estudio, la amplia selección de asuntos, y el aspecto práctico se combinan para preparar al estudiante para actuar con eficacia inmediatamente después de graduarse.

La atención prestada al aspecto pedagógico se refleja en la explicación del comportamiento de los dispositivos, circuitos y sistemas y en el contexto en que se estudian los asuntos específicos. Nos hemos esforzado en asegurar la introducción de los conceptos nuevos empleando las técnicas analíticas conocidas y que el desarrollo de nuevos métodos de análisis se base solamente en conceptos vistos anteriormente. Además, hemos puesto gran cuidado en la selección de los muchos ejemplos y cálculos numéricos incorporados en el texto.

Muchos de los procedimientos de análisis expuestos conducen a cálculos manuales que un ingeniero maneja frecuentemente. Tales cálculos son valiosos ya que ayudan a penetrar en el funcionamiento del circuito o sistema diseñado. Cuando se emplean conjuntamente con calculaciones simuladas, se proporciona al ingeniero una potente herramienta para el diseño. Se debe estimular a los alumnos a emplear simuladores tales como SPICE y MICROCAP II, siendo ambos aptos para ser utilizados con computadores personales.

Las preguntas de repaso al final de cada capítulo son una buena ayuda para resolver los aproximadamente 800 problemas planteados en el apéndice D. Empleando conjuntamente las preguntas y los problemas se comprueba la captación por parte del alumno de los conceptos fundamentales y se proporciona experiencia en el diseño y análisis de circuitos electrónicos. En todos los problemas numéricos se han empleado valores realísticos de los parámetros.

Las preguntas de repaso son una prueba de los conocimientos cualitativos de las materias del texto y pueden servir también para formar parte de un examen.

Hemos recibido valiosas opiniones y sugerencias de muchos profesores e ingenieros. Todos ellos han influido en esta obra, y a todos ellos expresamos nuestro agradecimiento y aprecio. Quedamos especialmente agradecidos al profesor Arthur Dickerson cuyos comentarios han resultado valiosos en la preparación de este libro, y nos sentimos obligados hacia David Damstra que contribuyó mucho desde el manuscrito hasta la producción, a los comentarios y juicios de Sanjeev Rao y a Mary Rosenberg cuyas comprobaciones o páginas finales fueron de gran ayuda.

JACOB MILLMAN
ARVIN GRABEL

P.S. Yo estoy entre las dos generaciones de ingenieros eléctricos que han estudiado electrónica con los libros de Jacob Millman. He tenido el placer de ser una vez más «alumno» suyo cuando trabajamos juntos en el planteamiento y organización de este libro y en la preparación detallada de los seis primeros capítulos. He intentado conservar el estilo de este verdadero maestro en lo que resta del texto. Los últimos once capítulos son de mi exclusiva responsabilidad y por tanto reflejan la calidad del estudiante y no la del mentor.

Agradezco a Jacob Millman la oportunidad que me ha dado de colaborar con él. Su estilo e influencia han contribuido enormemente sobre mí como enseñante y autor.

ARVIN GRABEL

Prólogo. Breve historia de la electrónica

Para la mayoría de nosotros la palabra electrónica nos sugiere una variedad de cosas desde los «chips» y calculadoras hasta la televisión y los transistores. Así, mientras convenimos en los términos específicos que forman la electrónica, su definición es algo ambigua. En los párrafos que siguen y en el resto del prólogo definimos la electrónica tal como la empleamos en este libro, no en el sentido del diccionario, sino siguiendo los matices de la disciplina. Hemos elegido la historia como vehículo para conseguirlo, ya que son los esfuerzos individuales los que contribuyen o han contribuido en el campo que verdaderamente define la disciplina.

En sentido estricto, la *electrónica* es la ciencia y tecnología relativa al movimiento de cargas en un gas, en el vacío o en un semiconductor. Obsérvese que el movimiento de cargas exclusivamente en un metal no se considera electrónica. A principios del siglo XX se empleó esta separación para distinguir el campo de la ingeniería eléctrica del entonces naciente campo de la electrónica. En aquella época la ingeniería eléctrica trataba de dispositivos que dependían exclusivamente del movimiento de los electrones en los metales, tales como motores, generadores, bombillas de filamento, y sistemas de comunicación por cable (teléfono y telégrafo). Sin embargo, a medida que nos acercamos a finales del siglo la separación histórica entre electricidad y electrónica va perdiendo su función original.

Actualmente los ingenieros eléctricos prácticos cumplen diversas funciones con distintas aplicaciones (diseño, desarrollo, producción, investigación e incluso enseñanza). Tratan con sistemas que permiten comunicarse con todo el mundo, que manipulan grandes cantidades de datos, que permiten automatizar complejos procesos de fabricación, y tratan también con los elementos empleados para conseguirlo. El campo de la ingeniería eléctrica abarca asimismo la producción, distribución y conversión de la energía eléctrica. El grupo citado en la primera de las dos frases anteriores posee la propiedad común de procesar información, mientras que el grupo citado en la segunda se puede considerar como procesado de la energía. Esta distinción entre el procesado de información y el procesado de energía es lo que separa la electrónica del resto de las ingenierías eléctricas. En consecuencia, la electrónica comprende cuatro «C»: comunicación, cálculo, control y componentes.

Este prólogo comprende una breve historia de la electrónica moderna, enfocada principalmente en el desarrollo y aplicaciones de los dispositivos electrónicos y el crecimiento de las industrias resultante de la utilización de estos dispositivos en circuitos y sistemas prácticos.

La historia se divide en dos períodos de tiempo que denominamos *era del tubo de vacío* y *era del transistor*. La primera abarca el desarrollo habido en la primera mitad del siglo XX, y la segunda empieza con la invención del transistor en 1948. En el último apartado se especula sobre la futura marcha de la electrónica. Estas descripciones sostienen y perfilan los puntos técnicos tratados en el texto.

ANTECEDENTES

Los orígenes de la ingeniería eléctrica se basan en los descubrimientos de grandes científicos como Ampère, Coulomb, Faraday, Gauss, Henry, Kirchhoff, Maxwell y Ohm. La primera aplicación práctica

de sus trabajos, en el contexto de la electrónica moderna, fue en el desarrollo de los sistemas de comunicación. En 1837 Samuel Morse, profesor de Arte en la Universidad de Nueva York probó el sistema telegráfico. Lo significativo del telégrafo eléctrico fue la introducción de un método eficaz de codificación a señales eléctricas. Los puntos y rayas del alfabeto Morse representan el primer empleo de señales digitales (binarias).

Cerca de 40 años más tarde (1876) Bell inventó el teléfono e introdujo el método de codificar una información (el habla) como una señal eléctrica continua, y decodificándola luego en el receptor. La invención del fonógrafo por Edison en 1877 demostró que las señales eléctricas podían almacenarse y por tanto recuperarse. El disco del gramófono puede considerarse como primera memoria de sólo lectura (ROM).

La introducción de las comunicaciones por radio se basa en la contribución de James Clerk Maxwell que en 1865 compiló las investigaciones precedentes en una consistente teoría del electromagnetismo conocida hoy como ecuaciones de Maxwell. El mayor salto hacia adelante es debido a las predicciones de Maxwell sobre la existencia de ondas electromagnéticas capaces de propagarse en el espacio. Aquí tenemos un caso en el que la teoría precede a la experimentación ya que no fue hasta 23 años más tarde que Hertz produjo tales ondas en experimentos de laboratorio. Marconi fue el primero en explotar el empleo de las *ondas Hertzianas* como así se les denominó. En 1896 Marconi emitió con éxito estas ondas detectándolas desde una distancia de 2 millas. La telegrafía sin hilos tuvo su humilde origen en estos experimentos.

LA ERA DEL TUBO DE VACÍO

La era del tubo de vacío abarca la primera mitad del siglo XX. La electrónica moderna se formó tecnológicamente durante este período.

El origen del vocablo «electrónica» se puede atribuir a H. A. Lorentz, que en 1895 admitió la existencia de cargas discretas que denominó *electrones* (reintroduciendo la palabra empleada por los antiguos griegos). Dos años más tarde J. J. Thompson comprobó experimentalmente la existencia de los electrones. En aquel mismo año Braun construyó el primer tubo electrónico, un primitivo tubo de rayos catódicos.

Descubrimiento de los tubos de vacío

En 1904 Fleming inventó un dispositivo con dos elementos, el diodo, al que llamó válvula. Consistía en un filamento calentado que emitía electrones (efecto Edison) y que estaba situado próximo a una placa metálica. El conjunto de esta estructura estaba encapsulada en vacío.

Una tensión positiva de placa a filamento (cátodo) daba paso a una corriente mientras que una tensión negativa anulaba la corriente. Esta propiedad unilateral de la válvula la hizo idónea para detectar señales de radio (sin hilos).

Dos años después, Pickard empleó como detector un cristal de silicio, y una aguja apoyada en él. Éste fue el primer diodo semiconductor, no obstante no resultó práctico y pronto fue abandonado, y así en 1906 pareció que los semiconductores electrónicos tenían una muerte prematura.

La invención en 1906 del audión (triodo) por parte de De Forest fue el embrión en los primeros tiempos de la electrónica. Realmente se puede afirmar que la electrónica tal como se conoce actualmente no existiría sin la invención del triodo. El audión de De Forest consiste en intercalar un tercer electrodo (rejilla) entre la placa y el cátodo de la válvula de Fleming. La tensión de la rejilla regula la circulación de cargas entre placa y cátodo. Una pequeña variación en la tensión de la rejilla se traduce en una gran variación de la tensión placa-cátodo, con lo que el audión resulta ser el primer amplificador.

El triodo fue el primer dispositivo que mostró la propiedad del circuito llamada hoy de fuente dependiente. Ya que retiene la propiedad unidireccional de la válvula, el triodo equivale también a un interruptor controlado. Actualmente, todos los circuitos electrónicos se valen de las características de elementos que se comportan como controladores de fuente o de corte.

Aplicaciones iniciales

Hacia 1911 los avances tecnológicos tales como un mejor vacío y el recubrimiento del cátodo con óxido hicieron del audión un elemento seguro iniciándose así la era de la electrónica práctica.[1]

La primera aplicación de los tubos de vacío estuvo dirigida a las comunicaciones por teléfono y radio, fundándose simultáneamente en los Estados Unidos en 1912 el «Institute of Radio Engineers» (IRE). Es de admirar la imaginación y perspicacia de estos primeros ingenieros que captaron inmediatamente la importancia de la radio y fundaron su propia asociación profesional. El «American Institute of Electrical Engineers» (AIEE) que cuidaba de los intereses de los ingenieros eléctricos convencionales fue fundado en 1884. Ambas asociaciones se fusionaron en 1963, formándose el «Institute of Electrical and Electronic Engineers» (IEEE) que asumió medio siglo de desarrollo de la profesión.

Empleando sólo los diodos y triodos disponibles, del ingenio de estos nuevos ingenieros surgieron muchos nuevos circuitos, siendo notables los de amplificadores en cascada, amplificadores regenerativos (Armstrong, 1912)[2], osciladores (De Forest, 1912), heterodinos (Armstrong, 1917), y multivibradores (Eccles-Jordan, 1918).

El oscilador fue el primer ejemplo de generación de señales electrónicas con medios exclusivamente electrónicos. El aumento de ganancia tanto en el amplificador regenerativo (realimentación positiva) como el en cascada, junto con la modificación de frecuencia dada por el heterodino mejoró el procesado de la señal y la detección de señales débiles. Los primeros multivibradores fueron los precursores de los modernos flip-flop y relojes (circuitos de tiempo).

Industrias electrónicas

El amplificador tuvo aplicación comercial casi inmediata en la telefonía a larga distancia. Los avances en la tecnología de los tubos conseguidos por las compañías telefónicas impulsó una nueva industria: la radiodifusión comercial. En 1920 la Westinghouse Electric Corporation creó la emisora KDKA en Pittsburgh, Pensilvania. Apenas cuatro años más tarde ya existían 500 en los Estados Unidos, y en 1926 ya era realidad la red de radiodifusión. Simultáneamente se introdujo la radio en el mundo industrial.

Las industrias electrónicas[3] abarcan uno o más de los grupos de: componentes, comunicaciones, control y cálculo.

COMPONENTES

En un principio las industrias de los componentes se crearon para fabricar los distintos tipos de dispositivos electrónicos así como elementos pasivos de circuitos (resistencias, condensadores, inductan-

[1] Casualmente, el profesor Millman nació ese mismo año.
[2] En esta época Armstrong aún estudiante en la Universidad de Columbia.
[3] Las actividades de muchas compañías abarcan más de una categoría, frecuentemente con filiales o divisiones identificadas con un grupo.

cias, transformadores, etc.). Los ingenieros y científicos de estas organizaciones consiguieron grandes avances en el desarrollo de nuevos y mejores dispositivos, incluyendo el calentamiento indirecto del cátodo, los tubos tetrodo y pentodo con un cuarto y un quinto electrodos en el interior de un triodo, y los tubos con gas como el tiratron. Disponiendo de nuevos elementos pronto se idearon nuevos circuitos que facilitaron el mando único de sintonización, el control automático de ganancia (AGC), y la operación multibanda.

COMUNICACIONES

Las señales de radio se transmiten mejor a frecuencias por encima de los 500 kHz. Como la frecuencia de las señales que representan la información está normalmente bastante por debajo de los 500 kHz, estas señales deben codificarse y pasarse a la frecuencia de transmisión mediante un proceso denominado *modulación*. Los primeros sistemas de emisión por radio emplearon la modulación de amplitud (AM). Para aumentar la fidelidad y reducir las interferencias atmosféricas, Armstrong ideó y desarrolló en 1930 la frecuencia modulada (FM).

La televisión en blanco y negro empezó en 1930 basada en el iconoscopio y el kinescope de Zworykin (las primeras cámara y pantalla respectivamente). En 1940 la televisión en Estados Unidos estaba muy poco divulgada, y su expansión se vio frenada por la segunda guerra mundial. La introducción del color en la televisión comenzó hacia 1950, durante los años 60 pasó a ser el sistema dominante.

Las técnicas empleadas en radiodifusión se adaptaron también en otras aplicaciones. Los sistemas telefónicos se transformaron en una de las más importantes formas de comunicación electrónica. A su vez, circuitos creados para telefonía se emplearon ampliamente en sistemas de recepción de radio. El radar (creado durante la segunda guerra mundial) utiliza comunicaciones por radio para ayudar a la navegación tanto por aire como por mar.

Cada una de las innovaciones citadas hizo que se idearan nuevos circuitos. Entre éstos está el amplificador de realimentación negativa inventado por Black (1927), el limitador de FM y el discriminador de FM. Otro circuito desarrollado fue el generador en dientes de sierra que proporciona la base de tiempos lineal para los primeros osciloscopios y para los sistemas de deflexión en televisión. Muchos de los nuevos sistemas de comunicación emplean señales discretas (impulsos) en lugar de señales continuas. En consecuencia hubo de desarrollarse una variedad de circuitos de impulsos para la temporización y sincronización necesarios en televisión, radar y otras aplicaciones y para la generación y modulación de impulsos. Además, los nuevos sistemas de comunicaciones operan a más altas frecuencias y se basan en elementos microondas tales como el klystron y el magnetron.

COMPUTADORES (CÁLCULO)

Aun cuando los transistores y los circuitos integrados dieron pie al extraordinario crecimiento de la industria del cálculo, sus orígenes parten de la era del tubo de vacío. Durante unos 300 años ha habido gran interés en las máquinas calculadoras. En 1633 Schickard (junto con su compañero Kepler, el astrónomo) describió una calculadora mecánica para sumar, restar, multiplicar y dividir. Diseñó una rueda con diez radios, uno de los cuales era más largo que los demás. Esta rueda iba situada mecánicamente junto a otra rueda similar. Cuando la primera de estas ruedas haya avanzado 10 incrementos angulares, que corresponden a los 10 dígitos, el radio largo engarza con la siguiente rueda que avanza un paso. En otras palabras, inventó el «llevar» en aritmética. Por la misma época Pascal (1642) y Leibnitz (1671) tuvieron ideas parecidas. Pero el primer esfuerzo serio para construir una calculadora mecánica fue hecho 200 años después (1833) por Babbage, un profesor de matemáticas inglés. Esta máquina contenía todos

los elementos de una computadora digital moderna. Empleaba tarjetas perforadas (inventadas 30 años antes por Jacquard, un fabricante de tapices francés) para la entrada y la salida, conteniendo ambas memoria y una unidad aritmética: era una máquina de programa almacenado. Sin embargo la tecnología de entonces no permitió convertir la idea en una máquina práctica.[4]

La primera calculadora efectiva fue electromecánica, no electrónica, y fue construida en 1930 por IBM bajo la dirección del profesor Aiken de la Universidad de Harvard. Se le llamó la «calculadora IBM de secuencia automática controlada, Mark I». Tenía 17 m de largo y 3 m de altura y era de aspecto muy basto. Estuvo en servicio haciendo cálculos durante más de 15 años. La primera calculadora electrónica fue completada en 1946 por Eckert y Mauchly en la «Moore School of Electrical Engineering» en la Universidad de Pensilvania. Se le denominó ENIAC. Se empleó para el cálculo de tablas balísticas para las fuerzas armadas y no fue una calculadora de empleo general. Contenía 18.000 tubos de vacío. Ocupaba 40 bastidores con equipo y precisaba un local de 10 x 13 metros. Van Newmann, asesor del proyecto, sugirió que la calculadora emplease la numeración binaria y la lógica de Boole y que tuviese programas para las operaciones básicas.

En 1946 la IBM introdujo la primera calculadora electrónica pequeña del tipo 603, y dos años más tarde surgió la IBM 604, calculadora digital de uso general, de las que se vendieron unas 4.000 máquinas en 12 años. Así pues, se puede considerar el año 1948 como el del principio de la industria de las computadoras (casualmente el transistor se inventó ese mismo año).

En esa época se dedicaron a investigaciones en este campo varias instituciones entre las que se pueden citar las Universidades de Harvard, Princeton y Pensilvania, el Instituto de Tecnología de Massachusetts, el Instituto Courant de la Universidad de Nueva York y el Instituto de Estudios Avanzados. Estos ingenieros y científicos apoyados por entidades gubernamentales desarrollaron conceptos que seguidamente se aplicaron a calculadoras comerciales de uso general.

La IBM 650 considerada como el caballo de batalla de la industria se introdujo en 1954. Esta máquina con tubos de vacío, así como otras fabricadas por distintas compañías constituyen lo que se llama primera generación de calculadoras digitales.

Durante los últimos tiempos de la era del tubo de vacío se desarrollaron también las computadoras analógicas. Tales máquinas se usan para resolver grandes sistemas de ecuaciones diferenciales, y se basan en la construcción de circuitos electrónicos cuyo comportamiento está gobernado por una serie de ecuaciones análogas a las que se pretende resolver. El analizador diferencial desarrollado por Bush en el Instituto de Tecnología de Massachusetts fue la primera calculadora analógica electromecánica. Las versiones electrónicas adquirieron realidad al inventarse el amplificador operacional.[5]

CONTROLES

El origen de las industrias de control electrónico está en la electrónica industrial, que puede definirse como el empleo de dispositivos electrónicos en el manejo y control de máquinas en la industria (que no sean de comunicación ni de cálculo). Los elementos empleados fueron los tiratrones, diodos gaseosos, rectificadores de mercurio y tubos de alta tensión y gran potencia. Estos dispositivos se emplearon en circuitos de alta tensión y potencia, rectificadores de alterna a continua, inversores de continua a alterna, y circuitos de transmisión de alta tensión. También se aplican a la regulación de velocidad de motores, reguladores de tensión, calentamiento dieléctrico y por inducción, y otros varios procesos de control industrial. También en esta época se empezó a usar el computador analógico en sistemas de control.

[4] Los esfuerzos de Babbage no fueron baldíos. Sus intentos para construir la calculadora se tradujeron en un perfeccionamiento en el manejo de máquinas-herramientas lo que fue un gran impacto en la industria de la Inglaterra victoriana.

[5] El término «amplificador operacional» lo inventó J. R. Ragazzini, un colega de Millman en la Universidad de Columbia, y posteriormente uno de los profesores de Grabel en la Universidad de Nueva York.

Análisis y Teoría

Además del crecimiento industrial se hicieron grandes progresos analíticos y teóricos. Lo que sigue es una breve indicación de la magnitud de los logros.

El análisis de circuitos y las técnicas de síntesis progresaron notablemente con los trabajos en equipo en los laboratorios de la Bell y del Instituto de Massachusetts. Bode y Nyquist desarrollaron la teoría del amplificador realimentado y transformaron el concepto del circuito de Black en otro, extendiendo así su empleo.

Shannon de Estados Unidos por un lado y Kotelnikov de la Unión Soviética por otro desarrollaron una teoría sobre la información que produciría un gran impacto en la transmisión de datos. Una aplicación particular fue la codificación y modulación de impulsos, técnica propuesta por Reeves.

Otra contribución de Shannon fue el empleo del álgebra de Boole en el análisis y diseño de circuitos de conmutación (1937). En Gran Bretaña Turing expuso el concepto de una máquina calculadora universal, y Wilkes desarrolló la microprogramación.

Los sistemas por muestreo introducidos por Ragazzini y Zadeh se aplicaron a funciones de control preparando el camino para los sistemas de control basados en procesos de cálculo digital.

El estudio de los materiales, en especial la aplicación de la mecánica cuántica a los sólidos condujo a nuevos dispositivos y más tarde contribuyó en la invención del transistor. Para aprovechar las ventajas aportadas por la electrónica se crearon los transductores que convierten la luz, el sonido, la presión, la temperatura o cualquier otra variable en señales eléctricas.

Nuevas formas de instrumentos (osciloscopios, voltímetros de tubos de vacío, etc.) emplean la electrónica para mediciones y para comprobación de equipos electrónicos.

La década de 1950 fue de transición. Señala el final de los sofisticados sistemas de tubos de vacío y el comienzo de la edad del transistor. Actualmente todo el campo está dominado por los semiconductores salvo las aplicaciones de alta tensión y gran potencia. Ciertamente, los tubos de vacío han desaparecido de todos los cursos de ingeniería eléctrica.

LA ERA DEL TRANSISTOR

La era de la electrónica con semiconductores comienza con la invención del transistor en 1948. Sin embargo esta era fue consecuencia de trabajos anteriores realizados entre 1920 y 1945. Durante este período el estudio de las propiedades electromagnéticas de los semiconductores y metales fue la principal ocupación de los físicos. Contribuyeron eficazmente Block, Davydov, Lark-Horovitz, Mott, Schottky, Slater, Sommerfeld, Van Vleck, Wigner, Wilson y otros de universidades de todo el mundo. Se hicieron intentos para fabricar dispositivos electrónicos compactos. En 1930 Lillienthal y Heil registraron una patente de un dispositivo amplificador sólido, y precursor de los transistores de unión y de efecto campo. Sin embargo estos elementos no progresaban y muy probablemente ninguno de los inventores pudo explicar la teoría subyacente.

No hubo gran ímpetu en el desarrollo de los elementos de estado sólido hasta 1945. Los tubos de vacío tenían sus limitaciones: consumen potencia aún cuando no estén en servicio, y los filamentos se quemaban exigiendo la sustitución del tubo. M. J. Kelly, en aquel entonces director de investigación y más tarde presidente de la Bell Laboratories, previó que unas comunicaciones telefónicas eficaces iban a requerir conmutación electrónica y mejores amplificadores, preferiblemente a los sistemas electromecánicos. Formó un grupo de físicos teóricos y experimentadores, además de un ingeniero eléctrico y un químico para investigar el estado sólido. El siguiente entrecomillado está sacado de la autorización para trabajar en este grupo: «Las investigaciones seguidas en este caso tienen por objeto lograr nuevos conocimientos que puedan ser utilizados para el desarrollo de componentes totalmente nuevos así como aparatos y

elementos de los sistemas de comunicación.» Uno de los principales objetivos era el de conseguir un amplificador de estado sólido que eliminara los inconvenientes del tubo de vacío.

Descubrimiento del transistor de unión bipolar

En diciembre de 1947 se realizó una prueba en la que se presionaron dos sondas de oro próximas entre sí contra la superficie de un cristal de germanio: se pudo observar que la tensión de salida del «colector» (respecto a la base de germanio) era superior a la de entrada en la sonda «emisor». Brattain y Bardeen se dieron cuenta de que esto era lo que buscaban siendo éste el nacimiento del amplificador en estado sólido en forma de transistor de contacto. La actuación del primer transistor era verdaderamente pobre. Tenía poca ganancia y ancho de banda, era ruidoso y sus características variaban mucho de uno a otro ejemplar.

Shockley, del grupo puntero, dedujo que las dificultades procedían de los puntos de contacto. Propuso el transistor de unión y casi inmediatamente completó la teoría de su funcionamiento. El nuevo dispositivo tenía portadores de cargas de ambas polaridades, por tanto se trataba de dispositivos bipolares. Los portadores eran los electrones, ya bien conocidos y otras «partículas extrañas» que se pueden explicar sólo por la mecánica cuántica y que se comportaban como si fuesen cargas positivas. Se les denominó «huecos» porque representaban lugares del cristal en donde debieran haber electrones pero que sin embargo no los hay. La teoría de Shockley predice que con poca tensión aplicada pueden conseguirse grandes densidades de corriente. Inmediatamente surgió la posibilidad de conseguir dispositivos prácticos importantes *sin filamentos calientes*.

Las propiedades eléctricas del transistor dependen del control cuidadoso de las impurezas específicas que contenga (del orden de un átomo de impurezas por 100 millones de átomos de germanio). En consecuencia no se pueden fabricar elementos fiables sin cristales excepcionalmente puros a los que añadir las impurezas deseadas. Teal, de los laboratorios Bell, pudo formar cristales de germanio con un contenido de impurezas menor de una parte en mil millones. A partir de aquí se pudieron fabricar transistores de unión por crecimiento, seguidos un año más tarde de los transistores de unión por aleación. Así, en 1951, tres años después del descubrimiento de la amplificación en un sólido ya se fabricaron comercialmente.

La compañía American Telephone and Telegraf (ATT) tomó una importante decisión: no mantener secretos estos descubrimientos. Actualmente mantiene simposios para comunicar sus conocimientos a profesores (que a su vez los transmitirán a sus alumnos) así como a ingenieros y científicos de otras empresas, y ofreció licencia de sus patentes a cualquier empresa interesada en fabricar transistores. Las primeras compañías que fabricaron transistores fueron: RCA, Raytheon, General Electric, Westinghouse y Western Electric (el brazo industrial de ATT). Otras empresas ya existentes o de nueva creación pronto empezaron a fabricarlos.

En 1954 la Texas Instruments, en su nuevo laboratorio dirigido por Teal anunció la fabricación de transistores de silicio. El silicio permite trabajar a 200 °C mientras que la variación de características del germanio limitan su uso a los 75 °C. Actualmente la gran mayoría de elementos semiconductores se fabrican con silicio.

Bardeen, Brattain y Shockley recibieron el premio Nobel de Física por su invención del transistor y su contribución al entendimiento de los semiconductores. Éste fue el primer Nobel concedido en 50 años a un dispositivo de ingeniería.

Invención del circuito integrado

En 1958 poco después de unirse a la Texas Instruments, Kilby concibió la idea de un circuito monolítico, es decir, la idea de emplear germanio o silicio para construir un circuito completo. Las

resistencias se formaban con la masa del semiconductor o por difusión de un semiconductor en otro. Kilby formó un condensador usando una capa metálica y el semiconductor como armaduras y una capa de óxido como dieléctrico (también ideó un condensador de unión). Para demostrar sus conceptos construyó un oscilador y un multivibrador de germanio, formando circuitos interconectando los hilos de oro, si bien en la descripción de la patente consta que las conexiones pueden hacerse depositando una capa de material conductor. En 1959 Kilby anunció en una convención del IRE el circuito sólido que luego se llamó *circuito integrado*. En esa misma época, Noyce (Director de investigación y desarrollo de Fairchild Semiconductor y presidente del Consejo de Intel) tuvo también la idea de un circuito monolítico para fabricar «dispositivos múltiples en una pieza de silicio, con la posibilidad de realizar conexiones entre ellos como parte del proceso de fabricación, reduciendo así el tamaño, peso, etc., así como el coste por elemento activo». Explicó cómo se pueden fabricar resistencias y capacidades, y cómo se pueden aislar unos de otros elementos mediante diodos *p-n*, y cómo pueden llevarse a cabo las conexiones vaporizando metal a través de ventanas en la capa de óxido.

La clave para la fabricación de circuitos integrados fue el transistor planar y la elaboración en masa. El proceso planar usa transistores en los que las regiones de base y de emisor se difundían en el colector. El primer transistor por difusión fue creado por Hoerni en Fairchild (1958). Un nuevo paso fue la pasivación de las uniones con una capa de óxido. Se emplearon técnicas de fabricación fotolitográficas y los procesos de difusión desarrollados anteriormente por Noyce y Moore. El proceso en masa permitió fabricar numerosos «chips» en una sola oblea. En 1961 tanto Fairchild como Texas Instruments fabricaban ya comercialmente circuitos integrados siendo pronto seguidas por otros fabricantes.

Microelectrónica

Actualmente se pueden fabricar en un solo chip de silicio, además de circuitos individuales, subsistemas e incluso sistemas completos conteniendo millares de componentes. La voz «electrónica» se refiere al diseño y fabricación de estos circuitos integrados con gran densidad de componentes. Moore (fue director de investigación en Fairchild y presidente de Intel) ya observó en 1964 que el número de componentes de un chip se ha ido duplicando cada año hasta 1959 cuando se introdujo el transistor planar y predijo acertadamente que esa tendencia proseguiría. Un chip grande mide unos 3 x 5 mm de superficie y 0,3 mm de grueso (como unas tres veces el espesor de un cabello). Estos chips pueden contener (en 1984) hasta unos 400.000 componentes lo que equivale a 30.000 componentes/mm^2. Estas cifras son difíciles de concebir sobre todo teniendo en cuenta que los circuitos integrados se elaboran en una fábrica industrial y no en un laboratorio. Los siguientes datos dan una idea aproximada del aumento de componentes en un chip:

1951 — Transistores discretos.
1960 — Integración a pequeña escala (SSI) menos de 100 componentes.
1966 — Integración a media escala (MSI) entre 100 y 1.000 componentes.
1969 — Integración a gran escala (LSI) entre 1.000 y 10.000 componentes.
1975 — Integración a muy gran escala (VLSI) más de 10.000 componentes.
(En 1984 un chip VLSI tenía 100.000 componentes o más por chip).

Las industrias electrónicas se pueden dividir en: fabricantes y usuarios de chips. Los fabricantes de circuitos integrados son el sector más importante de las industrias de componentes, mientras que los usuarios son a menudo las compañías que construyen equipos para comunicaciones, control y cálculo. Desde la invención del circuito integrado muchas innovaciones han contribuido al auge de la microelectrónica; en lo que resta de esta sección se describen varias de ellas.

TRANSISTOR DE EFECTO CAMPO

Muchos de los trabajos que condujeron a la invención del transistor bipolar llevan a estudiar el efecto que sobre la conductividad de los semiconductores tiene la aplicación de un campo eléctrico. Shockley propuso en 1951 el transistor de unión de efecto campo (JFET), pero pronto fallaron sus intentos de fabricarlo debido a que no se pudo conseguir una superficie estable. Esta dificultad quedó superada con la introducción del proceso planar y la pasivación con dióxido de silicio (SiO_2). En 1958 se fabricó el primer JFET por Teszner en Francia.

Las técnicas empleadas para conseguir el JFET condujeron a un resultado aún más importante: el transistor «metal-óxido-semiconductor transistor de efecto campo» (MOSFET). Su estructura está formada por un electrodo metálico (la puerta) situado sobre el SiO_2 entre dos electrodos en el semiconductor (fuente y drenaje). La corriente en el «canal» entre fuente y drenaje se puede regular aplicando una tensión adecuada entre la puerta y el semiconductor. Atalla y Kahng de Bell Laboratories (1960) anunciaron este dispositivo. Dos años más tarde, Hofstein y Heiman de RCA registraron una patente por su MOSFET, adecuado para la fabricación de circuitos integrados. Las sucesivas mejoras de proceso y de diseño así como el crecimiento de las industrias del cálculo han hecho de los dispositivos MOS los transistores más universalmente empleados.

CIRCUITOS INTEGRADOS DIGITALES

El auge de las industrias del cálculo estimuló un nuevo desarrollo de los circuitos integrados: a su vez, los nuevos conceptos sobre estos circuitos determinaron una nueva estructura de las calculadoras. Dos de los mayores avances corresponden a una nueva configuración de los circuitos y a memorias semiconductoras.

La velocidad, consumo de potencia y densidad de componentes son cuestiones a tener en cuenta en los circuitos integrados digitales. Una primera familia lógica bipolar fue la de transistor acoplado ideada por Buie (1961) de Pacific Semiconductor, de la que se deriva la *lógica transistor-transistor* (TTL) normal. El principal rasgo del TTL es el empleo de transistores con emisores múltiples para aumentar la densidad de componentes. Motorola en 1962 introdujo una línea bipolar de alta velocidad conocida como *lógica de emisor acoplado* (ECL). Se consiguieron chips bipolares de gran densidad empleando transistores con múltiples colectores (1972). Esta nueva tecnología desarrollada simultáneamente por Hart y Slob de Phillips (Holanda) y por Berger y Wiedman de IBM (Alemania) se denominó *lógica de inyección integrada* (I^2L).

El empleo de MOSFETs resultó atractivo porque se pueden conseguir grandes densidades de componentes. Originalmente la fabricación empleó PMOS, es decir, MOSFETs cuyo funcionamiento depende del flujo de huecos. La mejora en los métodos de fabricación condujeron al empleo de elementos metal-óxido-semiconductor de canal n (NMOS). En estos transistores la conducción es por los electrones resultando una gran velocidad de trabajo. Actualmente la tecnología NMOS es la predominante.

El metal-óxido-semiconductor complementario (CMOS) es una configuración que emplea tanto el PMOS de canal p como el NMOS de canal n. En un principio se aplicó a relojes digitales debido a su bajísimo consumo de potencia. Recientes progresos habidos en la reducción del tamaño han hecho del CMOS una de las mejores tecnologías de los años 1980. Se prevé que en 1990 la tecnología CMOS prevalezca sobre la NMOS.

Sin embargo, es en las memorias semiconductoras donde el MOSFET tiene mayor fuerza. Las *memorias de acceso aleatorio* (RAM) capaces de almacenar y restituir datos (escritura y lectura respectivamente), se desarrollaron en principio empleando transistores bipolares y se comercializaron en 1970. Estos primeros RAM podían almacenar aproximadamente 1.000 bits de información. Con la tecnología

MOS se pudo disponer de 16.000 bits RAM en 1973, 64.000 bits en 1978 y 288.000 en 1982, alcanzándose el millón de bits en 1986.

Las *memorias de sólo lectura* (ROM) empleadas para las tablas de las calculadoras (p. ej. para hallar los valores de sen x) se introdujeron por primera vez en 1967. En un sucesivo adelanto aparece el ROM programable (PROM) y el de borrado (EPROM) del que los datos almacenados se pueden anular (borrar) para almacenar otros nuevos.

Más de la mitad de los circuitos integrados MOS fabricados en 1970 lo fueron para la industria de calculadoras. Con la idea de normalizar el diseño de los chips conservando al mismo tiempo los circuitos demandados por los consumidores, varios fabricantes de circuitos integrados propusieron subdividir la disposición de la calculadora por funciones. Este concepto condujo al *microprocesador* desarrollado por M. E. Hoff de Intel (1969). En 1971 la misma Intel introdujo el microprocesador de 4 bits seguido un año más tarde por un elemento de 8 bits. Pronto comenzaron otras empresas a fabricar microprocesadores y a los finales de la década de los 70 se disponía ya de unidades de 16 bits. Los progresos en los microprocesadores condujeron a la «calculadora en un solo chip». Cochran y Boone de Texas Instruments patentaron en 1971 una microcalculadora en un solo chip, si bien la Intel 8048 fue la primera comercialmente asequible.

Otra consecuencia derivada de la tecnología MOS es el dispositivo de carga acoplada (CCD) inventado en 1970 por Boyle y Smith de Bell Laboratories, y que consiste en colocar entre drenaje y fuente una cadena de puertas próximas entre sí. Las cargas introducidas en el canal bajo las puertas pueden transferirse desde un electrodo de puerta al siguiente cuando se aplican tensiones de puerta apropiadas. Estos dispositivos se han empleado en memorias y registradores en un RAM de 64.000 bits construido en 1977. Recientemente el CCD ha encontrado aplicación en fábricas, procesado de imágenes y comunicaciones.

CIRCUITOS ANALÓGICOS

El mayor desarrollo en los circuitos integrados analógicos se produjo en 1964 cuando Widlar que entonces estaba en Fairchild Semiconductor creó el *amplificador operacional* (el µA709). Desde entonces el amplificador operacional se ha convertido en caballo de batalla en el procesado de señales analógicas. Se han desarrollado también otros circuitos comprendidos los multiplicadores analógicos, los convertidores digital-analógico (D/A) y analógico-digital (A/D) y filtros activos. La mayoría de estos circuitos emplean transistores bipolares, pero también se han empleado MOS hasta finales de la década de los 70.

TÉCNICAS DE FABRICACIÓN

El aumento en la densidad de componentes debe mucho a quienes mejoraron los procesos de fabricación. Estas mejoras comprenden el crecimiento epitaxial (1960), la formación de máscaras (1969) y la implantación de iones (1971). El ancho mínimo de líneas en los chips integrados era de 25 micras en 1961 y actualmente es de 2 micras estando previsto que sea de 1 micra en 1990. Puesto que la superficie decrece y la densidad aumenta como el cuadrado de la dimensión lineal se espera que a finales de la actual década se disponga de circuitos con densidad de componentes 600 veces mayor que la de los primitivos circuitos integrados. Otra contribución al diseño y fabricación de circuitos integrados eficaz fue el diseño con ayuda de computador. Los programas SPICE y SUPREM desarrollados en la Universidad de California en Berkeley y en la de Stanford respectivamente usan ampliamente esta técnica.

Desde los pocos fabricantes de circuitos integrados existentes en 1960, la industria ha experimentado un crecimiento inusitado. Como ejemplo, en el Silicon Valley (región al sur de San Francisco en Santa

Clara, California) entre 1967 y 1969 se formaron 24 nuevas compañías de microelectrónica. En 1984 se dedicaron a la fabricación de circuitos integrados más de 100 empresas.

Industrias de la comunicación y control

Al principio estas industrias fueron adoptando la electrónica de estado sólido con cierta lentitud, pero actualmente todo el equipo, excepto las partes de alta tensión y gran potencia, está transistorizado. Se emplean tanto transistores discretos como integrados. Los transistores discretos se emplean principalmente en aplicaciones de tensión o potencias medias incluidas las industriales y otros (etapas de salida de audio, sistemas de encendido en automóviles, arrastre de cintas, suministros de potencia, etc.).

La industria de comunicaciones ha cambiado drásticamente debido a la microelectrónica. En 1970 la transmisión de datos era sólo una pequeña parte del volumen total de todas las comunicaciones. No obstante, hasta 1980 la transmisión digital igualó o superó la analógica. La adopción de la transmisión PCM se puede atribuir directamente a la electrónica. Los sistemas telefónicos actualmente utilizan circuitos integrados para la conmutación y las memorias. Los filtros activos a frecuencia vocal se equipan con circuitos integrados analógicos. Evidentemente, los satélites de comunicaciones han sido posibles y económicamente viables gracias a la electrónica.

La introducción de la comunicación digital ha supuesto muchas innovaciones en los circuitos. Algunas de estas innovaciones son hábiles modificaciones con las que los circuitos tradicionales se han adaptado a las nuevas tecnologías y usos. Otras son nuevas, entre las que están los filtros de condensador y los filtros digitales. Un nuevo campo de la electrónica, el procesado de señales digitales, ha prosperado porque los circuitos integrados han posibilitado el enlace entre comunicaciones y cálculo.

Asimismo, la industria del control se ha visto muy influida por la electrónica de semiconductores. En algunas aplicaciones tradicionales tales como la regulación de velocidad de motores y los rectificadores e inversores de potencia, el rectificador gobernado de silicio (SCR), un dispositivo bipolar de cuatro capas, ha reemplazado al tiratrón. Al principio de la era de los transistores se empleó una pequeña calculadora en el control de máquinas herramientas. La automatización de procesos industriales fue posible mediante grandes calculadoras electrónicas.

La introducción de los microprocesadores, microcomputadoras y otros circuitos digitales integrados ha conducido a ingeniosos instrumentos y a una variedad de sistemas de control digitales. Con la microelectrónica, las calculadoras han pasado a ser componentes integrales de sistemas de control.

La industria del cálculo

Lo más notable de la revolución microelectrónica ha sido la creación de una industria completamente nueva: la de las calculadoras.

Mientras que los orígenes de la calculadora electrónica se basan en el tubo de vacío pronto se dejó sentir el impacto de la tecnología de los semiconductores.

La primera computadora transistorizada para un objetivo especial fue desarrollada por Cray en 1956.[6] La IBM 7090/7094 (1959) fue la primera calculadora de empleo general de la segunda generación, es decir, transistorizada. La tercera generación se caracteriza por un circuito integrado híbrido (muchos transistores discretos en una capa única) (IBM 360 en 1964). Simultáneamente otros fabricantes entre los que figuran Burroughs, Control Data y Univac introdujeron calculadoras medias y grandes conteniendo

[6] Cray es un fundador de «Control Data Corporation» que luego fundó la «Cray Computers».

circuitos integrados. En las máquinas IBM serie 370, 1970 de tercera generación se emplearon memorias de semiconductores.

En 1965 se inició una nueva revolución en la industria de las calculadoras cuando la Digital Equipment Corporation introdujo su minicalculadora PDP8, primera máquina que se vendió por debajo de los 20.000 dólares. Desde entonces la minicalculadora se convirtió en lo más principal de la industria, abarcando numerosas empresas de todo el mundo.

En los años 80 empieza a desarrollarse e introducirse la cuarta generación de máquinas que emplean chips VLSI tanto para el procesado como para la memoria. Actualmente se puede disponer de una variedad de tamaños que van desde simples micro-procesadores a supercalculadoras capaces de desplegar decenas de millones de instrucciones por segundo. Se han realizado muchas innovaciones para conseguir más velocidad, mayor capacidad y más flexibilidad de proceso, entre las que están los chips más rápidos de alta densidad, incluido el proceso paralelo, y nuevos conceptos de recopilación y montaje. Además la partición del tiempo y la distribución del cálculo han influido en el uso de estas máquinas.

El impacto de la microelectrónica ha sido bien expresado por Noyce en 1977: «actualmente la microcalculadora con un coste de quizás 300 dólares tiene más capacidad de cálculo que la primera calculadora electrónica grande ENIAC. Es 20 veces más rápida, tiene más memoria, es centenares de veces más eficiente, consume la potencia de una bombilla y no la de una locomotora, ocupa un volumen 30.000 veces menor y cuesta como máximo 10.000 veces menos. Se puede adquirir por correo o en el comercio local».

EL FUTURO

A lo largo de la mayor parte de la vida del lector le ha sido posible tener comunicación televisiva con todo el mundo y de hecho con millones de kilómetros en el espacio. Lo que es sorprendente no es la cosa en sí sino el hecho de haberlo conseguido. Es aterrador que alguien desde el «Johnson Space Center» pueda manejar un interruptor y dar órdenes a un vehículo espacial a un billón de kilómetros lejos, hacer girar su cámara de televisión, enfocarla y enviar imágenes a la Tierra. (Aún a la velocidad de la luz necesita cerca de dos horas para transmitir la instrucción y recibir la señal). Nada de esto sería posible sin los adelantos en electrónica culminados con el circuito integrado descrito en las secciones anteriores. Sin embargo esto es historia y su logro señala el camino futuro de la electrónica.

La posibilidad de transmitir imágenes de televisión desde un ingenio espacial exige que los equipos de comunicación, cálculo y control actúen al unísono como una entidad única. Es evidente que los distintos campos de la electrónica se van uniendo y el sistema electrónico «inteligente» resultante es el centro de la edad de la información.[7]

Las cada vez más extensas comunicaciones junto con el abaratamiento de las calculadoras ha hecho que éstas se vayan introduciendo en todos los aspectos de la sociedad. Además de las aplicaciones industriales tradicionales, la relativa facilidad con que se puede almacenar la información, recuperarla, manipularla y transmitirla ha afectado a nuestros domicilios y a nuestros trabajos. La automatización (procesadores, correspondencia electrónica, etc.) está transformando nuestra forma de trabajar. El manejo de la energía, las aplicaciones al control, sistemas de seguridad, televisión por cables, y calculadoras personales son algunas de las aplicaciones domésticas de la electrónica. Como ejemplos de la influencia de la electrónica en los transportes podemos citar el metro de San Francisco, el sistema de encendido en los automóviles así como el control de gases y los sistemas de seguridad. Tal será el impacto de la microelectrónica que según Noyce, al final de este siglo la electrónica será comparable al motor eléctrico actual, que pasa desapercibido.

[7] A la época que va desde los años 80 hasta el siglo XXI se le ha llamado la «edad de la información», porque más del 50% de los trabajos desarrollados en los Estados Unidos pueden clasificarse como de información.

Creemos que las industrias electrónicas seguirán siendo las cuatro «C» = Componentes, Comunicación, Cálculo y Control. Cada vez habrá más dificultad para considerarlas como entidades separadas ya que cada vez se irán combinando más. Asimismo la distinción entre dispositivo, circuito y sistema será cada vez más confusa. En la próxima década la electrónica estará dominada por la tecnología basada en el silicio. Sin embargo las investigaciones sobre nuevos materiales, sobre todo del arseniuro de galio (Ga As) probablemente empezarán a jugar un papel significativo. También se especula con que materiales orgánicos como el DNA puedan emplearse en electrónica a finales del siglo.

El futuro de la electrónica se deduce claramente de las siguientes estadísticas sobre el mercado de electrónica en los EE.UU., en millares de millones:

	1985	*1990*
Venta de elementos	215	400
Venta de circuitos integrados	11	35

Estos datos indican que la creatividad e ingenio de los ingenieros y científicos de ayer es el trampolín para el mañana.

PRIMERA PARTE

Dispositivos Semiconductores

Los dispositivos semiconductores son los componentes centrales empleados en el procesado de señales eléctricas que aparecen en los sistemas de comunicación, cálculo y control. El comportamiento eléctrico de estos dispositivos controla las fuentes y conmutaciones necesarias en los circuitos de proceso de las señales. En los cinco capítulos de esta sección se expondrá el funcionamiento físico y características de los principales elementos semiconductores. Se introducen las aplicaciones de circuitos elementales para demostrar cómo son aprovechadas sus características en conmutadores y amplificadores. El capítulo 1 trata de los conceptos que gobiernan las propiedades eléctricas de los semiconductores. Los capítulos 2 al 4 tratan de los diodos de unión y de los transistores bipolares y de efecto campo. El capítulo 5 se refiere a la fabricación de circuitos integrados.

1

Semiconductores

El control del flujo de partículas cargadas es fundamental para el funcionamiento de los dispositivos electrónicos. Por tanto, los materiales empleados en estos dispositivos deben ser capaces de proveer una fuente de cargas móviles, y el proceso que gobierna este movimiento de cargas ha de poderse regular. En este capítulo se verán las propiedades físicas de los semiconductores en cuanto se relacionan a los dispositivos electrónicos. Estudiaremos en particular las características de los materiales que nos permitan distinguir los semiconductores de los aislantes y de los conductores y veremos también el dopado de un semiconductor con impurezas para controlar su funcionamiento.

Veremos también los dos procesos de transporte de cargas: 1) por desplazamiento, que es el movimiento de cargas producido por un campo eléctrico, y 2) por difusión, que es el movimiento resultante de una distribución de cargas no uniforme.

1-1. FUERZAS, CAMPOS Y ENERGÍA

En esta sección introduciremos las cantidades básicas que describen los efectos de las partículas cargadas. Para la mayor parte de los estudiantes no es más que un breve repaso a materias ya tratadas anteriormente en cursos de física.

Partículas cargadas

El *electrón* es la principal de las partículas cargadas negativamente, cuya *carga* o cantidad de electricidad es de $1{,}60 \times 10^{-19}$ coulomb. El número de electrones por coulomb es la recíproca de la carga electrónica, o aproximadamente 6×10^{18}. Puesto que una corriente de 1 amperio es igual a un coulomb por segundo, una corriente de un picoamperio (pA o 10^{-12} A) representa el movimiento de 6 millones de electrones. Sin embargo, una corriente de 1 pA es tan pequeña que existen considerables dificultades para medirla.

Tratándose de átomos, frecuentemente conviene considerar el núcleo positivo y la banda de electrones interior como una carga positiva equivalente (el núcleo) cuyo valor es un múltiplo entero de la carga de un electrón. El número de *electrones de valencia*, es decir, los que están en la banda más exterior, proporcionan una carga negativa quedando el átomo neutro. Bajo ciertas condiciones uno o más electrones pueden escapar del átomo dejando un ion positivo. De igual forma, se pueden añadir uno o más electrones a la banda de valencia creando un ion negativo. Por ejemplo, los iones sodio y cloro de la sal común son simples partículas ionizadas, teniendo cada una de ellas una carga igual a la del electrón. El ion sodio es positivo y el ion cloro es negativo como resultado de la supresión y adición respectivamente de un electrón de valencia.

En un cristal de silicio cada ion comparte un par de electrones con sus vecinos. A esta configuración

se le denomina *banda covalente*. Pueden darse circunstancias en las que falte un electrón de la estructura dejando un «hueco» en esa banda[1]. Estos huecos pueden pasar de un ion a otro en el cristal produciendo un efecto equivalente al del movimiento de cargas positivas. La magnitud de la carga asociada con el hueco es la del electrón.

Intensidad de campo

Se dice que existe un campo eléctrico en las vecindades de una partícula cargada, es decir, que una partícula cargada ejerce una fuerza sobre otra partícula cargada de acuerdo con la ley de Coulomb. En caso unidimensional[2] en el que la carga q_1 está en x_0, la fuerza ejercida sobre la carga q_2 situada a una distancia arbitraria x es en newtons (N):

$$F_x = \frac{q_1 q_2}{4\pi\epsilon(x - x_0)^2} \qquad \text{N} \tag{1-1}$$

en donde ϵ es la permitividad del medio en el que residen las cargas. Según la tercera ley de Newton actúa sobre q_1 una fuerza igual y contraria.

El movimiento de q_2 se deduce aplicando la segunda ley de Newton, resultando

$$F_x = \frac{q_1 q_2}{4\pi\epsilon(x - x_0)^2} = \frac{d}{dt}(m_2 v_x) \qquad \text{N} \tag{1-2}$$

en donde m_2 es la masa de q_2 y v_x la velocidad en el sentido de x. Para un sistema no relativista (m_2 es constante) la Ecuación (1-2) se reduce a

$$F_x = m_2 \frac{dv_x}{dt} = m_2 a_x \qquad \text{N} \tag{1-3}$$

donde $a_x = dv_x/dt$ es la aceleración.

Un buen método para describir el efecto de las partículas cargadas es valiéndose de la *intensidad del campo eléctrico* $\mathscr{E}$, **definida** como la fuerza ejercida sobre una carga positiva unidad. Así pues, la fuerza sobre una carga q en un campo eléctrico es, en una dimensión:

$$F_x = q\mathscr{E}_x \qquad \text{N} \tag{1-4}$$

Potencial

Por definición, el potencial V (en voltios) del punto B respecto al punto A es el trabajo realizado para trasladar una carga unidad positiva desde A hasta B. En una dimensión con A en x_0 y B a una distancia arbitraria x tendremos[3]

$$V \equiv -\int_{x_0}^{x} \mathscr{E}_x \, dx \qquad \text{V} \tag{1-5}$$

[1] En la sección 1-3 se estudiará el hueco como portador de carga.

[2] El campo y la fuerza generalmente están en tres dimensiones. En muchas estructuras electrónicas su uniformidad permite una representación unidimensional.

[3] El signo ≡ significa «igual por definición».

en la que $\mathscr{E}_x$ representa la componente en x del campo.

Diferenciando la Ecuación (1-5) tendremos:

$$\mathscr{E} = -\frac{dV}{dx} \qquad \text{V/m} \tag{1-6}$$

El signo menos indica que el campo eléctrico va dirigido desde la zona de mayor a la de menor potencial.

Por definición, la energía potencial U es igual al potencial multiplicado por la carga q en consideración, o sea (en julios).

$$U \equiv qV \qquad \text{J} \tag{1-7}$$

Si consideramos un electrón, q se sustituye por $-q$ (siendo q la carga electrónica).

Siendo la energía relativa a un solo electrón tan pequeña, es conveniente introducir la unidad de energía (trabajo) llamada *electrón-volt* (eV) definida como

$$1\ \text{eV} = 1.60 \times 10^{-19}\ \text{J}$$

Naturalmente, cualquier tipo de energía, ya sea eléctrica, mecánica, térmica u otra puede expresarse en electrón-volt.

La Ecuación (1-7) indica que si un electrón se desplaza a través de un potencial de 1V, su energía cinética aumentará y la potencial disminuirá en $1{,}6 \times 10^{-19}$ J. o sea 1 eV. Como cada electrón posee muy poca energía se necesita un enorme número de ellos para tener una corriente débil. En consecuencia, se puede manejar con ellos una potencia razonable.

La ley de la conservación de la energía dice que la energía total W que es igual a la suma de la energía potencial U más la cinética $mv^2/2$, se conserva constante. En cualquier caso

$$W = U + \tfrac{1}{2}mv^2 = \text{const} \tag{1-8}$$

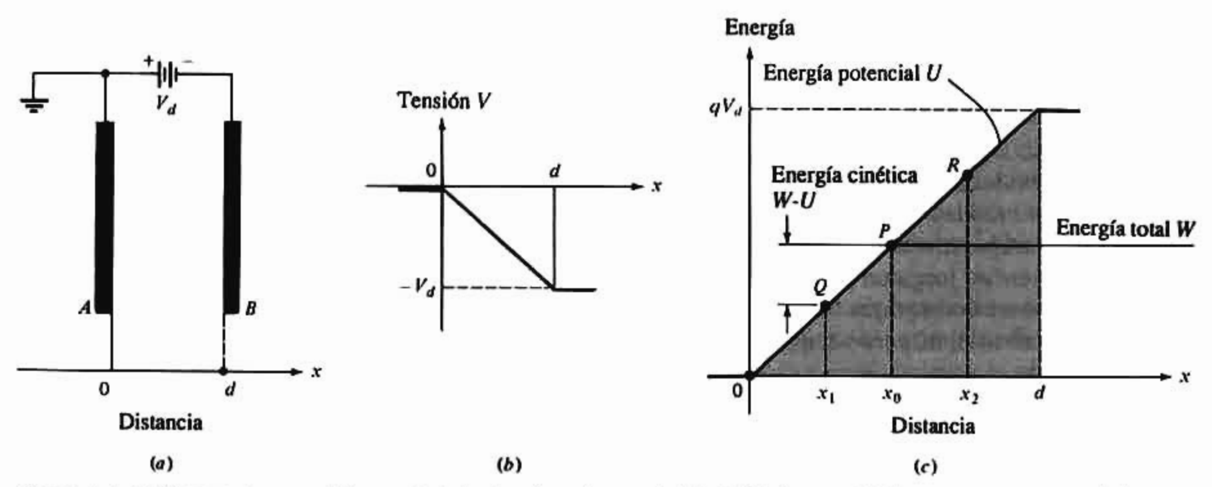


Figura 1-1. (*a*) Sistema plano-paralelo: un electrón abandona *A* con velocidad inicial v_0 moviéndose en un campo retardador, (*b*) tensión, y (*c*) la barrera de energía potencial.

Como ejemplo de esta ley consideremos dos placas paralelas A y B separadas una distancia d como se ve en la Fig. 1-1*a* teniendo B una tensión negativa V_d respecto a A. Un electrón abandona A y se dirige hacia B con una velocidad v_o en la dirección x. ¿Qué velocidad tendrá el electrón si llega a B?

Por la definición de la Ec. (1-5) es evidente que sólo tiene significación la diferencia de potencial. Por tanto podemos arbitrariamente conectar A a tierra, o sea considerar que su tensión es cero. Por tanto la tensión en B será $V = -V_d$ y la energía potencial será $U = -qV_d$. Si igualamos la energía total en A con la en B tendremos

$$W = \tfrac{1}{2}mv_0^2 = \tfrac{1}{2}mv^2 + qV_d \qquad \text{J} \tag{1-9}$$

Esta ecuación indica que v debe ser menor que v_0, lo que es evidentemente correcto ya que el electrón se mueve contra el campo. La velocidad final alcanzada por el electrón en este sistema conservador es independiente de la forma de variación de la distribución del campo entre las dos placas y depende sólo de la diferencia de tensión V_d. Obsérvese que si el electrón ha de alcanzar el electrodo B su velocidad inicial debe ser suficientemente grande para que $\frac{1}{2}mv_0^2 > qV_d$. Pues de otra forma la Ec. (1-9) nos llevaría al absurdo de que v sea imaginaria. Vamos a elaborar ahora estas consideraciones.

Concepto de barrera de energía potencial

Partiendo de la Fig. 1-1*a*, en la que los electrodos son grandes en comparación de d podemos trazar (Fig. 1-1*b*) una curva lineal de potencial V en función de la distancia x (en el espacio entre electrodos). En la Fig. 1-1*c* se representa la energía potencial U en función de x; la curva *c* se deduce de la *b* multiplicando cada ordenada por la carga de un electrón (un número negativo). La energía total W del electrón se mantiene constante por lo que viene representada por una línea horizontal.

La energía cinética a cualquier distancia x_1 es la diferencia entre la energía total W y la potencial U en ese punto. La diferencia es máxima en 0 señalando que la energía cinética es máxima cuando el electrón abandona el electrodo A. En el punto P esta diferencia es nula, lo que indica que no existe energía cinética por lo que la partícula queda detenida en ese punto. Esta distancia X_0 es la máxima que el electrón puede recorrer desde A. El electrón en el punto P (donde $x = x_0$) se detiene momentáneamente y luego retrocede y vuelve a A.

Consideremos un punto tal como x_2 que está más alejado que x_0 del electrodo A. Aquí la energía total W es menor que la potencial U, de forma que la diferencia, que representa la energía cinética, es negativa. Esta es una condición físicamente imposible ya que una energía cinética negativa ($mv^2/2 < 0$) supone una velocidad imaginaria. Se llega a la conclusión de que la partícula nunca avanzará hasta una distancia mayor que x_0 del electrodo A. En el punto P la diferencia es nula lo que significa que no hay energía cinética y la partícula queda parada. La distancia x_0 es la máxima a la que el electrón puede desplazarse. El anterior análisis nos conduce a la conclusión verdaderamente importante de que nunca podrán entrar electrones en la zona sombreada de la Fig. 1–1*c*. Por tanto, en el punto P la partícula se comporta como si hubiera chocado con una pared o barrera sólida alterándose la dirección de su trayectoria. De esta forma la barrera de energía potencial juega un papel importante en el análisis de dispositivos semiconductores.

Hay que hacer constar que lo de «colisionar con una barrera de potencial» no es más que una frase descriptiva conveniente, pero sin que haya un verdadero choque entre materiales sólidos.

1-2. LA CONDUCCIÓN EN LOS METALES

En un metal los electrones de conducción o de valencia de un átomo están tan asociados a un ion como con cualquier otro, con lo que la ligazón con cualquier átomo individual es prácticamente nula. Según sea el metal, por lo menos uno, y a veces dos o tres electrones por átomo están libres de moverse en el interior del metal bajo la acción de campos eléctricos aplicados.

La Fig. 1-2 es una representación esquemática en dos dimensiones de la distribución de cargas dentro

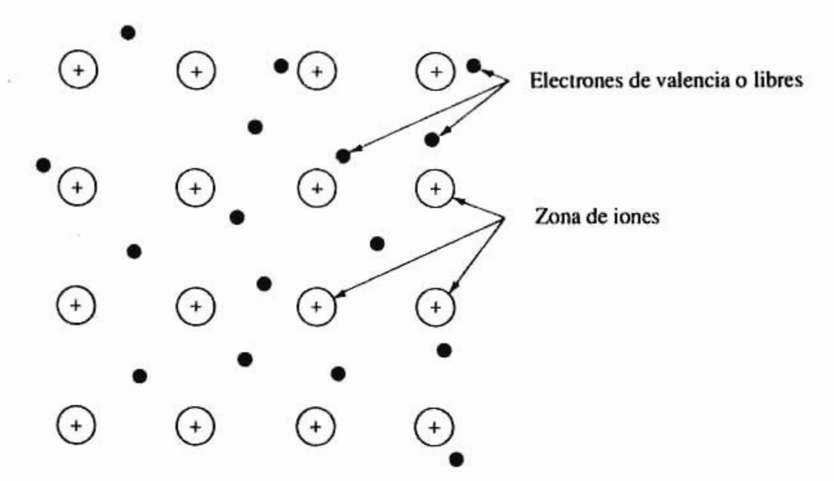


Figura 1-2. Disposición esquemática de los átomos en un plano del metal (átomos monovalentes). Los puntos negros representan el gas electrónico, y cada átomo ha contribuido con un electrón a este gas.

del metal. Las zonas sombreadas representan la carga positiva neta del núcleo junto con los electrones internos estrechamente ligados al núcleo. Los puntos negros representan los electrones exteriores o de valencia del átomo. A estos electrones no cabe considerarlos como pertenecientes a un átomo determinado: son los que han perdido completamente su individualidad y pueden circular libremente de uno a otro átomo dentro del metal. Así pues, un metal puede ser considerado como una región que contiene una red periódica tridimensional de iones pesados fuertemente enlazados, rodeados por una nube de electrones que pueden moverse libremente. Esta imagen constituye la descripción de un metal conocida como gas electrónico.

De acuerdo con la teoría del gas electrónico de un metal, los electrones están continuamente en movimiento cambiando la dirección de su trayectoria en cada colisión con los iones pesados casi estacionarios. La distancia media entre colisiones se denomina recorrido libre medio. Como el movimiento es aleatorio, el número de electrones que cruzan una unidad de superficie en un determinado tiempo es nulo en promedio y por tanto es también nula la corriente media.

Veamos ahora cómo cambia la situación si se aplica al metal un campo eléctrico $\mathscr{E}$ constante. Como resultado de estas fuerzas electrostáticas los electrones se aceleran y la velocidad crecería indefinidamente con el tiempo si no fuera por las colisiones con los iones. En cada colisión inelástica con un ion el electrón pierde energía y cambia de dirección. La probabilidad de que después de la colisión un electrón se mueva en una determinada dirección es igual a la probabilidad de que lo haga en la opuesta. Por tanto, la velocidad de un electrón aumenta linealmente con el tiempo entre colisiones, y como promedio se reduce a cero en cada colisión.

Se llega a una situación de equilibrio cuando se alcanza una velocidad de desplazamiento v_d. Esta velocidad es de sentido opuesto al campo eléctrico. La velocidad en el momento t después de la colisión es at siendo la aceleración igual a q/m. En consecuencia, la velocidad de desplazamiento es proporcional a $\mathscr{E}$ y viene dada por

$$v_d = \mu\mathscr{E} \qquad \text{m/s} \tag{1-10}$$

en donde la constante de proporcionalidad μ se denomina *movilidad* de los electrones[4].

[4] Cuando existe más de un tipo de portadores de carga se suele añadir un subíndice a μ. Las dimensiones de la movilidad son: metros cuadrados por volt- segundo.

De acuerdo con la teoría anterior, al movimiento térmico aleatorio se superpone la velocidad de desplazamiento de equilibrio. Este flujo dirigido de iones constituye una corriente que podemos ahora calcular.

Densidad de corriente

En la Fig. 1-3 hay N electrones distribuidos uniformemente en un conductor de longitud L y sección A. Un electrón, bajo la influencia de un campo eléctrico $\mathscr{E}$ recorre L metros en T segundos lo que da una

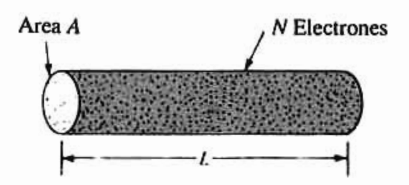


Figura 1-3. Conductor empleado para calcular la densidad de corriente.

velocidad de desplazamiento v_d igual a L/T. La corriente I es por definición el total de cargas que pasan por una sección en la unidad de tiempo, lo que es igual a la carga de un portador multiplicada por el número de éstos que cruzan la sección en un segundo. De donde (en amperios):

$$I = \frac{qN}{T} \cdot \frac{L}{L} = \frac{qNv_d}{L} \qquad \text{A} \tag{1-11}$$

La densidad de corriente, que designaremos J es la corriente por unidad de sección del medio conductor; admitiendo una densidad uniforme tendremos

$$J \equiv \frac{I}{A} \qquad \text{A/m}^2 \tag{1-12}$$

Sustituyendo la Ec. (1-11) en la (1-12) tendremos

$$J = \frac{qNv_d}{LA} \qquad \text{A/m}^2 \tag{1-13}$$

En la Fig. 1-3 puede verse que LA es el volumen que ocupan los N electrones. La concentración de electrones n es pues

$$n = \frac{N}{LA} \qquad \text{m}^{-3} \tag{1-14}$$

y la Ec. (1-13) se convierte en

$$J = qnv_d = \rho_v v_d \qquad \text{A/m}^2 \tag{1-15}$$

en la que $\rho_v = qn$ es la densidad de carga en coulomb por metro cúbico.

Esta deducción es independiente de la forma del medio de conducción. En consecuencia, la Fig. 1-3 no representa necesariamente un hilo conductor y puede representar igualmente tanto una porción de la descarga gaseosa de un tubo como un volumen elemental de un semiconductor. Por otra parte ni ρ_v ni v_d son necesariamente constantes sino que pueden variar con el tiempo.

Conductividad

Acabamos de ver que v_d es proporcional a $\mathscr{E}$. De las Ecuaciones (1-10) y (1-15) resulta

$$J = qnv_d = qn\mu\mathscr{E} = \sigma\mathscr{E} \qquad \text{A/m}^2 \tag{1-16}$$

donde

$$\sigma = qn\mu \; (\Omega\cdot\text{m})^{-1} \tag{1-17}$$

es la conductividad del material. Recordando que $\mathscr{E}$ L = V es la tensión aplicada a través del conductor, podemos deducir la corriente I de la Ec. (1-16) resultando la Ley de Ohm.

$$I = JA = \sigma\mathscr{E}A \cdot \frac{L}{L} = \frac{\sigma A}{L} V = \frac{V}{R} \qquad \text{A} \tag{1-18}$$

La resistencia R del conductor es en ohms (Ω)

$$R = \frac{L}{\sigma A} = \rho \frac{L}{A} \qquad \Omega \tag{1-19}$$

siendo la resistividad p la inversa de la conductividad.

Como ya se ha indicado antes, la energía que adquieren los electrones del campo eléctrico aplicado se cede, como resultado de las colisiones, a los iones de la red. Por tanto, en el interior del metal se disipa energía siendo la densidad de potencia térmica (en watt por metro cúbico) $J = \sigma\mathscr{E}^2$, (esta relación es análoga a $P = VI = V^2/R$).

Ejemplo 1-1

Una línea de conducción en un chip tiene 2,8 mm de longitud y una sección recta rectangular de 1 × 4 micras. Una corriente de 5 mA produce una caída de tensión de 100 mV en dicha línea. Determinar la concentración de electrones dado que la movilidad es de 500 cm²/V.s.

Solución.

La concentración de electrones puede deducirse de σ de la Ec. (1- 17). La conductividad se determina resolviendo la Ec. (1-18)

$$\sigma = \frac{IL}{VA} = \frac{5\times 10^{-3} \times 2.8\times 10^{-3}}{0.1 \times (10^{-6} \times 4\times 10^{-6})} = 3.50 \times 10^7 \; (\Omega\cdot\text{m})^{-1}$$

y de la Ec. (1-17) obtendremos

$$n = \frac{\sigma}{q\mu} = \frac{3.5 \times 10^7}{1.60\times 10^{-19} \times 500\times 10^{-4}}$$
$$= 4.38 \times 10^{27} \text{ m}^{-3} = 4.38 \times 10^{21} \text{ cm}^{-3}$$

Como se vio en la Ec. (1-17) la conductividad es proporcional a la concentración de portadores de cargas. La concentración de electrones libres hallada en el Ejemplo 1-1 es un valor típico del conductor. Pocos portadores se hallan en los aislantes, y la concentración de electrones es del orden de 10^7 m^{-3}. Los

materiales cuya concentración de portadores está comprendida entre la de los conductores y la de los aislantes se denominan semiconductores *cuyas propiedades se estudiarán en las dos próximas secciones.*

1-3. EL SEMICONDUCTOR INTRÍNSECO

Los tres semiconductores más empleados son el silicio, el germanio y el galio. Como los dispositivos de silicio son los predominantes nos limitamos al estudio de éste.

La estructura cristalina del silicio consiste en una repetición regular tridimensional de una célula unitaria en forma de tetraedro con un átomo en cada vértice. La Fig. 1-4 es una representación simbólica de esta estructura en dos dimensiones. Los átomos de silicio tienen 14 electrones, cuatro de los cuales son

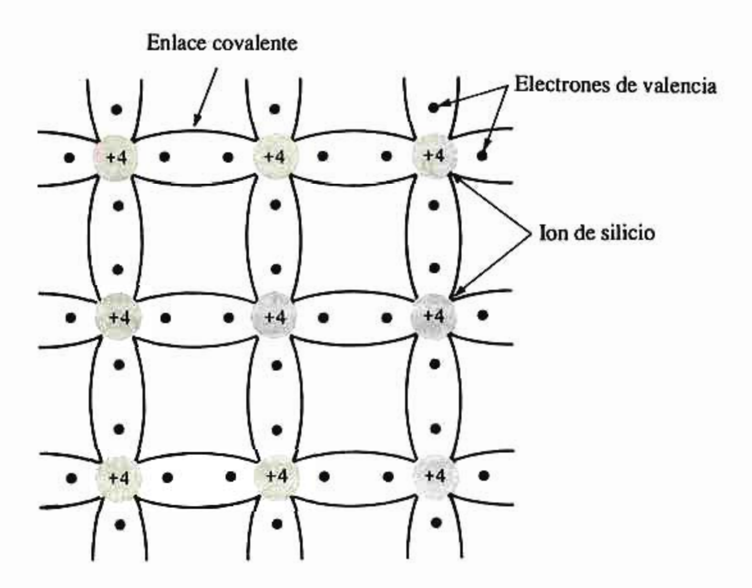


Figura 1-4. Representación bidimensional de un cristal de silicio.

de valencia, por lo que el átomo es tetravalente. El núcleo iónico inerte del silicio tiene una carga + 4 medida en unidades de carga electrónica. La fuerza de enlace entre átomos vecinos es el resultado del hecho de que cada electrón de valencia de un átomo de silicio es compartido por uno de sus cuatro vecinos más próximos. El enlace covalente se representa en la Fig. 1-4 por las dos líneas que unen cada ion con cada uno de sus vecinos. Los electrones de valencia sirven de unión de un átomo con el siguiente con los que resulta que estos electrones queden fuertemente unidos al núcleo. Por tanto, a pesar de la disponibilidad de cuatro electrones de valencia, pocos de ellos están libres para contribuir a la conducción.

El hueco

A temperatura muy baja (digamos 0 °K) la estructura ideal representada en la Fig. 1-4 es bastante aceptable y el cristal se convierte en un aislante ya que no hay disponible ningún portador libre de electricidad. Sin embargo a temperatura ambiente algunos de los enlaces covalentes se rompen debido al

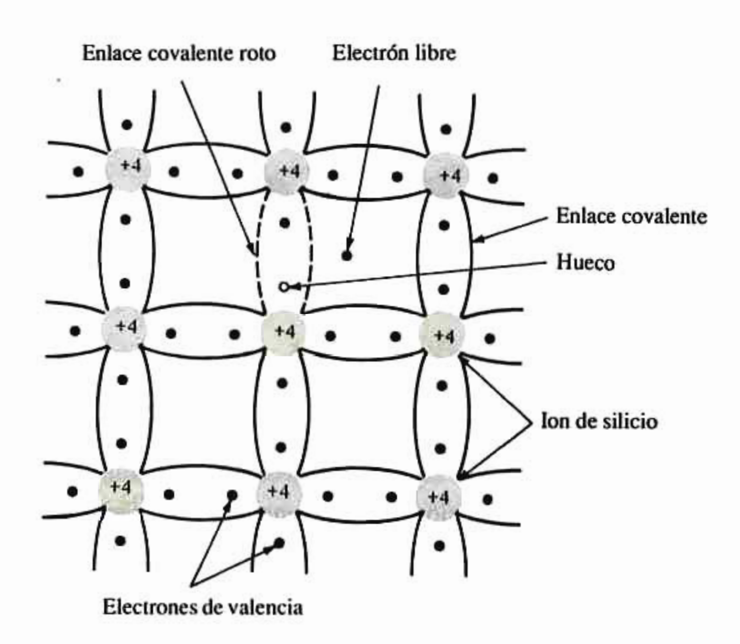


Figura 1-5. Cristal de silicio con un enlace covalente roto.

suministro de energía térmica al cristal lo que posibilita la conducción. La situación queda representada en la Fig. 1-5. En este caso, un electrón que normalmente forma parte de un enlace covalente se ha representado fuera del enlace y por tanto libre para circular al azar por el cristal. La energía E_G necesaria para romper el enlace covalente es de 1,1 eV para el silicio a temperatura ambiente. La ausencia del electrón en el enlace covalente está representada por un pequeño círculo en la Fig. 1-5 y tal enlace covalente incompleto se denomina *hueco*. La importancia del hueco radica en que puede servir de portador de electricidad comparable en su efectividad al electrón libre.

El mecanismo por el cual los huecos contribuyen a la conductividad se explica cualitativamente de la siguiente forma: Cuando un enlace está incompleto de forma que haya un hueco, es relativamente fácil que un electrón de valencia de un átomo vecino abandone el enlace covalente para llenar el hueco. Un electrón que deja su enlace para llenar un hueco deja a su vez otro hueco en su posición inicial. Por tanto, el hueco se mueve efectivamente en dirección contraria al electrón. Este hueco en esta nueva posición puede ser llenado por un electrón de otro enlace covalente y por tanto el hueco se desplazará un lugar en sentido opuesto al movimiento del electrón. He aquí un nuevo mecanismo de conducción de la electricidad que no supone electrones libres. En la Fig. 1-6 se representa esquemáticamente este fenómeno: un círculo con un punto representa un enlace completo y un círculo vacío representa un hueco. La Fig. 1-6*a* representa una sucesión de 10 iones con un enlace roto, o hueco, en el ion 6. Imaginemos ahora que un electrón del ion 7 pasa al hueco del 6, resultando la configuración de la Fig. 1-6*b*. Si comparamos esta figura con la 1-6*a* se ve como si el hueco de esta última hubiera pasado del ion 6 al 7 moviéndose hacia la derecha, y esta observación determina que el movimiento del hueco en una dirección significa el traslado de una carga negativa a igual distancia pero en sentido opuesto. Por lo que respecta a la circulación de corriente eléctrica, los huecos se comportan como cargas positivas de igual valor que las del electrón. Podemos considerar que los electrones son entidades físicas cuyo movimiento constituye un flujo de corriente. El argumento de que los huecos equivalen a portadores de cargas positivas libres puede justificarse con la mecánica cuántica.

Conducción en semiconductores intrínsecos

La estructura del cristal representada en las Figs. 1-4 y 1-5 supone una muestra de silicio puro, es decir, que no contenga átomos ajenos. Estos cristales puros constituyen un *semiconductor intrínseco*. Como se

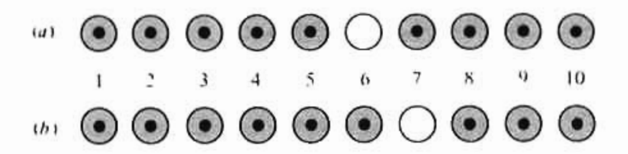


Figura 1-6. Mecanismo por el cual un hueco contribuye a la conductividad.

ve en la Fig. 1-5 la rotura de un enlace covalente se traduce en un electrón libre y un hueco. En consecuencia la concentración de huecos p y la de electrones n deben ser iguales

$$p = n = n_i \tag{1-20}$$

siendo n_i la concentración intrínseca. La agitación térmica genera nuevos pares electrón-hueco, mientras desaparecen otros por la recombinación. El valor de n_i depende de la temperatura, y sus variaciones se verán en la Sección 1-5.

Tanto los huecos como los electrones participan en el proceso de conducción. Debido a que los mecanismos por los que se mueven los huecos y los electrones en el cristal difieren entre sí, la movilidad de estos portadores es distinta. Para distinguir los valores de huecos y electrones se emplean los subíndices p y n. Estos portadores se mueven en direcciones opuestas en un campo eléctrico, pero como son de signo contrario ambas corrientes son en el mismo sentido. La densidad de corriente J resultante de un campo eléctrico $\mathscr{E}$ se deduce de la Ec. (1-16) modificada para comprender ambos portadores, y es

$$J = q(n\mu_n + p\mu_p)\mathscr{E} = \sigma\mathscr{E} \qquad \text{A/m}^2 \tag{1-21}$$

La conductividad es.

$$\sigma = q(n\mu_n + p\mu_p) \qquad (\Omega\cdot\text{m})^{-1} \tag{1-22}$$

Tabla 1-1 Propiedades del silicio intrínseco

Propiedad	*Valor*
Número atómico	14
Peso atómico	28.1
Densidad (g/cm^3)	2.33
Permitividad relativa (constante dieléctrica)	11.9
Átomos/cm^3	5.0 x 10^{22}
Energía E_{GO} a 0 °K (eV)	1.21
Energía E_G a 300 °K (eV)	1.12
Resistividad a 300 °K (Ω .cm)	2.30 x 10^5
Movilidad electrones μ_n a 300 °K [cm^2/(V.S)]	1500
Movilidad de huecos μ_p a 300 °K [cm^2/(V.S)]	475
Concentración intrínseco a 300 °K (cm^{-3})	1.45 x 10^{10}
Constante difusión electrones D_n a 300 °K (cm^2/s)	34
Constante difusión huecos D_p a 300 °K (cm^2/s)	13

Fuente: S. M. Sze (ed.), «VSLI Technology», McGraw-Hill Book Company, Nueva York, 1983.

En un semiconductor intrínseco $p = n = n_i$ la Ec. (1-22) se convierte en

$$\sigma_i = qn_i\,(\mu_n + \mu_p) \qquad (\Omega\cdot\text{m})^{-1} \tag{1-23}$$

La tabla 1-1 da los valores de algunas propiedades importantes del silicio. Obsérvese que el silicio tiene del orden de 10^{22} átomos/cm^3, mientras que a temperatura ambiente (300 °K) $n_i = 10^{10}$ cm^{-3}. De aquí que sólo un átomo de entre 10^{12} de ellos contribuya con un electrón libre (y un hueco) debido a la rotura de enlace covalente.

Ejemplo 1-2

Una barra de silicio intrínseco tiene 3 mm de longitud y una sección recta rectangular de 50 × 100 micras. Determinar la intensidad del campo eléctrico en la barra y la tensión a través de ella cuando circula una corriente de 1 μA, todo ello a 300 °K.

Solución

La intensidad de campo se puede deducir de la densidad de corriente y de la conductividad

$$\mathcal{E} = \frac{J}{\sigma} = \frac{I}{A} \times \frac{1}{\sigma} = \frac{I}{A} \cdot \rho \qquad \text{V/m}$$

Valiéndonos del valor de ρ dado en la Tabla 1-1 tendremos

$$\mathcal{E} = \frac{10^{-6}}{50 \times 10^{-6} \times 100 \times 10^{-6}} \times 2.30 \times 10^{5} \times 10^{-2}$$

En la que el factor 10^{-2} reduce la resistividad de Ω cm a Ω m.

$$\mathcal{E} = 4.60 \times 10^{5}\ \text{V/m} = 4.60 \times 10^{3}\ \text{V/cm}$$

La tensión a través de la barra es

$$V_{\text{bar}} = \mathcal{E}L = 4.60 \times 10^{5} \times 3 \times 10^{-3} = 1380\ \text{V}$$

El resultado obtenido en el ejemplo 1-2 indica que para obtener una pequeña corriente (1 μ A) se necesita una tensión extraordinariamente alta. Sin embargo, esto no es de extrañar ya que la concentración de portadores intrínsecos se parece mucho más a la de un aislante que a la de un conductor. Así pues, los semiconductores intrínsecos no son adecuados para dispositivos electrónicos. En la sección 1-4 veremos un procedimiento con el que se puede aumentar la concentración de portadores.

1-4. SEMICONDUCTORES EXTRÍNSECOS

Para aumentar el número de portadores el procedimiento corriente es el de introducir en un semiconductor intrínseco una pequeña cantidad de impurezas cuidadosamente controlada. La adición de impurezas, frecuentemente átomos trivalentes o pentavalentes, forma un semiconductor *extrínseco* o *dopado.* Cada tipo de impureza forma un semiconductor con una clase de portadores predominante. El nivel normal

de dopado es del orden de 1 átomo de impurezas por cada 10^6 a 10^8 átomos de silicio. Las propiedades físicas y químicas son esencialmente las mismas del silicio y sólo varían marcadamente las eléctricas.

Semiconductores tipo n

La Fig. 1-7 representa la estructura del cristal que se obtiene al dopar con una impureza pentavalente. Cuatro de los cinco electrones de valencia ocupan enlaces covalentes y el quinto queda inicialmente sin enlace y constituirá un portador de corriente. La energía necesaria para desligar del átomo este quinto electrón es sólo del orden de 0,05 eV para el silicio, energía considerablemente menor que la necesaria para romper un enlace covalente. Como impurezas pentavalentes adecuadas está el antimonio, el fósforo

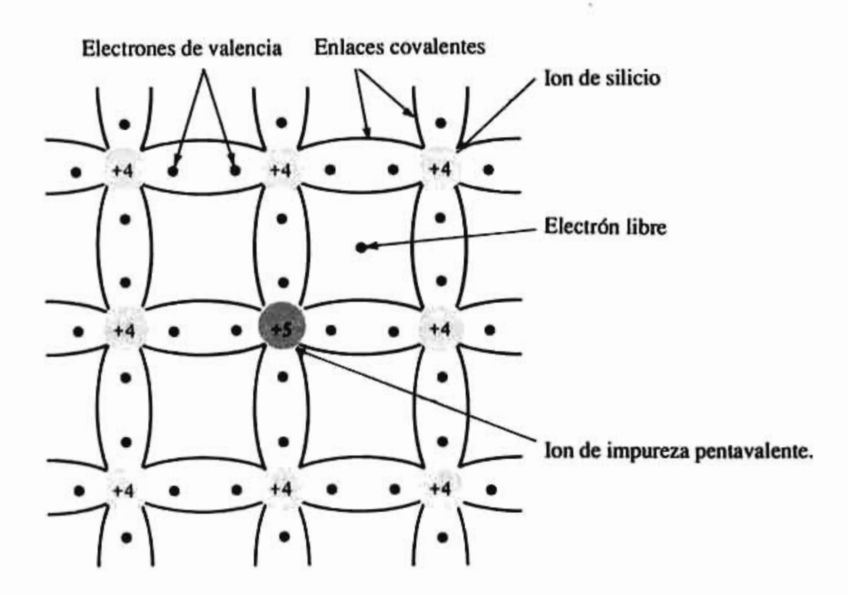


Figura 1-7. Red de cristal con un átomo de silicio desplazado por un átomo impurificador pentavalente.

y el arsénico. Estas impurezas producen electrones portadores en exceso y se les denomina *donadores* o de tipo *n*.

Si se dopa un material semiconductor intrínseco con impurezas tipo *n*, no sólo aumenta el número de electrones sino que el número de huecos desciende por debajo de lo que tenía el semiconductor intrínseco. Esta baja en el número de huecos es debida al gran número de electrones presentes lo que aumenta el ritmo de recombinaciones de electrones con huecos. En consecuencia, los portadores dominantes son los electrones negativos, y el dopado con donadores lleva a un semiconductor de tipo *n*.

Semiconductores de tipo p

El boro, el galio y el indio son átomos trivalentes que añadidos a un semiconductor intrínseco proporcionan electrones para completar únicamente tres enlaces covalentes. La vacante existente en el cuarto enlace forma un hueco como se ve en la Fig. 1-8. Este tipo de impurezas posibilitan portadores positivos ya que se crean huecos que pueden aceptar electrones. Por ello las impurezas trivalentes se

denominan *aceptadoras* y forman los semiconductores de tipo p en los que los portadores predominantes son los huecos.

Ley de acción de masas

Hemos visto que al añadir impurezas de tipo n decrece el número de huecos, y de igual forma al añadir impurezas del tipo p disminuye la concentración de electrones libres por debajo de la del semiconductor intrínseco. Un análisis teórico (sección 1-7) nos demostrará que en condiciones de equilibrio térmico el producto de las concentraciones de cargas positivas y negativas libres es constante e independiente de la cantidad de donadores o aceptadores. Esta relación se denomina *ley de acción de masas* y viene dada por

$$np = n_i^2 \tag{1-24}$$

La concentración intrínseca n_i es función de la temperatura (sección 1-5).

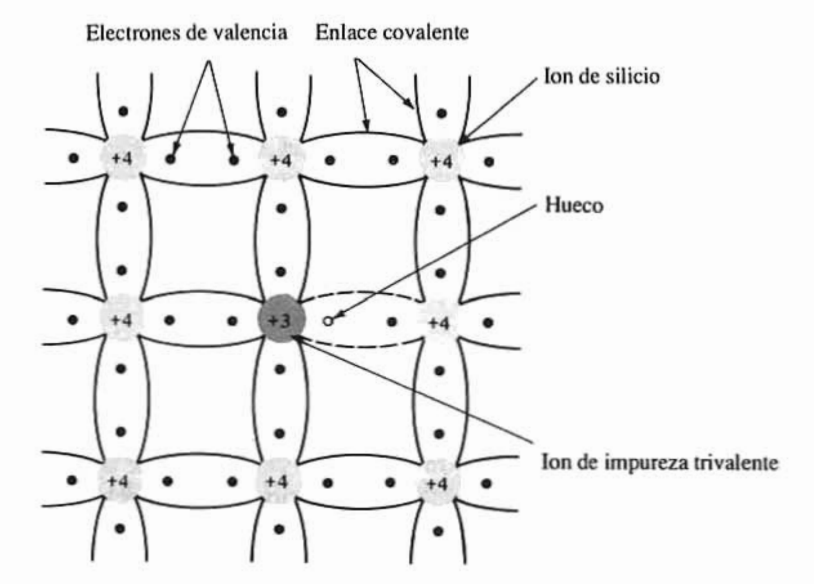


Figura 1-8. Red de cristal con un átomo de silicio desplazado por un átomo impurificador trivalente.

De todo ello sacamos la conclusión de que las impurezas en un semiconductor intrínseco no sólo aumenta la conductividad sino que sirve también para producir un conductor en el que los portadores de carga sean predominantemente huecos o electrones. En un semiconductor de tipo n los electrones se denominan portadores mayoritarios. En un material de tipo p los huecos son los portadores mayoritarios y los electrones los minoritarios.

Concentración de portadores

Hemos ya indicado anteriormente que para ionizar los átomos de impurezas se requiere muy poca energía. La temperatura a la que normalmente trabajan los dispositivos electrónicos (> 200 °K) proporciona energía térmica suficiente para ionizar virtualmente todas las impurezas. Este hecho, junto con la ley de acción de masas nos permite determinar la densidad de carga en un semiconductor.

Sea N_D la concentración de átomos donadores y N_A la de átomos aceptadores. Puesto que todas estas impurezas están prácticamente ionizadas producirán una densidad de iones positivos y de iones negativos N_D y N_A respectivamente. Para mantener el cristal eléctricamente neutro la densidad de cargas positivas debe ser igual a la concentración de cargas negativas como se indica en la Ec. (1-25)

$$N_D + p = N_A + n \tag{1-25}$$

Consideremos un material de tipo n en el que N_A sea igual a cero. Como el número de electrones es mucho mayor que el de huecos en un semiconductor de tipo n ($n >> p$), la Ec. (1-25) se reduce a

$$n \simeq N_D \tag{1-26}$$

En un material de tipo n *la concentración de electrones libres es aproximadamente igual a la densidad de átomos donadores.*

La concentración p de huecos en el semiconductor de tipo n se obtiene a partir de la Ec. (1-24) o sea:

$$p = \frac{n_i^2}{N_D} \tag{1-27}$$

De igual forma, en un semiconductor tipo p con $N_D = 0$ tendremos

$$p \simeq N_A \tag{1-28}$$

y

$$n = \frac{n_i^2}{N_A} \tag{1-29}$$

Ejemplo 1-3

Una pieza de silicio tipo n tiene 3 mm de longitud y una sección recta rectangular de 50×100 micras. La concentración de donadores a 300 °K es de 5×10^{14} cm^{-3} que corresponde a un átomo de impureza por 10^8 átomos de silicio. Por la pieza circula una corriente de 1 μA. Determinar la concentración de electrones y huecos, la conductividad y la tensión entre extremos. (Obsérvese que se trata de una muestra de tipo n que tiene las mismas dimensiones y corriente que el silicio intrínseco del Ejemplo 1-2).

Solución [5]

De las Ec. (1-26) y (1-27), y empleando los valores de n_i y μ_n dados en la Tabla 1-1 tendremos:

$$n = N_D = 5 \times 10^{14} \text{ cm}^{-3}$$

y

$$p = \frac{(1.45 \times 10^{10})^2}{5 \times 10^{14}} = 4.2 \times 10^5 \text{ cm}^{-3}$$

Como $n >> p$, sólo hay que considerar en la Ec. (1-22) la concentración de electrones, por lo que la conductividad será

$$\sigma = qn\mu_n = 1.60 \times 10^{-19} \times 5 \times 10^{14} \times 1.5 \times 10^3 = 0.12\ (\Omega\cdot\text{cm})^{-1}$$

[5] En este ejemplo los cálculos se han hecho empleando los centímetros en lugar de metros como en las ecuaciones.

La tensión deducida de $\mathscr{E}$L, en donde según la Ec. (1-21) $\mathscr{E}$ = J/σ, es

$$V_{\text{bar}} = \frac{J}{\sigma} L = \frac{IL}{A\sigma} = \frac{10^{-6}\,(0.3)}{(5 \times 10^{-3})\,(10^{-2}) \times 0.12} = 0.05 \text{ V}$$

Comparando los resultados de los Ejemplos 1-2 y 1-3 se ve claramente la utilidad de emplear semiconductores extrínsecos en los dispositivos electrónicos. Para tener una pequeña corriente de 1 μA hay que aplicar una tensión de 1.380 V a la muestra intrínseca, mientras que son suficientes 50 mV en la muestra de tipo *n*. La reducción de la tensión en 28.000 veces iguala exactamente la reducción de la resistividad (de $2{,}30 \times 10^5$ a $1/\sigma = 8{,}33\ \Omega$ cm). El enorme aumento del número de electrones libres (de $1{,}45 \times 10^{10}$ a 5×10^{14} cm^{-3}) tiene lugar cuando sólo un átomo de silicio de entre 100 millones es sustituido por un átomo de impureza.

Cabe añadir donadores a un cristal de tipo *p*, o inversamente añadir aceptadores a un material de tipo *n*. Si se igualan las concentraciones de donadores y aceptadores en el semiconductor, éste permanece intrínseco. Los huecos de los aceptadores se combinan con los electrones de conducción del donador para no dar ningún portador libre adicional. Por tanto, en la Ec. (1-25) siendo $N_D = N_A$ observamos que $p = n$, y en la Ec. (1-24) que $n^2 = n_i^2$ o $n = n_i$ = concentración intrínseca.

Ampliando los conceptos anteriores cabe indicar que si la concentración de átomos donadores añadidos a un semiconductor de tipo *p* supera la concentración de aceptadores ($N_D > N_A$) el material pasa de ser del tipo *p* al tipo *n*. Inversamente, la adición de un número suficiente de aceptadores a una muestra de tipo *n* la convierte en un semiconductor del tipo *p*. Esto es precisamente lo que se hace en la fabricación de transistores integrados. Para determinar la concentración de portadores en estas circunstancias N_D se reemplaza por N_D-N_A en las Ec. (1-26) y (1-27) cuando el material tipo *p* se pasa a semiconductor del tipo *n*. Análogamente cuando un semiconductor de tipo *n* se convierte en tipo *p*, N_A de la Ec. (1-28) y (1-29) se sustituye por N_A-N_D.

Generación y recombinación de cargas

En un semiconductor intrínseco el número de huecos es igual al número de electrones libres. La agitación térmica genera *g* nuevos pares electrón-huecos por unidad de volumen y segundo, mientras desaparecen otros pares como consecuencia de la recombinación: dicho de otra forma, los electrones libres caen en los enlaces covalentes vacíos con la pérdida de un par de portadores móviles. Como promedio, un hueco (o un electrón) existe durante τ_p (o τ_n) segundos antes de recombinarse. A este tiempo se le denomina *vida media* del hueco (o del electrón). Estos parámetros son muy importantes en los sistemas semiconductores porque indican el tiempo requerido para que las concentraciones de electrones y de huecos motivadas por el cambio vuelvan a sus concentraciones de equilibrio.

1-5. VARIACIONES EN LAS PROPIEDADES DEL SILICIO

La conductividad de un semiconductor dada en la Ec. (1-22) depende de la concentración de huecos y de electrones y de la movilidad. Ya que los sistemas semiconductores están sometidos a muy diversas temperaturas de trabajo, las variaciones en los parámetros debidas a ello tienen su importancia.

Concentración intrínseca

En un semiconductor intrínseco la densidad de pares hueco-electrón aumenta con la temperatura. Teóricamente la concentración intrínseca n_i varía con T según

$$n_i^2 = A_0 T^3 \epsilon^{-E_{GO}/kT} \qquad (1\text{-}30)$$

donde E_{GO} es la energía necesaria para romper un enlace covalente a 0 °K en electrón-volt, k es la constante de Boltzmann en electro-volt por grado Kelvin y A_o es una constante independiente de T.

En los semiconductores extrínsecos el aumento de n_i^2 con la temperatura afecta también a la densidad de cargas. Por ejemplo, consideremos una muestra de tipo n con una concentración de donadores N_D sometida a un aumento de temperatura desde 300 a 400 °K. La densidad de electrones n a 400 °K no debe variar apreciablemente de su valor a 300 °K porque las impurezas donadoras ionizadas proporcionan la casi totalidad de portadores. No obstante, la ley de acción de masas indica que la concentración de huecos p crece. Análogamente, en semiconductores de tipo p, n crece moderadamente con la temperatura y $p \simeq N_A$ se mantiene constante.

Movilidad

Dentro del margen de temperaturas entre 100 y 400 °K la movilidad de electrones y huecos varía proporcionalmente a T^{-m}. Para el silicio $m = 2{,}5$ para los electrones y 2,7 para los huecos. La movilidad μ decrece con la temperatura porque hay más portadores y éstos son más activos a temperaturas altas. Cada uno de estos factores favorece el número de colisiones y μ decrece.

La movilidad es también función de la intensidad del campo eléctrico y del nivel de dopado. En un silicio de tipo n, μ es constante a una temperatura dada sólo si $\mathscr{E} < 10^3$ V/cm. Con $\mathscr{E} > 10^4$ V/cm, μ_n es inversamente proporcional a $\mathscr{E}$ y la velocidad se acerca a los 10^7 cm/s (la velocidad de saturación). Entre 10^3 y 10^4 V/cm μ_n varía aproximadamente como $\mathscr{E}^{1/2}$.

Conductividad

La conductividad de un semiconductor intrínseco crece al aumentar la temperatura porque el aumento de pares hueco-electrón es mayor que el descenso de su movilidad. En un semiconductor extrínseco y dentro del campo entre los 100 y 600 °K el número de portadores mayoritarios es casi constante, pero la menor movilidad hace que la conductividad decrezca con la temperatura.

1-6. DIFUSIÓN

Además de por una corriente de conducción, el transporte de cargas en un semiconductor puede realizarse por un mecanismo denominado *difusión*, lo que normalmente no sucede en los metales. A continuación veremos los rasgos principales de la difusión.

Es posible que la concentración de partículas en un semiconductor no sea uniforme. Tal como se indica en la Fig. 1-9 la concentración de huecos p varía con la distancia x en el semiconductor y existe un gradiente de concentración dp/dx en la densidad de portadores. La existencia de ese gradiente implica que si se traza una superficie imaginaria (indicada con trazos en la figura) la densidad de huecos en un lado de tal superficie es mayor que la del otro lado. Los huecos tienen un movimiento aleatorio motivado por la energía térmica. De acuerdo con esto los huecos se moverán continuamente adelante y atrás a través de esa superficie y cabe esperar que en un cierto intervalo de tiempo, mayor número de ellos crucen la superficie desde el lado de mayor densidad al de menor que no en sentido contrario. Este transporte de huecos constituye una corriente en el sentido positivo de x. Obsérvese que este transporte de cargas no es

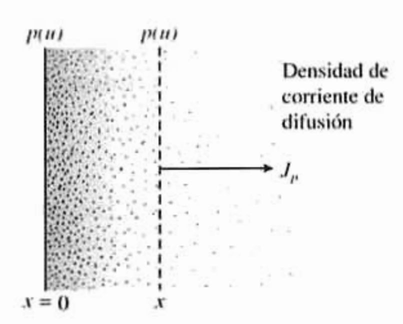


Figura 1-9. Representación de una densidad no uniforme de huecos y la densidad de corriente de difusión resultante.

el resultado de la repulsión mutua entre cargas del mismo signo sino que es simplemente el resultado de un fenómeno estadístico. Esta difusión es exactamente análoga a la que existe en un gas neutro si hay un gradiente de concentración en el mismo[6]. La densidad de corriente de difusión de huecos J_p es proporcional al gradiente de concentración, y viene dada por

$$J_p = -qD_p \frac{dp}{dx} \qquad \text{A/m}^2 \tag{1-31}$$

en donde D_p (metros cuadrados por segundo) se denomina *constante de difusión de los huecos*. Puesto que p de la Fig. 1-9 decrece al aumentar x, dp/dx es negativo y se precisa el signo menos en la Ec. (1-31) de forma que J_p será positivo en la dirección positiva de x. Existe otra ecuación similar para la densidad de corriente de difusión de electrones. [p es reemplazada por n y el signo «menos» por el «más» en la Ec. (1-31)].

Relación de Einstein

Puesto que tanto la difusión como la movilidad son fenómenos estadísticos termodinámicos D y μ no son independientes. La relación entre ellos viene dada por la ecuación de Einstein

$$\frac{D_p}{\mu_p} = \frac{D_n}{\mu_n} = V_T \tag{1-32}$$

en donde V_T es la «tensión equivalente de temperatura» definida por

$$V_T \equiv \frac{\overline{k}T}{q} = \frac{T}{11{,}600} \qquad \text{V} \tag{1-33}$$

siendo $\overline{k}$ la constante de Boltzmann en julios por grado Kelvin. Obsérvese la diferencia entre $\overline{k}$ y k, la última es la constante de Boltzmann en electro-volt por grado Kelvin. (En el apéndice A-1 se dan los valores de $\overline{k}$ y k. De la Sec. 1-3 se deduce que $\overline{k} = 1{,}60 \times 10^{-19}\, k$. A temperatura ambiente (300 ºK), $V_T = 0{,}0259$V y $\mu = 38{,}6D$.

(En la tabla 1-1 se dan los valores medidos de μ y los calculados de D para el silicio.)

Corriente total

Puede existir simultáneamente dentro de un semiconductor un gradiente de tensión y un gradiente de

---

[6] Es el mismo proceso por el cual el aroma de una flor puede extenderse a toda la habitación.

concentración. En tal caso la corriente total de huecos es igual a la suma de la corriente de desplazamiento, [Ec. (1-16) con la n reemplazada por p] y la corriente de difusión (Ec. 1-31) o sea

$$J_p = q\mu_p p\mathscr{E} - qD_p \frac{dp}{dx} \qquad \text{A/m}^2 \tag{1-34}$$

Análogamente, la corriente de electrones es

$$J_n = q\mu_n n\mathscr{E} + qD_n \frac{dn}{dx} \qquad \text{A/m}^2 \tag{1-35}$$

1-7. SEMICONDUCTORES GRADUADOS

El semiconductor representado en la Fig. 1-10*a* tiene una concentración de huecos que es función de x, es decir que el dopado es gradual (no uniforme). La densidad de electrones debe variar algo con x a consecuencia de la ley de acción de masas. Supongamos que existe un equilibrio térmico y que no se inyectan portadores desde ninguna fuente externa (excitación nula). En estas condiciones no puede haber un movimiento estable de cargas y sí sólo el movimiento aleatorio debido a la agitación térmica. Por tanto la corriente total de huecos debe ser cero y también lo será la corriente total de electrones. Como p no es constante cabe esperar una corriente de difusión de huecos no nula. Para que desaparezca la corriente total de huecos deberá existir una corriente de desplazamiento de huecos que sea igual y contraria a la de difusión. Puesto que una corriente de conducción requiere un campo eléctrico llegamos a la conclusión de que un dopado no uniforme genera un campo eléctrico en el interior del semiconductor. Hallaremos ahora ese campo y la variación de tensión correspondiente a lo largo de la pieza.

Haciendo $J_p = 0$ en la Ec. (1-34) y haciendo uso de la ecuación de Einstein $D_p = \mu_p V_T$ (Ec. 1-32) tendremos

$$\mathscr{E} = \frac{V_T}{p}\frac{dp}{dx} \qquad \text{V/m} \tag{1-36}$$

Si la concentración de dopado $p(x)$ es conocida, puede calcularse el campo $\mathscr{E}(x)$ y de $\mathscr{E} = -dV/dx$ podemos calcular el potencial

$$dV = -V_T \frac{dp}{p} \tag{1-37}$$

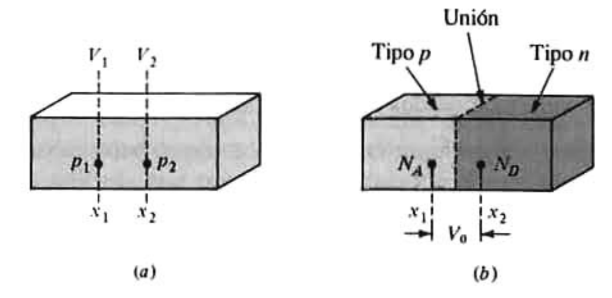


Figura 1-10. (a) Un semiconductor graduado; $p(x)$ no es constante. (*b*) Una unión pn en la que p y n están uniformemente dopados con concentraciones de impurezas N_A y N_D respectivamente.

Integrando la Ec. (1-36) entre x_1 donde la concentración es p_1 y la tensión V_1 y x_2 donde $p = p_2$ y $V = V_2$ tendremos

$$V_{21} \equiv V_2 - V_1 = V_T \ln \frac{p_1}{p_2} \qquad \text{V} \tag{1-38}$$

Obsérvese que la diferencia de potencial entre dos puntos depende únicamente de las concentraciones en ellos y es independiente de su separación x_2-x_1. La Ec. (1-38) puede expresarse de la forma

$$p_1 = p_2 \epsilon^{+V_{21}/V_T} \tag{1-39}$$

Esta es la relación de Boltzmann de la teoría cinética de los gases.

Ley de acción de masas

Partiendo de $J_n = 0$ y procediendo como antes se llega a la ecuación de Boltzmann para los electrones.

$$n_1 = n_2 \epsilon^{-V_{21}/V_T} \tag{1-40}$$

Multiplicando las Ecs. (1-39) y (1-40) tendremos

$$n_1 p_1 = n_2 p_2 \tag{1-41}$$

Esta ecuación indica que el producto np es una constante independiente de x y por tanto del dopado en condiciones de equilibrio térmico. En un semiconductor intrínseco $n = p = n_i$ y $np = n_i^2$, que es la ley de acción de masas introducida en la Ec. (1-24).

Unión abrupta en circuito abierto

Consideremos el caso especial de la Fig. 1-10*b*. La mitad izquierda de la barra es de tipo p con una concentración constante N_A, mientras que la mitad derecha es de tipo n con una densidad uniforme N_D. El plano señalado con línea de trazos es una unión metalúrgica (pn) que separa las dos porciones de distinta concentración. Este tipo de dopado en el que la densidad cambia abruptamente de p a n se denomina en escalón. La unión queda localizada en el plano en el que la concentración es nula. Como se ha descrito antes, la teoría señala que entre las dos secciones existe un potencial llamado *tensión de contacto* V_0. La Ec. (1-38) nos permite calcular V_0 con lo que

$$V_0 = V_{21} = V_T \ln \frac{p_{p0}}{p_{n0}} \qquad \text{V} \tag{1-42}$$

ya que $p_1 = p_{p0}$ = concentración de huecos en equilibrio térmico en el lado p y $p_2 = P_{n0}$ = concentración de electrones en equilibrio térmico en el lado n.

De la Ec. (1-28), $p_{p0} = N_A$, y de la Ec. (1- 23) $p_{n0} = n_i^2/N_D$ de forma que

$$V_0 = V_T \ln \frac{N_A N_D}{n_i^2} \qquad \text{V} \tag{1-43}$$

La misma expresión para V_0 se obtiene del análisis correspondiente visto anteriormente, basado en igualar la corriente total de electrones I_n a cero (problema 1- 18). La unión pn, se estudiará detalladamente en el capítulo 2.

REFERENCIAS

1 Shockley, W.: "Electrons and Holes in Semiconductors", D. Van Nostrand, Princeton, N.J. (reimpresión), 197

2 Yang, E. S.: "Fundamentals of Semiconductor Devices." McGraw- Hill Book Company, Nueva York,1978.

3 Sze, S. M.: "Physics of Semiconductor Devices." 2.ª ed., John Wiley & Sons, Nueva York, 1979.

4 Adler, R. B., A. C. Smith, y R. L. Longini: "Introduction to Semiconductor Physics," vol. 1, SEEC, John Wiley & Sons, Nueva York, 1965.

TEMAS DE REPASO

1-1 Definir la intensidad de campo eléctrico.
1-2 Definir la energía potencial.
1-3 Definir el electrón-volt.
1-4 Dar la descripción gas-electrónica de un metal.
1-5 Definir la movilidad.
1-6 Definir la conductividad.
1-7 ¿Por qué un semiconductor intrínseco a 0 °K actúa como un aislante?
1-8 ¿Qué es un hueco? ¿Cómo contribuye a la conducción?
1-9 (*a*) ¿Qué es la concentración intrínseca de huecos?
(*b*) ¿Cuál es la relación entre la densidad en el tema 1-9*a* y la concentración de electrones?
1-10 ¿Cuál es la diferencia entre semiconductores intrínsecos y extrínsecos?
1-11 Representar en dos dimensiones un cristal de silicio conteniendo un átomo de impureza donadora.
1-12 Repetir el tema anterior con un átomo de impureza receptora.
1-13 ¿Qué tipo de semiconductor resulta al dopar silicio con impureza = (*a*) donadora, y (*b*) receptora?
1-14 Establecer la ley de acción de masas.
1-15 Un semiconductor tiene unas concentraciones N_D y N_A de donadores y receptores respectivamente. ¿Qué relación debe emplearse para determinar las concentraciones n de electrones y p de huecos?
1-16 Describir la recombinación.
1-17 Definir la vida media de un portador.
1-18 La resistencia de un semiconductor extrínseco, ¿aumenta o disminuye con la temperatura? Explíquese brevemente.
1-19 Repetir el tema anterior para un semiconductor intrínseco.
1-20 Definir la tensión equivalente de temperatura.
1-21 ¿Qué condiciones debe haber para que exista difusión?
1-22 Definir la constante de difusión para: (a) huecos y (b) electrones.
1-23 ¿Están relacionadas la difusión y el desplazamiento? ¿Cómo?
1-24 Escribir una ecuación para la corriente neta de electrones en un semiconductor y expresar el significado físico de cada término.
1-25 Definir un semiconductor graduado.
1-26 ¿Por qué debe existir un campo eléctrico en un semiconductor graduado?
1-27 ¿De qué parámetros depende la diferencia de potencial de contacto en una unión *pn* en escalas en circuito abierto?

2

El diodo de unión

La unión *pn* es el bloque constructivo básico del que depende el funcionamiento de todo dispositivo semiconductor. Basándonos en las propiedades de los semiconductores descritos en el capítulo 1 desarrollaremos el comportamiento de la unión *pn*. Dirigiremos especialmente la atención en las características volt-amperio y en los modelos de circuitos representando el funcionamiento de la unión. Puesto que la unión *pn* es por sí misma un dispositivo de dos elementos (diodo) estudiaremos también su empleo como elemento de circuito.

2-1. LA UNIÓN EN UN CIRCUITO ABIERTO

Cuando un cristal de semiconductor se dopa con aceptadores por un lado y donadores por el opuesto, se forma una unión *pn* (Fig. 2-1). En esta figura los iones donadores se representan con el signo «más» y los electrones con un pequeño punto negro. Los huecos están dibujados con pequeños círculos vacíos y los iones aceptadores con el signo «menos». Se supone que la unión de la Fig. 2-1 ha alcanzado el equilibrio y que el semiconductor tiene una sección recta uniforme.

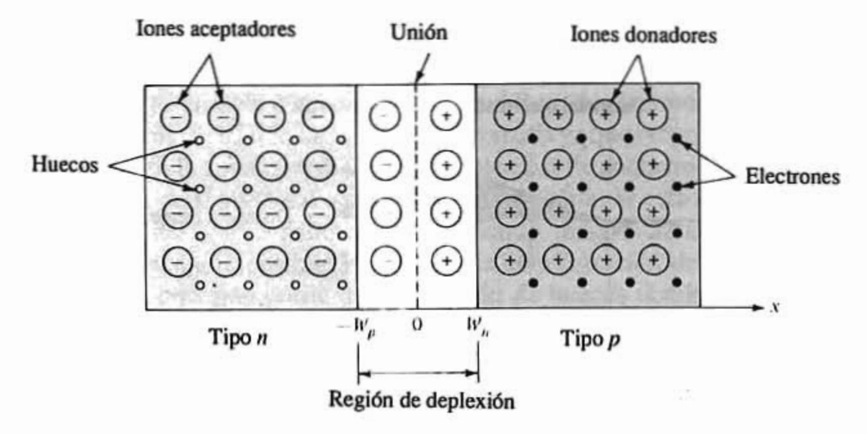


Figura 2-1. Representación esquemática de una unión *pn*

Región de la carga espacial

Inicialmente existe un gradiente de concentración a través de la unión lo que hace que los huecos se difundan hacia la derecha y los electrones hacia la izquierda. Vemos pues que los huecos que neutralizaban

los iones aceptadores próximos a la unión en el silicio de tipo p han desaparecido como consecuencia de la combinación con los electrones difundidos a través de la unión. De igual forma, los electrones en el silicio de tipo n se han combinado con huecos que han cruzado la unión desde el material p. Los iones no neutralizados en las proximidades de la unión se conocen con el nombre de *cargas descubiertas* y se traducen en una densidad de carga ρ_V como puede apreciarse en la Fig. 2-2*a*. Como la región de la unión no contiene cargas móviles se la denomina *región de deplexión de carga espacial* o de *transición*. El ancho de esta región es del orden de unas pocas décimas de micra (aproximadamente como la longitud de onda de la luz visible). Sólo existen portadores fuera de esta región; hacia la izquierda son predominantemente huecos ($p \simeq N_A$) y hacia la derecha, electrones ($n \simeq N_D$).

En la sección 1-7 se demostró que de una concentración de cargas no uniforme resulta un campo eléctrico y la diferencia de potencial en la unión. La distribución de carga, que es cero en la unión, forma un dipolo eléctrico, es decir, que es negativo en un lado y positivo en el otro. La forma de la curva de ρ_V en función de x depende de cómo esté graduada la unión (la unión abrupta es estudiada en la Sec. 2-13).

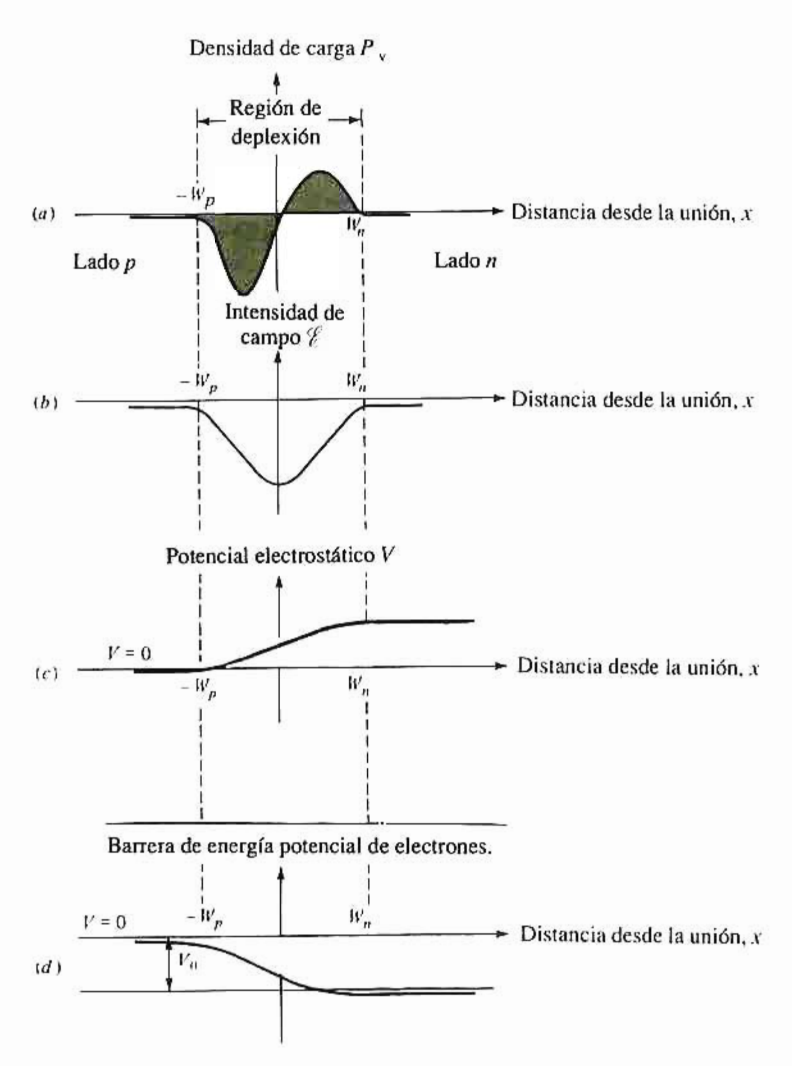


Figura 2-2. (*a*) Densidad de carga; (*b*) intensidad de campo eléctrico; (*c*) potencial electrostático; (*d*) barrera de potencial para los electrones en la región de deplexión de una unión *pn*.

La intensidad del campo eléctrico y las variaciones de potencial se obtienen de la distribución de cargas y de la ecuación de Poisson.

$$\frac{d^2v}{dx^2} = -\frac{\rho_v}{\epsilon} \tag{2-1}$$

en la que ϵ es la permitividad (constante dieléctrica del medio). Normalmente ϵ se expresa como $\epsilon = \epsilon_r \epsilon_o$ siendo ϵ_r la constante dieléctrica relativa y ϵ_o es la permitividad en el vacío. Recordando que $\mathscr{E} = -(dV/dx)$, la integración de la Ec. (2-1) da

$$\mathscr{E}(x) = \int_{-W_p}^{x} \frac{\rho_v(x')}{\epsilon}\, dx' \tag{2-2}$$

Como se representa en la Fig. 2-2*b*, $\mathscr{E}$ es negativa porque el campo va dirigido de derecha (más) a izquierda (menos). Obsérvese que $\xi\,(-W_p) = \xi\,(W_n) = 0$; es decir, se admite que no existe campo fuera de la región de carga espacial.

La Fig. 2-2*c* representa la variación del potencial electrostático en la región de transición, y es la integral negativa de la función $\mathscr{E}$ (x) de la Fig. 2-2*b*. Esta variación constituye una barrera de energía potencial (Sec. 1-1) que se opone a la prosecución de la difusión de huecos a través de la barrera. En la Fig. 2-2*d* se

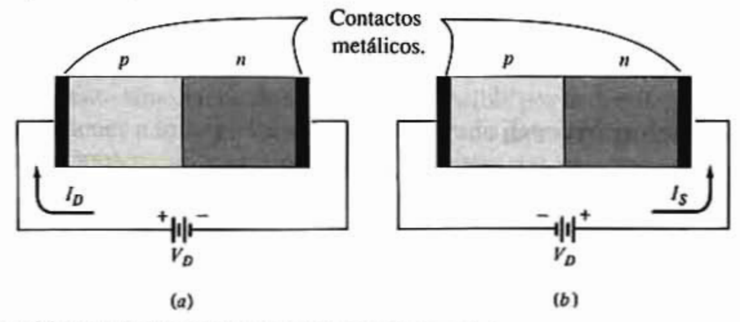


Figura 2-3. Unión *pn*; (*a*) con polarización directa, y (*b*) con polarización inversa.

ve la forma de la barrera de energía potencial contraria al flujo de electrones que cruzan la unión desde el lado *n*. La Fig. 2-2*d* es similar a la 2-2*c* salvo que está invertida ya que la carga de los electrones es negativa. Obsérvese la existencia en la zona de transición del potencial de contacto V_O visto en la Sec. 1-7.

En circuito abierto la corriente total de huecos debe ser nula. Si esto no fuera cierto, la densidad de huecos en un extremo del semiconductor iría creciendo indefinidamente con el tiempo, cosa que evidentemente es físicamente imposible. Puesto que la concentración de huecos en el lado *p* es mucho mayor que en el lado *n*, una gran corriente de difusión de huecos tiende a atravesar la unión desde el material *p* al *n*. Como aparece un campo eléctrico en la unión en sentido tal que una corriente de desplazamiento tenderá a cruzar desde el lado *n* al *p* para contrarrestar la corriente de difusión. La condición de que la corriente de huecos resultante sea nula nos permite calcular la altura de la barrera de potencial V_o (Ec. 1-43) en función de la concentración de donadores y aceptadores. Con las densidades de dopado habituales el valor de V_O es del orden de algunas décimas de volt.

También la corriente total de electrones debe ser nula: por tanto la difusión de electrones desde el tipo *n* al *p* debe verse contrarrestada por el desplazamiento de electrones desde *p* a *n*.

2-2. LA UNIÓN *pn* POLARIZADA

La característica eléctrica esencial de la unión *pn* es que permite la circulación de portadores en un

sentido y la impide prácticamente en el otro. Veremos a continuación cómo se lleva a cabo la acción de *rectificador* al aplicar una tensión exterior a la unión.

Unión *pn* con polarización directa

En la Fig. 2-3*a* se aplica una tensión V_D a la unión, con el polo positivo de la batería conectado al lado *p* y el negativo al lado *n*. De acuerdo con la Fig. 2-2 suponemos que no hay ninguna caída de tensión a través de la parte de semiconductor fuera de la región de deplexión ni en los contactos metálicos. En consecuencia la tensión aplicada reducirá la barrera de potencial en la cuantía V_D, es decir, perturbándose el equilibrio establecido entre la difusión y el desplazamiento de portadores a través de la unión. La consecuencia de la disminución del potencial de la unión es permitir que pasen huecos desde el lado *p* al *n*. Análogamente, ahora pueden difundirse electrones desde el lado *n* al *p*. El desplazamiento de huecos hacia la derecha y de electrones hacia la izquierda constituyen una corriente en el mismo sentido. Así, la corriente resultante que atraviesa la unión es la suma de las corrientes de huecos y de electrones. Una vez los electrones (y huecos) cruzan la unión se convierten en portadores minoritarios en la región *p* (o *n*) y forman una corriente minoritaria inyectada. Esta corriente de difusión puede ser importante si lo es el número de portadores disponibles. La tensión aplicada con la polaridad indicada en la Fig. 2-3*a*, que da origen a esta corriente, se denomina *polarización directa* y la unión está *polarizada directamente*.

Unión *pn* con polarización inversa

La polaridad de la tensión aplicada en la fig. 2-3*b* (opuesta a la de la Fig. 2-3*a*) polariza inversamente la unión. El efecto de esta tensión es incrementar la barrera potencial en qV_D y en consecuencia reducir el flujo de portadores mayoritarios (huecos en el tipo *p* y electrones en el *n*). No obstante, los portadores minoritarios (electrones en el tipo *p* y huecos en el *n*) ya que están por debajo de la altura de la barrera de potencial no se ven afectados por este aumento de la barrera. Sin embargo, las condiciones iniciales de equilibrio resultan afectadas y circula una pequeña corriente de *n* a *p* a través de la unión (opuesta a la polarización directa). Esta corriente, representada por I_s se denomina *corriente de saturación inversa* y es muy pequeña ya que existen pocos portadores minoritarios. De cuanto antecede se deduce que I_s es independiente de la tensión inversa aplicada.

El mecanismo de la conducción con polarización inversa puede también describirse de la siguiente forma: La polaridad de V_D es tal que hace que tanto los huecos en el tipo *p* y los electrones en el *n* se aparten de la unión. En consecuencia la región de densidad de carga negativa se extiende más a la izquierda de la unión (Fig. 2-2*a*), y la región con densidad de carga positiva se alarga hacia la derecha. Este proceso no puede proseguir indefinidamente porque un flujo continuo de huecos hacia la izquierda requiere que éstos sean suministrados a través de la unión desde el silicio tipo *n*. Como hay sólo unos pocos de tales portadores, la corriente resultante es virtualmente nula. La pequeña corriente de saturación que haya es debida a los pares electrón-hueco generados térmicamente. Los huecos así formados en el silicio tipo *n* vagan por donde la unión y son forzados por el campo eléctrico a cruzarla. Puede aplicarse un razonamiento análogo a los electrones generados térmicamente en el material tipo *p*.

Contactos óhmicos

Al comentar las polarizaciones directa e inversa supusimos que la tensión externa V_D se aplicaba directamente a la unión, dando lugar a un aumento o disminución del potencial electrostático en la unión.

Para justificar este supuesto debemos puntualizar cómo se realizan los contactos eléctricos al semiconductor desde el circuito exterior de polarización. En la Fig. 2-3 se señalan los contactos metálicos de que están provistos los materiales *p* y *n* homogéneos, con lo que se han añadido dos uniones metal-semiconductor, una en cada extremo del diodo, y debemos esperar que se produzca una tensión de contacto en estas uniones adicionales. Sin embargo deberemos suponer que tales uniones representadas en la Fig. 2-3 se han fabricado de forma que no sean rectificadoras. Dicho con otras palabras: el potencial de contacto en estas uniones es constante independientemente del sentido y magnitud de la corriente. A un contacto de este tipo se le denomina *contacto óhmico*. Considerando que la diferencia de tensión a través de la unión metal-semiconductor se mantiene constante y que la caída de tensión en el cristal es despreciable, aproximadamente toda la tensión aplicada aparecerá como un cambio de la altura de la barrera de potencial de la unión *pn*.

La unión *pn* en cortocircuito y en circuito abierto

Si la tensión V_D de la Fig. 2-3 fuera cero, la unión *pn* estaría en cortocircuito. En estas condiciones no habría ninguna corriente ($I = 0$) y el potencial electrostático V_D permanecería sin variación e igual al valor en circuito abierto. Si circulara alguna corriente ($I \neq 0$) el metal se calentaría. Al no haber ninguna fuente exterior de energía, la necesaria para calentar los conductores metálicos debería suministrarla la barra *pn*, y por tanto ésta debería enfriarse. Naturalmente, en condiciones de equilibrio térmico, el calentamiento del metal y el enfriamiento simultáneo de la barra es imposible por lo que llegamos a la conclusión de que $I = 0$. La suma de tensiones a lo largo de un circuito cerrado debe ser cero y por tanto el potencial V_0 de la unión debe estar compensado exactamente por el potencial de contacto metal-semiconductor del contacto óhmico.

Grandes tensiones directas

Consideremos la situación cuando V_D de la Fig. 2-3*a* aumente hasta aproximarse a V_0. Cuando $V_D = V_0$ desaparece la barrera y la corriente tendería a crecer arbitrariamente. De hecho la barrera no puede nunca quedar reducida a cero pues la resistencia del cuerpo del cristal y la de los contactos óhmicos limitan la corriente. En estas condiciones no se puede suponer que toda la tensión V_D se manifieste a través de la unión. En resumen, si V_D se hace comparable a V_0 la corriente en una unión *pn* real viene gobernada por la resistencia de los contactos óhmicos y por la del cuerpo del semiconductor.

2-3. CARACTERÍSTICA TENSIÓN-INTENSIDAD

La naturaleza aproximadamente unilateral de la unión *pn* fue desarrollada en la Sec. 2-2. Ahora vamos a describir cuantitativamente la *característica volt-amperio* que relaciona la tensión aplicada a la unión con la corriente que produce. Una particularidad significativa de esta característica es que relaciona lo que ocurre en la vecindad de la unión con las cantidades en los terminales exteriores accesibles. La unión *pn* junto con sus contactos óhmicos, es decir, sus terminales, forman un dispositivo de dos elementos denominado *diodo de unión*.

El análisis teórico de la unión *pn* (véanse las Ref. 1 a 4 al final del capítulo) nos conduce a la relación dada en la Ec. (2-3) representada en la Fig. 2-4.

$$I_D = I_S(\epsilon^{V_D/\eta V_T} - 1) \qquad \text{A} \tag{2-3}$$

El sentido positivo de I_D es del lado *p* al *n* (en el semiconductor) siendo V_D positivo en una polarización directa. Uno de los factores de los que depende η en la Ec. (2-3) es la clase de semiconductor empleado. Para el silicio η es aproximadamente igual a 2 con corrientes normales. La tensión equivalente de temperatura V_T viene dada en la Ec. (1-33) reproducida por comodidad en la Ec. (2-4).

$$V_T = \frac{T}{11{,}600} \qquad \text{V} \tag{2-4}$$

A temperatura ambiente (T = 293 ºK), V_T = 25 mV.

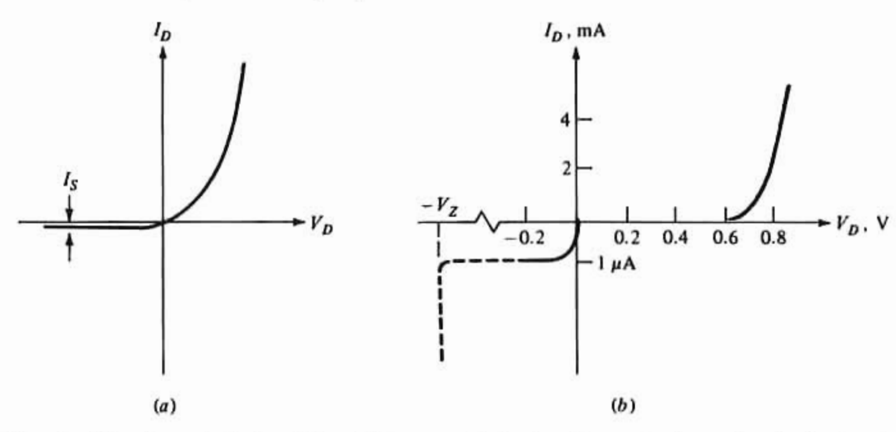


Figura 2-4. (*a*) Característica de un diodo de unión, y (*b*) la característica tensión-corriente mostrando el orden de magnitud de la corriente y la tensión de ruptura.

La corriente I_S de saturación inversa depende de la concentración de huecos y electrones en la zona de la unión. Así I_S sirve como «factor de escala» de las corrientes de la unión; para densidades especificadas de portadores un aumento del área se traduce en un aumento de la capacidad de corriente de la unión.

La Ec. (2-3) indica que con polarización directa y V_D varias veces mayor que V_T, lo que hace que el exponente sea mucho mayor que 1, I_D varía exponencialmente con la tensión aplicada. En este caso, la Ec. (2-3) puede aproximarse en

$$I_D = I_S \, \epsilon^{V_D/\eta V_T} \qquad \text{A} \tag{2-5}$$

El resultado era de esperar ya que un descenso en la barrera de potencial permite que los portadores se difundan más a través de la unión. Análogamente, cuando V_D es varias veces V_T, I_D es negativa de valor I_s para polarización inversa. Tanto el signo negativo señalando una corriente de *n* a *p* como el valor constante de corriente para polarización inversa son congruentes con lo visto en la Sec. 2-2.

Como sea que las corrientes directa e inversa difieren entre sí en varios órdenes de magnitud se emplean dos escalas distintas de intensidad para representar las características de la unión como en la Fig. 2-4*b*. La porción a trazos de la característica de polarización inversa indica que a una tensión - V_Z la unión acusa una desviación brusca de la Ec. (2-3). A esta tensión puede existir una corriente inversa fuerte y la unión está en la región de ruptura, fenómeno que se estudiará en la Sec. 2-11.

En la Fig. 2-5 está representada la característica directa del IN4153, que es un diodo de silicio de conmutación rápida. En ella puede verse que existe una tensión de *codo,* de *partida* o *umbral* V_γ por debajo de la cual la corriente es muy pequeña (menos de 1 % de su valor nominal). En esta figura V_γ es de aproximadamente 0,6 V por encima de los cuales la corriente aumenta rápidamente. La característica del diodo indica que por debajo de la tensión umbral la corriente es despreciable.

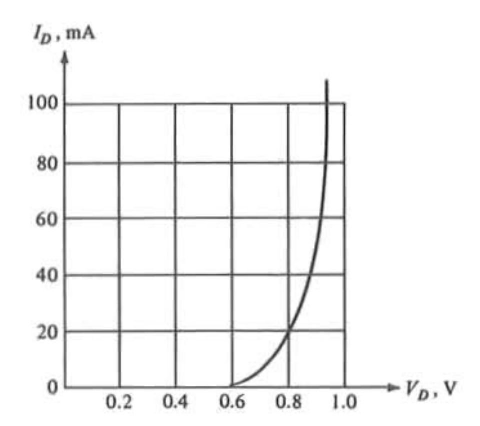


Figura 2-5. Característica directa tensión-corriente de un diodo de silicio IN 4153 a 25° C.

El parámetro η puede deducirse de la naturaleza exponencial de la característica volt-amperio. De la Ec. (2-5) tendremos

$$\log I_D = \log I_S + \frac{0.43 V_D}{\eta V_T} \tag{2-6}$$

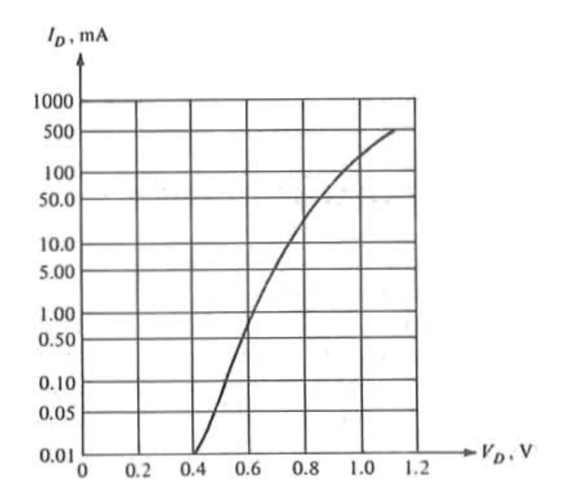


Figura 2-6. Característica logarítmica de un diodo de silicio IN4153 a 25° C.

La representación de log I_D en función de V_D nos da una línea recta de pendiente 0,434/η V_T de donde se deduce η. En la práctica esta relación lineal se observa con niveles de corriente bajos. En la característica logarítmica del IN 4153 a T = 25 ºC de la Fig. 2-6 se cumple la relación lineal cuando $I_D < 25$ mA. De la pendiente, η es aproximadamente igual a 2. A niveles de corriente mayores la pendiente disminuye ya que la tensión total aplicada no aparece íntegra a través de la unión sino que comprende también la caída óhmica en los contactos y en la masa del semiconductor. Además se ha determinado que con corrientes altas η se aproxima a la unidad, siendo

$$I_D = I_S \, \epsilon^{V_D/V_T}$$

Ejemplo 2-1

Determinar el cambio de la tensión del diodo correspondiente a un cambio de 10 a 1 de I_D, a 300 ºK.

Solución

De la Ec. 2-5 tendremos

$$I_{D1} = I_S\, \epsilon^{V_{D1}/\eta V_T} \qquad \text{y} \qquad I_{D2} = I_S\, \epsilon^{V_{D2}/\eta V_T}$$

o sea

$$\frac{I_{D2}}{I_{D1}} = \epsilon^{(V_{D2} - V_{D1})/\eta V_T}$$

de donde

$$\log \frac{I_{D2}}{I_{D1}} = \frac{0.434(V_{D2} - V_{D1})}{\eta V_T} \qquad \text{y} \qquad V_{D2} - V_{D1} = 2.303 \eta V_T \log \frac{I_{D2}}{I_{D1}}$$

A T = 300 ºK, V_T = 26 mV de la Ec. 2-4 y con I_{D2}/I_{D1} = 10, V_{D2} - V_{D1} = 60 η mV. Por tanto para η = 2 la variación de V_D necesaria para que la corriente varíe de 10 a 1, es de 120 mV. Si η = 1, la variación necesaria será de 60 mV.

2-4. DEPENDENCIA DE LA CARACTERÍSTICA V/I CON LA TEMPERATURA

La característica del diodo de la ecuación (2-3) tiene dos términos, V_T e I_s que dependen fuertemente de la temperatura. La Ec. (2-4) expresa la relación funcional entre V_T y la temperatura. El análisis teórico de una unión de silicio indica que I_s cambia un 8 % por grado centígrado. Los diodos reales sólo llegan a estos resultados aproximadamente, debido a que existen componentes de la corriente de saturación inversa debidas a fugas superficiales. Datos experimentales demuestran que I_s varía un 7 %/ºC, y puesto que $(1{,}07)^{10} \simeq 2$ se llega a la conclusión de que la corriente de saturación inversa se duplica cada 10 ºC de aumento de temperatura.

Conociendo I_s a la temperatura T_1 podemos calcular I_s a cualquier otra temperatura T.

$$I_S(T) = I_S(T_1) \times 2^{(T - T_1)/10} \quad \text{A} \tag{2-7}$$

Si la tensión aplicada es constante, un aumento de temperatura causa un incremento en I_S. Sin embargo se puede reducir la tensión al aumentar T manteniéndose la corriente a su valor inicial. Se ha determinado que a temperaturas próximas a la ambiente

$$\frac{dV_D}{dT} \simeq -2.2 \text{ mV/°C} \tag{2-8}$$

para conservar constante I. Observemos que dV_D/dT decrece al aumentar la temperatura.

2-5. DIODOS DE GERMANIO

En el comercio se encuentran diodos de unión fabricados con germanio que se utilizan en circuitos. La base de su funcionamiento es la misma descrita para los diodos de silicio, estando la característica volt-amperio dada por la Ec. (2-3). Existen dos diferencias: (1) $\eta = 1$, y (2) el valor de I_s en un diodo de germanio es del orden de tres o cuatro veces mayor que en uno de silicio de igual tamaño y con la misma densidad de dopado. Otra particularidad distintiva para la característica volt-amperio del germanio es que la tensión umbral es $V_\gamma \simeq 0{,}2$ V.

2-6. EL DIODO COMO ELEMENTO DE UN CIRCUITO

En esta sección empezaremos a estudiar las propiedades del circuito de un diodo. Como punto de partida describiremos las características de un diodo ideal.

El diodo ideal

Un diodo ideal es un dispositivo de dos elementos que se representa con el símbolo de la Fig 2-7 y tiene la característica volt-amperio de dicha figura[1].

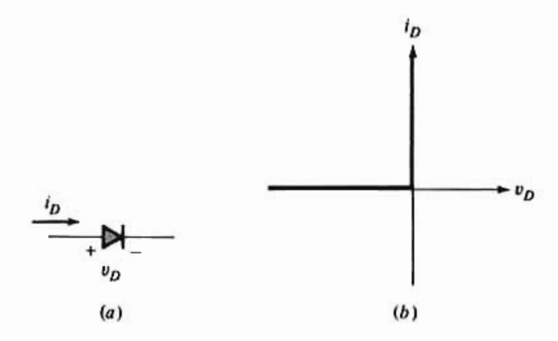


Figura 2-7. (*a*) Símbolo y (*b*) Característica tensión-corriente de un diodo ideal.

Observando la curva se ve que la corriente en este dispositivo circula sólo en una dirección por lo que el diodo ideal resulta ser un elemento de circuito unilateral. Esta cualidad tiene interés en la conmutación ya que de ella se deriva una característica ON-OFF (cerrado-abierto). Obsérvese que cuando V_D es cero, i_D puede tener cualquier valor positivo, y cuando i_D es cero, V_D puede tener cualquier valor negativo, condiciones que corresponden a un interruptor. Esta propiedad del diodo se utiliza ampliamente para la rectificación y formación de ondas ya que es la única apropiada para la transmisión y procesado de señales de la polaridad adecuada.

La unión *pn* descrita en las secciones anteriores de este mismo capítulo sólo se aproximan al ideal. Comparando las Figs. 2-4*a* y 2-7*b* se ve que el diodo real tiene una pequeña pero no nula corriente inversa y que existe una caída de tensión con la polarización directa. Además, la característica no lineal de la unión *pn* requiere métodos gráficos de análisis del tipo descrito en lo que resta de esta sección.

---

[1] Cuando la variable es función del tiempo se representa con letra minúscula, como v_D e i_D. Las mayúsculas se emplean para indicar valores constantes. Este criterio se sigue en todo el texto.

Concepto de recta de carga

El circuito representado en la Fig. 2-8*a* contiene un diodo *pn* real cuya característica volt-amperio es la de la Fig. 2- 8*b*. Aun cuando el símbolo de un diodo físico es el mismo que para uno ideal, en este texto los diferenciamos como se ve en las Fig. 2-7*a* y 2-8*a*.

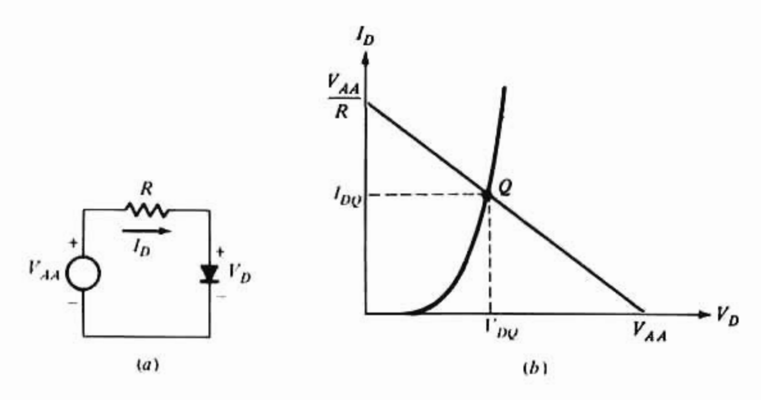


Figura 2-8. (*a*) Circuito y (*b*) característica del diodo y recta de carga del circuito.

Según la ley de Kirchhoff[2] para el circuito de la Fig. 2-8*a* tendremos:

$$-V_{AA} + I_D R + V_D = 0$$

y despejando I_D.

$$I_D = -\frac{1}{R} V_D + \frac{V_{AA}}{R} \qquad \text{A} \tag{2-9}$$

Esta última ecuación define una línea recta denominada *recta de carga* representada también en la Fig. 2-8*b*. Obsérvese que la pendiente de esta recta y sus intersecciones con los ejes dependen sólo de R y de V_{AA}. La ecuación (2-9) y la característica del diodo deben satisfacerse simultáneamente: su punto de intersección Q es el único que lo cumple. Los valores de la intensidad en el diodo y la tensión a través de éste se representan I_{DQ} y V_{DQ} respectivamente. El subíndice Q se emplea para designar valores de reposo que existen en el circuito.



Figura 2-9. Dispositivo alimentado por una fuente a través de una resistencia en serie.

El concepto de recta de carga tiene más aplicación que la dada para el diodo. Consideremos un dispositivo cualquiera en serie con una resistencia R y una fuente V_{AA} tal como se indica en la Fig. 2-9. De la ley de Kirchhoff y despejado I_x tendremos:

$$i_x = -\frac{1}{R} v_x + \frac{V_{AA}}{R} \qquad \text{A} \tag{2-10}$$

[2] En el apéndice C figura un resumen de la teoría de circuitos empleada en este libro para el análisis de circuitos electrónicos.

Esta es la ecuación de la recta de carga: su intersección con la característica volt-amperio del dispositivo contenido en el recuadro determina los valores de trabajo de la corriente y tensiones en el circuito. Obsérvese que la recta de carga pasa por los puntos $i_x = 0$, $v_x = V_{AA}$ e $i_x = V_{AA} \mid R$, $v_x = 0$, *independientemente de la característica del dispositivo*, siendo su pendiente igual a $-1 \mid R$.

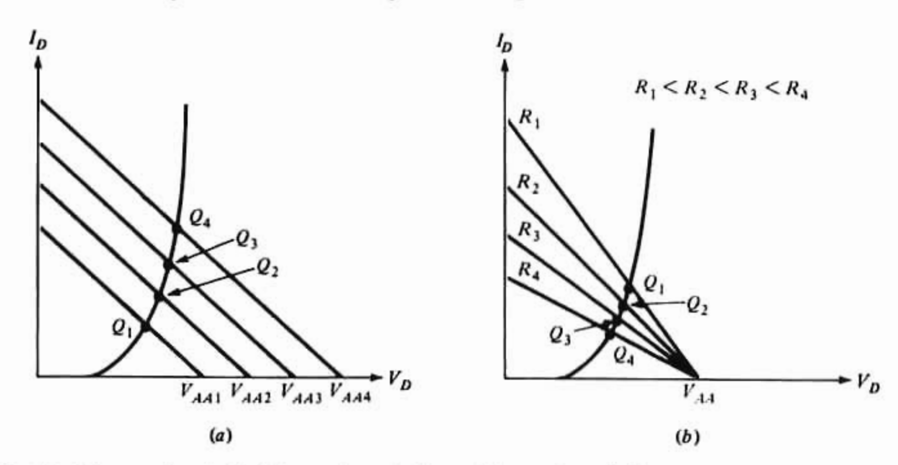


Figura 2-10. Cambio del punto de trabajo: (*a*) cuando varía V_{AA} y (*b*) cuando varía *R*.

Es instructivo estudiar los cambios que se producen en el punto de operación del circuito de la Fig. 2-8*a* al variar V_{AA} y *R*. Estos cambios quedan representados en la Fig. 2-10*a* en el caso de ser *R* constante y V_{AA} variable. En caso de que varíe *R* y se mantenga constante V_{AA} la representación será la Fig. 2-10*b*. En esta última figura se observa que si V_{AA} crece (o decrece) I_Q también crece (o decrece). Obsérvese que con pequeños cambios en V_{AA} la porción de característica del diodo entre puntos *Q* adyacentes es aproximadamente lineal. Sin embargo, para grandes variaciones de V_{AA}, como sería desde V_{AA1} a V_{AA4} la porción de curva del diodo no es lineal. En la Fig. 2-10*b* es evidente que si crece *R*, disminuye I_{DQ}.

2-7. MODELOS DE GRAN SEÑAL

Es conveniente representar el diodo por una combinación de elementos de circuito lineales e ideales formando un circuito *equivalente* o *modelo*. Mientras el diodo se utilice junto con otros elementos o dispositivos, el modelo nos permitirá calcular las corrientes y tensiones en la red valiéndonos de los métodos ordinarios de análisis de circuitos.

El diodo ideal (Fig. 2-7) es un dispositivo binario en el sentido de que existe en sólo uno de dos posibles estados: es decir, que en un momento dado el diodo estará ON u OFF. Consideremos un diodo real cuya característica sea la de la Fig. 2-11. Si la tensión aplicada a ese diodo supera la tensión umbral $V\gamma$ con el ánodo *A* (lado *p*) más positivo que el cátodo *K* (lado *n*) el diodo tiene polarización directa y está en ON. Estará en OFF si la tensión aplicada es menor que $V\gamma$, polarizando el diodo en sentido inverso.

Como se observa en la Fig. 2-11*a* los dos segmentos lineales se aproximan a la característica directa del diodo. Esta representación la forma una fuente de tensión $V\gamma$ en serie con una resistencia R_f (normalmente entre 5 y 50 Ω para los diodos de silicio) como en la Fig. 2-11*b*. Esta característica lineal es válida porque con $v_D < V\gamma$ la corriente directa es tan pequeña que se puede despreciar. Además, la caída de tensión en el diodo es pequeña frente a la tensión aplicada al circuito, de forma que la diferencia entre la característica lineal y la real supone un error despreciable. Efectivamente, el estado en conducción ON puede considerarse como un diodo ideal en serie con una batería $V\gamma$ y una resistencia R_f. Hay que tener en cuenta que los únicos terminales accesibles para las mediciones son los *A* y *K*.

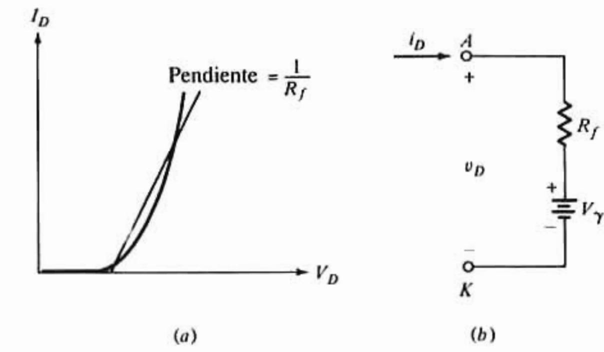


Fig. 2-11. (*a*) Característica directa linealizada del diodo; (*b*) modelo del diodo para polarización directa.

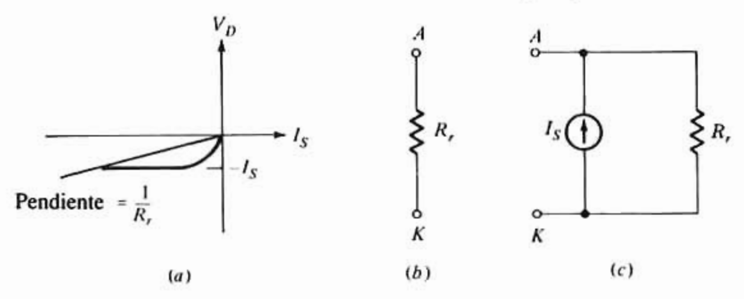


Figura 2-12. (*a*) Característica inversa idealizada del diodo; (*b*) modelo del diodo basado en la representación anterior; (*c*) modelo para incluir las pérdidas superficiales.

En estado de corte (OFF) la característica se aproxima a una recta que pasa por el origen como se representa en la Fig. 2-12*a*, siendo la pendiente igual a $1/R_r$. Esta representación da pie al circuito equivalente de la Fig. 2- 12*b*.

Como la resistencia R_r es en general de varios centenares de ohmios y aún más, muchas veces se puede suponer que es infinita y considerar al diodo con polarización inversa como un circuito abierto. Cuando se requiere más precisión se puede emplear el circuito de la Fig. 2-12*c*. La fuente de corriente I_s se emplea para indicar la corriente de saturación inversa constante. La resistencia R_r de la Fig. 2-12*c* puede también tener en cuenta el aumento de la corriente inversa al acrecentarse la tensión inversa debido a las pérdidas superficiales.

Análisis de circuitos de diodos utilizando el modelo de gran señal

Un método general para el análisis de circuitos que contengan varios diodos, resistencias y fuentes consiste en atribuir (suponer) el estado de cada diodo.[3] Para el estado en conducción ON, se reemplaza el diodo por el circuito de la Fig. 2-11*b*, empleándose el de la Fig. 2- 12*b* para los diodos en corte OFF. Una vez sustituidos los diodos por sus circuitos equivalentes toda la red es lineal y tanto las tensiones como las intensidades pueden calcularse con las leyes de Kirchhoff. La suposición de que un diodo está en conducción se comprueba si la corriente en él es en sentido directo. Si la corriente va de ánodo a cátodo la primera suposición era acertada. Si la corriente va en sentido inverso (de cátodo a ánodo) el supuesto de que está en conducción es falso y debe reemprenderse el análisis suponiendo el diodo en corte OFF.

De forma análoga, comprobamos si el diodo está en corte hallando la tensión a través de él. Si esta tensión es en sentido inverso o es en sentido directo pero menor que $V\gamma$ el diodo está en OFF. Si esta tensión

[3] No hay que preocuparse por ello; teniendo experiencia estas suposiciones serán correctas, pero si no lo son ya lo indicará el análisis.

es en sentido directo y mayor que $V\gamma$ el supuesto es incorrecto y debe suponerse en conducción al reanudar el análisis.

En el siguiente ejemplo, así como en el texto, emplearemos el método de análisis que antecede.

Ejemplo 2-2

Determinar la tensión de salida v_o en el circuito de la Fig. 2-13*a* con las tensiones de entrada siguientes: (*a*) $v_1 = v_2 = 5$ V; (*b*) $v_1 = 5$ V, $v_2 = 0$, y (*c*) $v_1 = v_2 = 0$. Se usa un diodo de silicio que tiene R_f=30 Ω, $V\gamma$ = 0,6V, $I_s = 0$ y $R_r \to \infty$.

Solución

Observemos que no están señaladas las referencias (tierra) en la Fig. 2-13*a*. Todas las tensiones indicadas están medidas respecto a la referencia con caídas de tensión consideradas positivas. El circuito de la Fig. 2-13*a* está reproducido en la Fig. 2-13*b* en la que se ha incluido el punto de referencia.

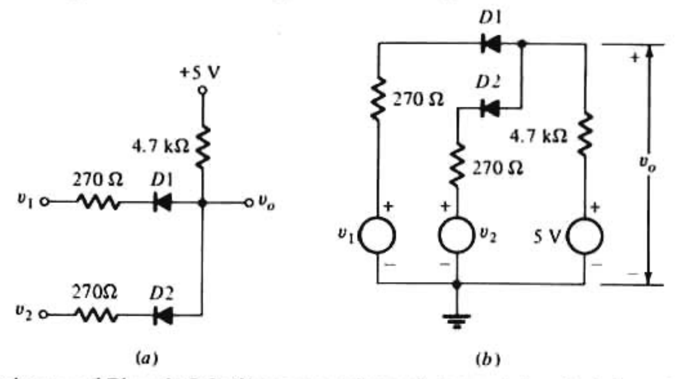


Figura 2-13. (*a*) Circuito para el Ejemplo 2-2; (*b*) esquema alternativo para el circuito de la parte *a*.

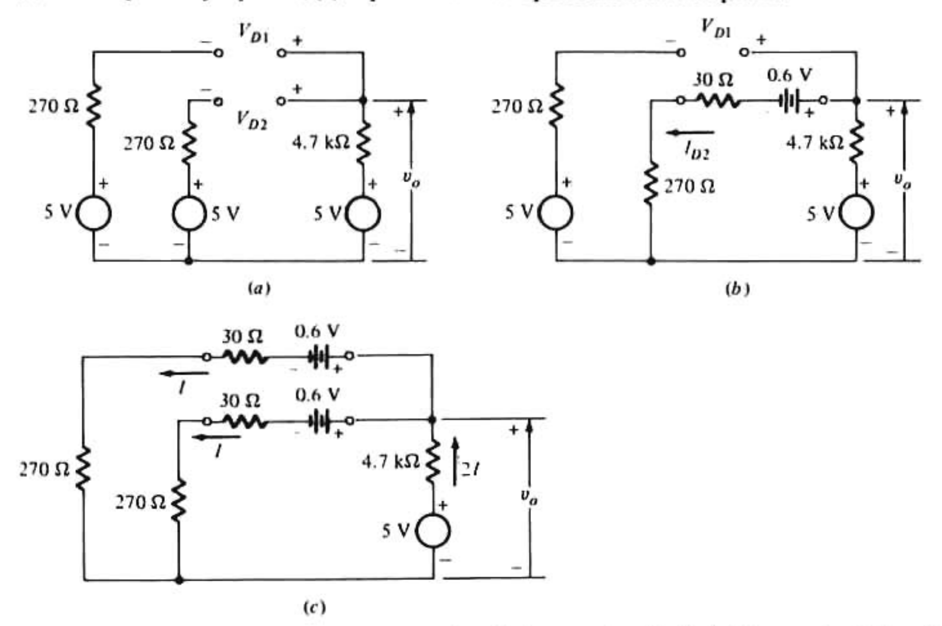


Figura 2-14. Circuito equivalente para el Ejemplo 2-2: (*a*) los dos diodos cortados; (*b*) diodo D1 en corte y D2 conduciendo; (*c*) los dos diodos en conducción.

(a) Con $v_1 = v_2 = 5$ V supondremos que *D1* y *D2* están en corte. La sustitución de los diodos por el modelo de la Fig. 2-12*b* siendo $R_r \to \infty$ nos lleva al circuito de la Fig. 2-14*a*. La observación de este circuito pone en evidencia que no circula corriente alguna. En consecuencia la caída de tensión a través de cualquier resistencia es nula, y por la ley de Kirchhoff $V_{D1} = V_{D2} = 0 < (V\gamma)$ confirmando así la primera suposición. Por tanto la Fig. 2- 12*b* es válida para esta situación y vemos que $v_o = 5$V.

(*b*) Supongamos que *D1* esté en corte y *D2* en conducción con $v_1 = 5$V y $v_2 = 0$. Utilizando los modelos de las Figs. 2-11*b* y 2-12*b* se obtiene el circuito de la Fig. 2-14*b*. Aplicando la ley de Kirchhoff al lazo interior tendremos que

$$-5 + 4700 I_{D2} + 0.6 + 30 I_{D2} + 270 I_{D2} = 0$$

Despejando I_{D2}

$$I_{D2} = \frac{5 - 0.6}{4700 + 30 + 270} = 0.88 \text{ mA}$$

Como I_{D2} es positivo (en sentido directo) la suposición de que *D2* está en conducción es correcta. En el lazo exterior no hay corriente, por lo que

$$v_o = 5 - 4700 I_{D2} = 5 - 4700 \times 0.88 \times 10^{-3} = 0.864 \text{ V}$$

También puede calcularse v_o de

$$v_o = 0.6 + 300 I_{D2} = 0.6 + 300 \times 0.88 \times 10^{-3} = 0.864 \text{ V}$$

Al no existir corriente en el exterior

$$V_{D1} = v_o - 5 = 0.864 - 5 = -4.136 \text{ V}$$

El valor negativo de V_{D1} confirma nuestra suposición de que *D1* está en corte. Así, el circuito de la Fig. 2-14*b* representa las condiciones del circuito y el valor calculado de $v_o = 0{,}864$ V es la tensión de salida. Si en lugar de suponer que *D2* está en conducción hubiéramos supuesto que está en corte, I_{D2} hubiera sido cero. Sin corriente en ningún diodo $v_o = 5$V haciendo que $V_{D2} = 5$V. Como este valor es mayor que $V\gamma = 0{,}6$V, nuestra suposición hubiera sido errónea. De igual forma, si se considera *D1* en conducción y *D2* en corte, la ley de Kirchhoff aplicada al lazo exterior nos daría

$$-5 + 4700 I_{D1} + 0.6 + 30 I_{D1} + 270 I_{D1} + 5 = 0$$

El cálculo conduce a un valor negativo de I_{D1} y el supuesto anterior es falso.

(*c*) El circuito equivalente de la Fig. 2-14*c* es aplicable cuando $v_1 = v_2 = 0$ suponiendo ambos diodos D_1 y D_2 en conducción. Por razones de simetría, en ambos diodos existe la misma corriente *I*. La ley de Kirchhoff exige suministrar una corriente 2*I* a estas ramas. Para el lazo interior la expresión es:

$$-5 + 4700 \times 2I + 0.6 + (30 + 270)I = 0$$

de donde $I = 0{,}454$ mA.

El valor positivo indica que la suposición es correcta, y por tanto

$$v_o = 0.6 + (30 + 270)I = 0.6 + 300 \times 4.54 \times 10^{-4} = 0.736 \text{ V}$$

Observamos en el Ejemplo 2-2 que existen valores dispares de v_o que dependen del estado de los diodos. Cuando ambas entradas son «altas» (p. ej. 5V) la salida es también alta. La salida es «baja» cuando una o las dos entradas son también bajas. Los circuitos con este tipo de comportamiento se denominan «puertas AND» (Y) y se estudiarán detalladamente en el capítulo 6.

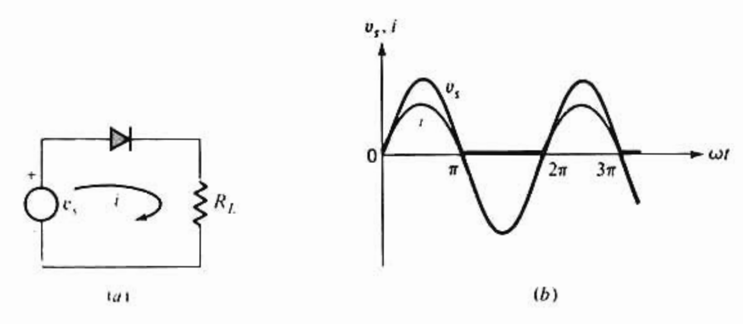


Figura 2-15. (*a*) Rectificador de media onda, y (*b*) ondas de corriente y de tensión.

2-8. APLICACIONES ELEMENTALES DE LOS DIODOS

Muchas clases de circuitos aprovechan la particularidad ON-OFF de los diodos para modificar notablemente la forma de ondas eléctricas. Ahora expondremos las bases de tales circuitos, y en sucesivos capítulos trataremos de algunas aplicaciones específicas.

Rectificadores

Consideremos el circuito de la Fig. 2-15*a* en el que la combinación de un diodo ideal y una resistencia de carga en serie se alimenta con una tensión senoidal. Durante el primer semi-ciclo de la onda de entrada el diodo está en conducción (ON) existiendo una corriente v_s/R_L. Durante el semi-ciclo negativo de v_s el diodo está en corte (OFF) de forma que la corriente es nula (Fig. 2-15). Como sólo circula corriente durante medio ciclo a este circuito (Fig. 2-15*a*) se le denomina *rectificador de media onda*. Es significativo que el valor medio (componente continua) de la corriente a lo largo de un periodo no es cero mientras que el valor medio de la tensión en el mismo periodo sí lo es. Este hecho constituye la base de los circuitos rectificadores empleados para convertir la corriente alterna, normalmente disponible, en corriente continua necesaria a la mayor parte de los sistemas electrónicos.

El circuito de la Fig. 2-16*a* emplea el condensador *C* a manera de filtro para convertir la onda de la Fig. 2-15*b* en la casi constante (c.c.) de la Fig. 2-16*b*. A continuación describiremos cualitativamente el efecto del condensador en la respuesta del circuito. En el instante $t = t_1$ la tensión a través del condensador es V_1 y en ese momento la tensión de entrada es igual a V_1 actuando sobre el diodo.

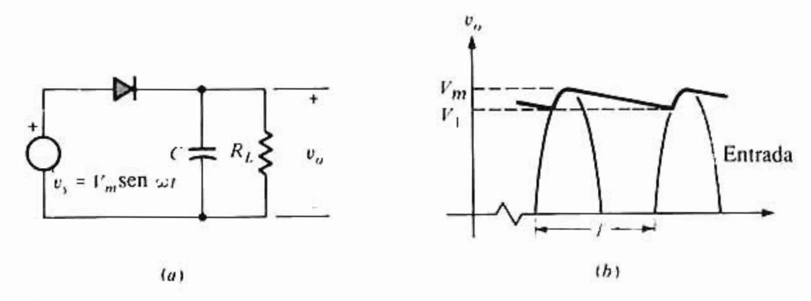


Figura 2-16. (*a*) Rectificador con condensador de filtro; (*b*) tensión de salida del circuito de la parte *a*.

Después de t_1 la tensión del condensador, es decir, la tensión de salida v_o sigue a la tensión de entrada hasta t_2 cuando v_o llega a Vm. Después de t_2 la tensión de entrada disminuye a mayor ritmo que la descarga del condensador cortándose el diodo. Esto hace que la descarga de C sea a través de R_L. Si la constante de tiempo R_LC es mucho mayor que el periodo T de la onda de entrada, la descarga será lenta, con lo que entre t_2 y t_3, v_o baja muy poco, repitiéndose a partir de aquí el proceso. En los circuitos de rectificadores-filtro (Sec. 17-4) las variaciones (rizado) de la onda de salida son notablemente menores de lo que aparece en la Fig. 2-16*b* resultando v_o virtualmente constante.

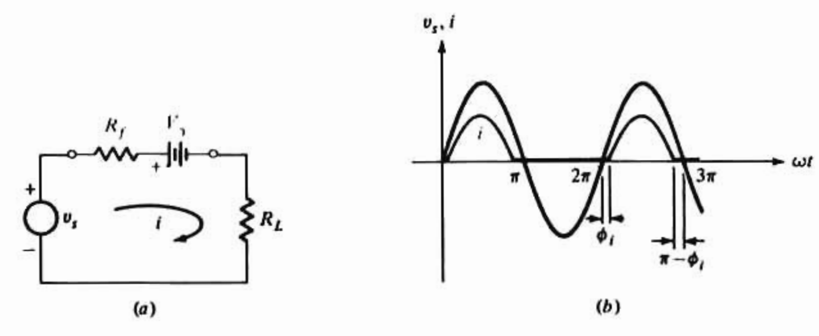


Figura 2-17. (*a*) Circuito equivalente rectificador; (*b*) onda de corriente mostrando los ángulos de encendido y de extinción.

Empleando un diodo real en la Fig. 2-15*a* se llega al circuito equivalente de la Fig. 2-17*a*, válido para polarización directa. La corriente i se deduce por la ley de Kirchhoff:

$$i = \frac{v_s - V_\gamma}{R_L} = \frac{V_m \sin \omega t - V_\gamma}{R_L} \quad \text{A} \tag{2-11}$$

que es mayor que cero sólo cuando $v_s > V\gamma$. Así, la onda de corriente representada en la Fig. 2-17*b* no se inicia cuando $\omega t = 0$, sino que hay un ángulo umbral o de ignición ϕ_i dado por

$$\phi_i = \text{sen}^{-1} \frac{V_\gamma}{V_m} \tag{2-12}$$

Análogamente existe un *ángulo de extinción* al final del semi-ciclo positivo, cuyo valor es $\pi - \phi_i$.

Este circuito puede emplearse como cargador de baterías (en calculadoras) sustituyendo R_L de la Fig. 2-15*a* por V_{BB}, tensión de la batería, en serie con una resistencia limitadora de corriente R_S. En ese caso, el ángulo de cebado viene dado por la Ec. (2-12) cambiando $V\gamma$ por $V\gamma + V_{BB}$.

Circuitos cortadores y fijadores

Los circuitos cortadores se usan para seleccionar para su transmisión aquella parte de la onda que esté por encima o por debajo de un nivel de referencia. Bajo este punto de vista el rectificador de la Fig. 2-15*a* es un circuito cortador ya que sólo se transmiten a la salida las tensiones de entrada superiores a $V\gamma$. Muy frecuentemente los diodos empleados se polarizan con una tensión de referencia que determina la parte de señal que ha de transmitirse.

El circuito de la Fig. 2-18*a* es un simple circuito cortador. Suponiendo que el diodo sea ideal, vemos que v_o se iguala a V_R cuando el diodo D está en conducción y $v_o = v_i$ cuando está en corte. La transición de OFF a ON tiene lugar cuando la tensión de entrada alcanza el valor de referencia V_R como puede verse en la onda de la Fig. 2-18*b*.

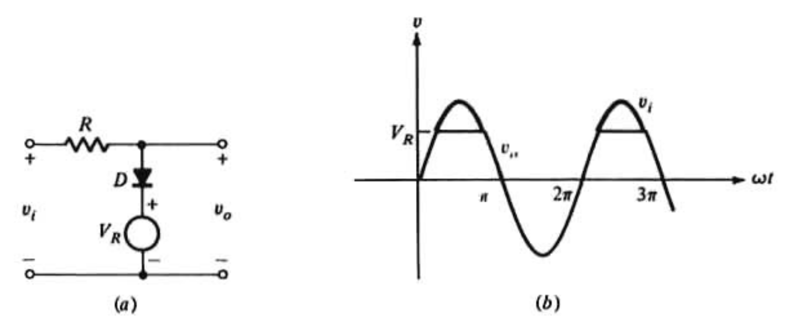


Figura 2-18. (*a*) Circuito recortador de diodo, y (*b*) su onda de salida.

El circuito equivalente de la Fig. 2-19 caracteriza al cortador de la Fig. 2-18*a* cuando se emplea un diodo real (no ideal). En la Fig. 2-19*b* se ve claramente que v_o es v_i cuando *D* está en corte. La corriente *i* se deduce

$$i = \frac{v_i - V_R - V_\gamma}{R_f + R} \qquad \text{A} \tag{2-13}$$

de donde

$$v_o = iR_f + V_\gamma + V_R = \frac{R_f}{R_f + R} v_i + \frac{R}{R_f + R}(V_R + V_\gamma) \qquad \text{V} \tag{2-14}$$

Como la polarización directa requiere que $i > 0$, en la Ec. (2-13) observamos que el pase de OFF a ON tiene lugar cuando v_i se iguala a $V\gamma + V_R$. Este punto de transición supone un cambio abrupto de pendiente en la gráfica de v_o en función de v_i, llamada *característica de transferencia*, y representada en la Fig. 2-20. La pendiente en ésta figura es igual a la unidad mientras *D* esté en corte lo que indica que $v_o = v_i$. En estado de conducción, la pendiente viene dada por el coeficiente de v_i en la Ec. (2-14). La onda de la Fig. 2-20 muestra cómo se emplea la característica de transferencia para determinar la tensión de salida de una señal de entrada.

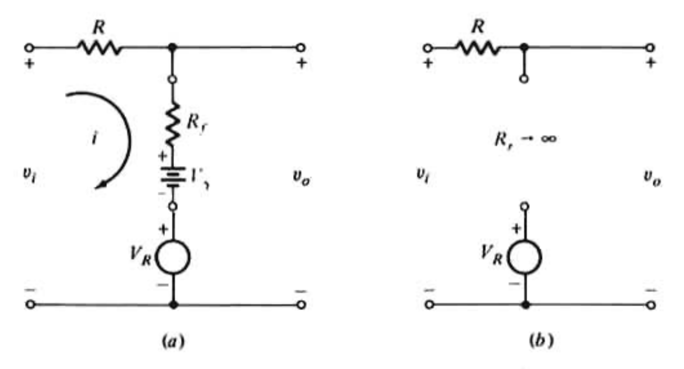


Figura 2-19. Modelos para el circuito de la Fig. 2-18a con: (*a*) polarización directa, y (*b*) polarización inversa.

Obsérvese que la característica de transferencia de la Fig. 2-20 se deduce de la aproximación lineal de la característica del diodo que supone una transición brusca de la polarización inversa a la directa. En la realidad tal transición no es abrupta sino gradual, y por tanto tiene lugar no en un punto sino a lo largo de una pequeña zona de tensión que normalmente es de 0,1 o 0,2 V. Esto hace que la onda de salida difiera algo de la trazada en la Fig. 2-20. Afortunadamente, en muchas aplicaciones v_i es significativamente más

grande que las pocas décimas de volt de la región de ruptura por lo que la representación lineal aproximada es válida.

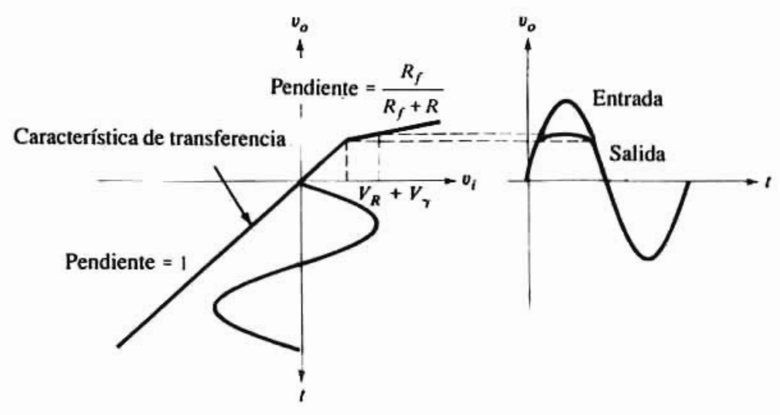


Figura 2-20. Característica de transferencia de circuito recortador mostrando la onda de entrada y la de salida resultante.

Ejemplo 2-3

Esbozar para el circuito de la Fig. 2-21*a* en el que la tensión de entrada es la onda en dientes de sierra de la Fig. 2- 21*b*: (*a*) la característica de transferencia v_o en función v_s y (*b*) la onda de salida v_o. Los parámetros del diodo son $R_f = 10\ \Omega$, $V\gamma = 0{,}6$ V e $I_s = 0$.

Solución

Los circuitos equivalentes con polarización directa e inversa vienen dados en las Figs. 2-22*a* y 2-22*b* respectivamente. Con polarización inversa la relación de salida es $v_o = v_s$ ya que no existe corriente alguna. En la Fig. 2-22*a* la salida puede expresarse

$$v_o = V_R - V_\gamma - iR_f = 6 - 0.6 - 10i = 5.4 - 10i \qquad \text{V}$$

La corriente, hallada resolviendo la ecuación de Kirchhoff para las tensiones es

$$i = \frac{V_R - V_\gamma - v_s}{R_f + R} = \frac{6 - 0.6 - v_s}{10 + 1000} = \frac{5.4 - v_s}{1010} \qquad \text{A}$$

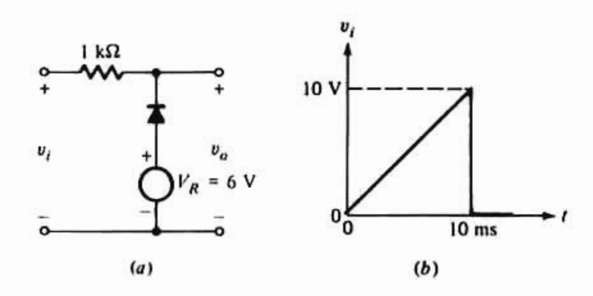


Figura 2-21. (*a*) Circuito para el Ejemplo 2-3; (*b*) onda de entrada para el Ejemplo 2-3.

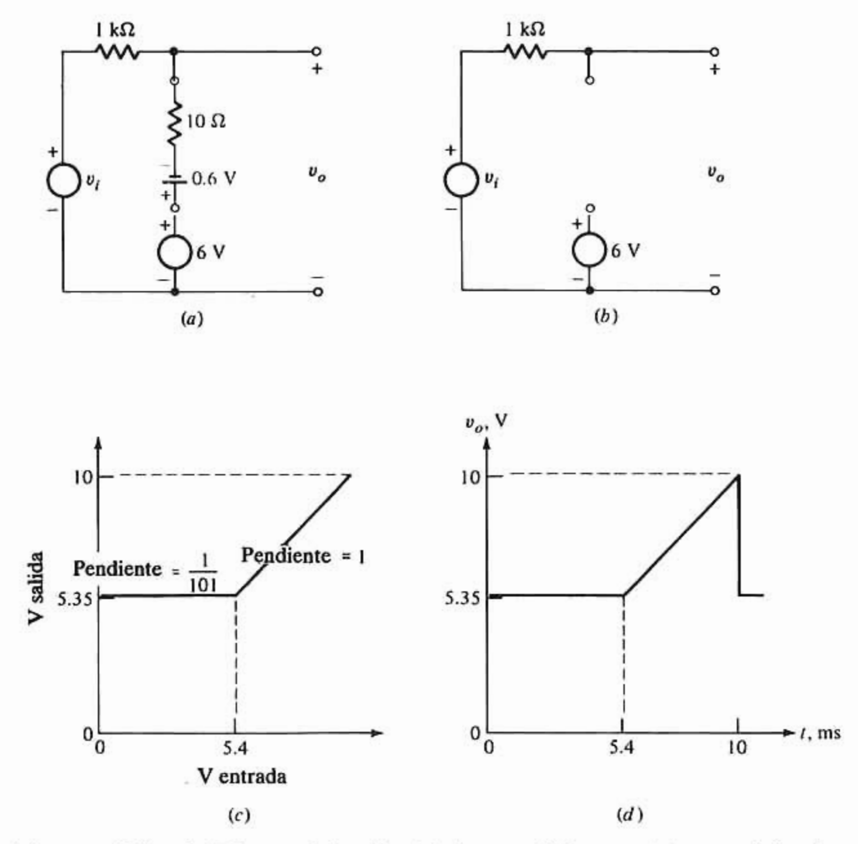


Figura 2-22. Modelos para el Ejemplo 2-3 con polarización: (*a*) directa, y (*b*) inversa; (*c*) característica de transferencia del circuito de la Fig. 2-21a; (*d*) onda de salida para la entrada de la Fig. 2-21b.

El punto de ruptura se deduce de la ecuación de la corriente, y es el valor de v_s para el que i es cero; por tanto

$$v_s = V_R - V_\gamma = 6 - 0.6 = 5.4 \text{ V}$$

El diodo está en conducción (ON) cuando v_s <5,4V y en corte (OFF) cuando v_s > 5,4V. Sustituyendo i en la ecuación de v_o resulta

$$v_o = \frac{R_f}{R_f + R} v_s + \frac{R(V_R - V_\gamma)}{R_f + R}$$
$$= \frac{10v_s}{10 + 1000} + \frac{1000(6 - 0.6)}{10 + 1000} = \frac{v_s}{101} + 5.35 \qquad \text{V}$$

La característica de transferencia está representada en la Fig. 2-22*c* y en la Fig. 2-22*d* se ve la onda de salida deducida de la de entrada y de la característica de transferencia.

De la onda de salida pueden deducirse tres particularidades. La primera es que el circuito de la Fig. 2-21*a* es el que se ve en la Fig. 2-18*a* pero con el diodo conectado a la inversa. Como consecuencia tenemos que el circuito de este ejemplo transmite tensiones de entrada por encima de un nivel dado (aproximadamente V_R - $V\gamma$) mientras la porción de la señal de entrada por encima de V_R + $V\gamma$ queda cortada en la Fig. 2-18*a*. La segunda particularidad es que para $R \gg R_f$ como es en este caso, la tensión de salida es prácticamente constante con V_R - $V\gamma$ = 5,4 V cuando el diodo está en conducción. La diferencia real es

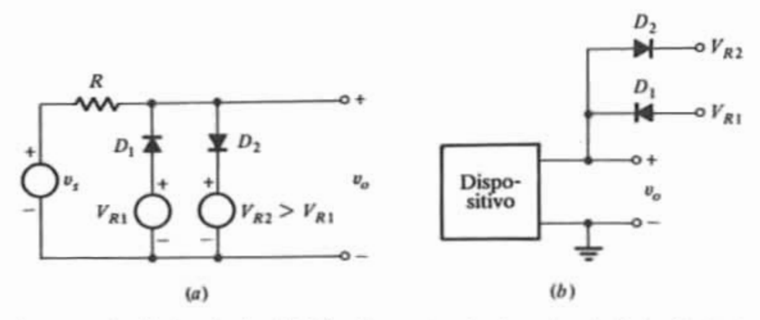


Figura 2-23. (*a*) Circuito recortador de dos niveles. (*b*) Circuito mostrando el empleo de diodos limitadores.

del orden de 1% lo que corresponde a la relación R_f/R, y por ello muchas veces resulta conveniente simplificar el modelo del diodo atendiendo a su tensión umbral despreciando el efecto de R_f. La tercera observación es que la tensión de salida y la característica de transferencia tienen la misma forma. Por tanto, podemos emplear esta técnica en el laboratorio para obtener la característica de transferencia aplicando una entrada en diente de sierra y trazando la onda de salida en un osciloscopio.[4]

Combinando las propiedades de los circuitos cortadores de las Figs. 2-18*a* y 2-21*a* se llega al cortador de dos niveles de la Fig. 2-23*a*. Si v_s y R representan el equivalente de Thévenin en los terminales de salida, las Figs. 2- 23*a* y 2-23*b* son idénticas. Para estos circuitos la tensión de salida queda restringida a estar entre V_{R1} y V_{R2} (aproximadamente). El análisis de este circuito forma parte del problema 2-26. Puesto que *D1* y *D2* de la Fig. 2- 23*b* evitan que la salida supere V_{R2} o quede por debajo de V_{R1} se les puede llamar diodos *limitadores.*

2-9. MODELOS DE DIODOS DE PEQUEÑA SEÑAL

Los circuitos descritos en la sección anterior utilizan el funcionamiento ON-OFF de los diodos. En estas aplicaciones la señal aplicada (normalmente variables con el tiempo) es grande en comparación con el nivel de polarización (la tensión de referencia constante) y para describir el diodo se utilizan los modelos de las Figs. 2-11 y 2-12. Vamos a estudiar ahora la situación creada cuando la amplitud de la señal es pequeña comparada con la polarización. Para representar el diodo es conveniente emplear el circuito

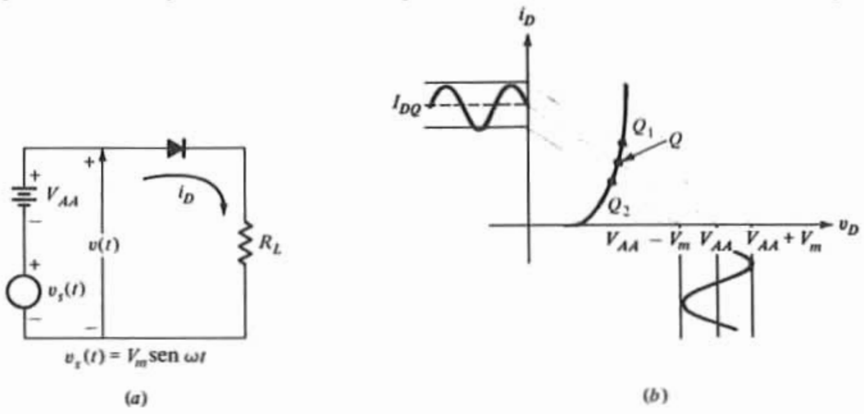


Figura 2-24. (*a*) Circuito de diodo con excitación constante y senoidal; (*b*) variaciones en la recta de carga y en las ondas de entrada y de salida para la corriente de la parte *a*.

4 Este método da resultados sólo aproximados debido a efectos capacitivos y tensiones parásitas existentes.

equivalente de *pequeña señal* o *incremental* para permitirnos relacionar la componente de la respuesta debida a la señal aplicada (excitación) $v_s(t)$. Para desarrollar el modelo de pequeña señal resulta útil el circuito de la Fig. 2-24*a*.

En el circuito de la Fig. 2-24*a*, $V_m < V_{AA}$, de forma que el diodo se mantiene en todo momento con polarización directa. El valor instantáneo de la tensión $v(t)$ aplicada al conjunto diodo-resistencia es:

$$v(t) = V_{AA} + v_s(t) = V_{AA} + V_m \operatorname{sen} \omega t \qquad \text{V} \tag{2-15}$$

En cada momento podemos trazar una recta de carga (Fig. 2- 24*b*) en la forma descrita en la Sec. 2-5. Los valores máximo y mínimo de $v(t)$ son $V_{AA} + V_m$ y $V_{AA} - V_m$ respectivamente, y para $\omega t = n\pi$ (siendo n un número entero) $v = V_{AA}$. Como puede verse en la fig. 2-24*b*, la corriente i_D está formada por una componente senoidal superpuesta al valor de referencia I_{DQ} y viene expresada por

$$i_D = I_{DQ} + i_d(t) = I_{DQ} + I_d \operatorname{sen} \omega t \qquad \text{A} \tag{2-16}$$

En la Ec. (2-16) i_D es el valor instantáneo de la corriente del diodo e I_{DQ} la componente en continua de i_D e i_d la componente variable con el tiempo de i_D, cuyo valor de pico viene dado por I_d[5]. La forma de la corriente expresada en la Ec. (2-16) es debida al hecho de que la característica del diodo Q_1 y Q_2 puede aproximarse a una línea recta cuya pendiente es igual a la relación volt-amperio del diodo en Q. En esta zona el diodo se comporta linealmente. Es decir, el valor de reposo I_{DQ} (en continua) viene fijado por la tensión de polarización constante V_{AA}, y la componente senoidal $i_d(t)$ la produce la excitación $v_s(t)$.

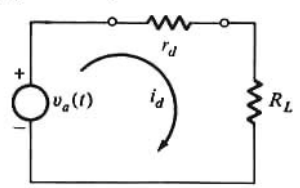


Figura 2-25. Circuito equivalente de pequeña señal de la Fig. 2-24*a*.

Las componentes de tensión e intensidad variables con el tiempo en el circuito de la Fig. 2-24*a* se pueden determinar analíticamente (en lugar de hacerlo gráficamente como en la Fig. 2-24*b*) aplicando la ley de Kirchhoff al circuito equivalente de pequeña señal de la Fig. 2-25. Aquí el diodo se sustituye por su *resistencia incremental* $r_d \equiv 1/g_d$ siendo g_d la conductancia incremental dada por:

$$g_d \equiv \left. \frac{di_D}{dv_D} \right|_Q \qquad \mho \tag{2-17}$$

Obsérvese que g_d es simplemente la pendiente de la característica del diodo calculada en el punto de trabajo Q y en consecuencia el valor de r_d es función de la corriente de reposo. Para hacer uso del circuito de la Fig. 2-25 tenemos que establecer previamente los valores de reposo de tensiones y corrientes del diodo.

Para un diodo de unión, empleando la Ec. (2-3), la Ec. (2-17) se convierte en:

$$g_d = \frac{I_S\, \epsilon^{V_{DQ}/\eta V_T}}{\eta V_T} = \frac{I_{DQ} + I_S}{\eta V_T} \qquad \mho \tag{2-18}$$

Lo más frecuente es que $I_{DQ} \gg I_s$ con lo que la Ec. (2-18) se reduce a

$$r_d = \frac{1}{g_d} \simeq \frac{\eta V_T}{I_{DQ}} \qquad \Omega \tag{2-19}$$

[5] El uso de minúsculas y mayúsculas en las variables y subíndices de la Ec. (2-16) responde a la forma normal en que se representan las componentes de tensión e intensidad en los circuitos electrónicos. La duplicidad de subíndices, tal como V_{AA} indica una tensión de alimentación.

y podemos observar que la resistencia incremental varía en razón inversa con la corriente. A $T = 20$ °C, $V_T = 25$mV; por tanto, $r_d = 25\ \eta/I_{DQ}$ estando I_{DQ} en miliamperios y r_d en ohmios. Para un diodo de silicio ($\eta = 2$) e $I_{DQ} = 5$mA, $r_d = 10\Omega$.

Ejemplo 2-4

El circuito de la Fig. 2-24 se utiliza a 20 °C, siendo $V_{AA} = 9$V, $V_m = 0{,}2$ V y $R_l = 2$ k Ω. En el modelo de gran señal del diodo, $V\gamma = 0{,}6$V, $R_f = 10\ \Omega$ y $\eta = 2$. Determinar: (*a*) la componente alterna de la tensión a través de R_L y (*b*) la tensión total a través de ella.

Solución

(*a*). En primer lugar hay que determinar los niveles de polarización del modelo en continua de la Fig. 2-26*a*. De la ley de Kirchhoff se deduce I_{DQ}

$$I_{DQ} = \frac{9 - 0.6}{2000 + 10} = 4.18 \text{ mA}$$

Según la Ec. (2-19) la resistencia incremental es

$$r_d = \frac{2 \times 25}{4.18} = 12.0\ \Omega$$

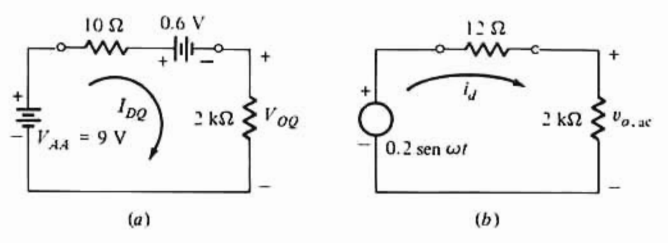


Figura 2-26. Modelos en continua (*a*) e incremental (*b*) para el Ejemplo 2-4.

Haciendo uso del modelo de pequeña señal de la Fig. 2-26*b* obtendremos la componente alterna de la tensión de salida de la relación del divisor de tensión:

$$v_{o,\text{ac}} = \frac{2000}{2000 + 12} \times 0.2 \text{ sen } \omega t = 0.199 \text{ sen } \omega t \qquad \text{V}$$

La tensión total $v_o(t)$ es la suma de las componentes constante y variable. La tensión de reposo a través de R_L es:

$$V_{OQ} = I_{DQ}R_L = 4.18 \times 10^{-3} \times 2 \times 10^3 = 8.36 \text{ V}$$

o sea

$$v_o\,(t) = 8.36 + 0.199 \text{ sen } \omega t \qquad \text{V}$$

Las ondas de la Fig. 2-27son lo que se vería si se aplicase la salida a un osciloscopio. En la Fig. 2-27*a*, con el mando del selector puesto en continua (dc) el osciloscopio traza la curva de v_o que es la tensión instantánea de salida: observamos que la componente alterna apenas si se aprecia. Sin embargo, la Fig.

2-27*b* con el selector en alterna (ac) y la sensibilidad aumentada, la componente alterna se puede medir. En efecto, el modelo de pequeña señal cumple una función análoga a la de pasar el selector de continua a alterna. Eliminando el nivel de referencia o reposo (en continua) podemos apreciar el efecto que tiene la entrada variable con el tiempo sobre la salida también variable con el tiempo.

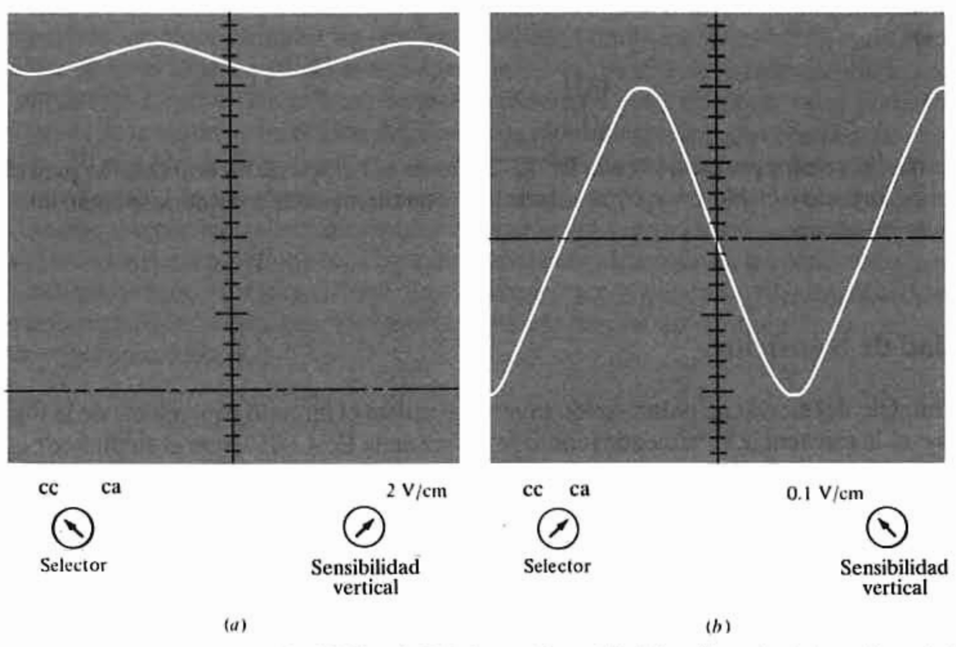


Figura 2-27. Gráficas de las tensiones de salida del Ejemplo 2-4 vistas en la pantalla del osciloscopio: (*a*) con el mando del selector puesto en *cc*, y (*b*) con dicho mando en *ca*. La línea de trazos corresponde a 0 V.

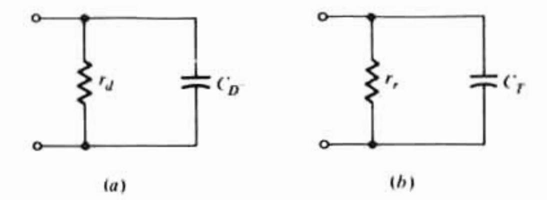


Figura 2-28. Modelos de diodos de pequeña señal con: (*a*) polarización directa, y (*b*) polarización inversa.

Capacidad de difusión

Para obtener los resultados del Ejemplo 2-4 hemos supuesto que la frecuencia de la excitación senoidal era suficientemente baja para poder despreciar el efecto del almacenamiento de cargas en el diodo. A frecuencias de excitación más elevadas los efectos del almacenamiento de cargas se tienen en cuenta por medio de la *capacidad de difusión* C_D en el modelo de pequeña señal de la fig. 2-28*a*. El origen de C_D se puede describir cualitativamente con el siguiente razonamiento: En una unión polarizada en directo, algunos huecos se difunden desde el lado *p* al *n*. En consecuencia en el lado *n* y junto a la unión tenemos una concentración de huecos mayor de lo normal debido precisamente a esa difusión. Este exceso de densidad de huecos puede considerarse como una carga almacenada en la vecindad de la unión. La cuantía de ese exceso la establece el grado de polarización directa. Al irse apartando de la unión decrece el exceso

de huecos por su recombinación con los electrones mayoritarios. Lo mismo puede decirse de los electrones que pasan al lado p. Si ahora se aplica una señal que incremente en ΔV la polarización directa, la mayor difusión de huecos (electrones) motiva una variación ΔQ en la carga almacenada cerca de la unión. En el límite, la relación $\Delta Q/\Delta V$ define la capacidad de difusión C_D. En un diodo de unión en el que un lado está mucho más dopado que el otro (como es frecuente) la capacidad C_D (deducida en la Sec. 2-13) valdrá (en faradios)

$$C_D = \left.\frac{dQ}{dV}\right|_Q = \frac{\tau I_{DQ}}{V_T} = \frac{\tau}{r_d} \qquad \text{F} \tag{2-20}$$

La vida media τ de los portadores en la Ec. (2-20) mide el tiempo de recombinación para el exceso de portadores minoritarios. Como $\tau = r_d C_D$ la vida de los portadores puede considerarse como una «constante de tiempo de difusión».

Capacidad de transición

Como modelo del diodo con polarización inversa se utiliza el circuito equivalente de la Fig. 2-28*b*. La resistencia r_r es la resistencia incremental [como se define en la Ec. (2-19)] con el subíndice r que significa que el diodo tiene polarización inversa. El elemento C_T llamado *capacidad de deplexión, transición, barrera* o de *carga espacial* representa la variación de la carga almacenada en la región de deplexión respecto a la variación de tensión en la unión. Anteriormente (Sec. 2-2) se indicó que el aumento del nivel de polarización inversa hacía incrementar el ancho W de la zona de deplexión. Un aumento en W va acompañado de iones adicionales descubiertos en la región de la carga espacial. Ya que existen iones positivos en un lado de la unión y negativos en el otro, C_T equivale a un condensador paralelo en el que

$$C_T = \frac{\epsilon A}{W} \qquad \text{F} \tag{2-21}$$

donde W es el ancho de la zona de deplexión, A el área o sección de la unión y ε la permitividad del semiconductor. Debemos tener en cuenta que W es función de la tensión de polarización inversa por lo que C_T depende de la tensión. En una unión en escalón (que veremos detalladamente en la Sec. 2-13), W es inversamente proporcional a la raíz cuadrada de la tensión de polarización inversa.

Los condensadores en los modelos de la Fig. 2-28 se aproximan en alto grado a los efectos del almacenamiento de cargas en un diodo. Tanto con polarización directa como con inversa existen las capacidades de deplexión y de difusión, pero con polarización directa el valor de la capacidad de deplexión es tan pequeño al lado de C_D que generalmente se desprecia. Análogamente en un diodo con polarización inversa existe una pequeña difusión de portadores, pero esta capacidad es despreciable frente a C_T[6].

2-10. TIEMPOS DE CONMUTACIÓN DEL DIODO DE UNIÓN

La respuesta transitoria de un diodo al pasar del estado de conducción al de corte (o al revés) supone que transcurre un cierto intervalo de tiempo antes de que alcance el nuevo estado. Ya que esto supone una limitación práctica importante, en los siguientes párrafos estudiaremos la conmutación de ON a OFF. En la Fig. 2-29 se representa gráficamente la secuencia de hechos que acompañan a la polarización inversa de un diodo en conducción. Consideremos que se aplica la tensión de entrada en escalón v_i de la Fig. 2-29*b* al circuito diodo-resistencia de la Fig. 2-29*a* y supongamos que durante un lapso de tiempo largo antes de

[6] Algunos programas de análisis de circuitos incluyen estas capacidades en los modelos para completarlos y para mayor precisión.

$t = 0$ el diodo ha estado polarizado en directo con la tensión $v_i = V_F$. En el instante $t = 0$ la tensión aplicada pasa súbitamente a $-V_R$ manteniéndose a este nivel para $t > 0$. Si suponemos que R_L y V_F son mucho más grandes que R_f y γ respectivamente, la corriente en el circuito será $i_D \simeq V_E/R_L$, siendo este el valor indicado en la Fig. 2-29*c* para $t \leq 0$. La polarización directa motiva que un mayor número de portadores atraviesen la unión de forma que la densidad de portadores minoritarios en exceso es alta. Con polarización inversa el exceso de portadores minoritarios en las proximidades de la unión es virtualmente nulo. Por tanto una inversión súbita de la tensión no puede ir acompañada de un cambio de estado del diodo hasta que el número de portadores minoritarios en exceso quede reducido a cero. Es decir, estos portadores deben retroceder a través de la unión hacia el lado original. Este movimiento de carga produce una corriente en sentido inverso. El período de tiempo durante el que el exceso de portadores minoritarios decrece hasta cero, o sea entre $t = 0$ y $t = t_1$ se denomina *tiempo de almacenamiento* t_s. Durante ese tiempo el diodo conduce fácilmente y la corriente determinada por la tensión aplicada y la resistencia de carga exterior es $-V_R/R_L$. La caída de tensión en el diodo baja ligeramente debido al cambio de la corriente en la resistencia óhmica del diodo pero sin invertir (Fig. 2-29*d*). En el instante $t = t_1 = t_s$ el exceso de densidad de portadores minoritarios queda anulada. A continuación de este tiempo la tensión del diodo empieza a invertirse hacia $-V_R$, y la corriente decrece hacia I_s.

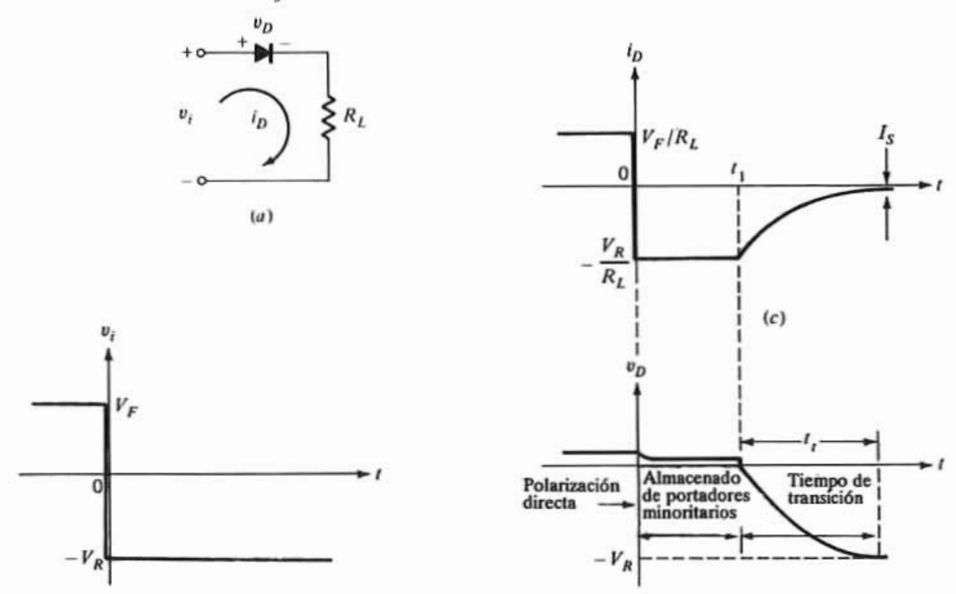


Figura 2-29. (*a*) circuito diodo-resistencia; (*b*) onda de entrada aplicada en este circuito mostrando un pase abrupto de polarización directa a inversa; ondas de corriente, (*c*) y de tensión (*d*) señalando los tiempos de almacenado y de transición.

El tiempo transcurrido entre t_1 y el momento en que el diodo se ha recuperado completamente se denomina *tiempo de transición* t_t. Este tiempo de recuperación se completa cuando los portadores minoritarios que se hallan a alguna distancia de la unión se han difundido y atravesado la unión y cuando además la capacidad de transición de la unión polarizada inversamente se cargue a través de R_L a la tensión $-V_R$.

Normalmente los fabricantes especifican el tiempo de recuperación inversa t_{rr} del diodo en condiciones de trabajo típicas, en función de la forma de onda de la corriente de la Fig. 2- 29*c*. El tiempo t_{rr} es el transcurrido desde que se invierte la corriente en $t = 0$ hasta que el diodo se ha recuperado hasta un punto determinado por la corriente o la resistencia del propio diodo. Si el valor especificado de R_L es de algunos centenares de ohmios los fabricantes corrientemente especifican el valor de la capacidad C_L en paralelo

con R_L del circuito de medida utilizado para determinar t_{rr}. Existen comercialmente diodos con t_{rr} que van desde menos de un nanosegundo a un microsegundo para diodos destinados a conmutar corrientes altas. En el IN4153 el tiempo de recuperación inversa es de unos pocos nanosegundos en las condiciones de prueba dadas en el Apéndice B- 2.

El tiempo de recuperación directa t_{rf} es el tiempo necesario para que la tensión del diodo pase del 10 al 90% de su valor final cuando se pasa de OFF (corte) a ON (conducción). Puesto que $t_{rf} << t_{rr}$ normalmente t_{rf} se desprecia.

2-11. DIODOS ZENER

La multiplicación de avalancha y la ruptura Zener son los dos procesos que provocan la zona de ruptura en la característica con polarización inversa de la Fig. 2-4*a* reproducida en la Fig. 2-30*a*. Los diodos que posean una disipación de potencia adecuada para trabajar en la región de ruptura se denominan *Diodos Zener* y su símbolo es el de la Fig. 2-30*b*, (la denominación de «diodo Zener» se emplea independientemente del mecanismo de ruptura). Estos elementos se emplean como reguladores de tensión así como en otras aplicaciones que requieran una tensión de referencia constante.

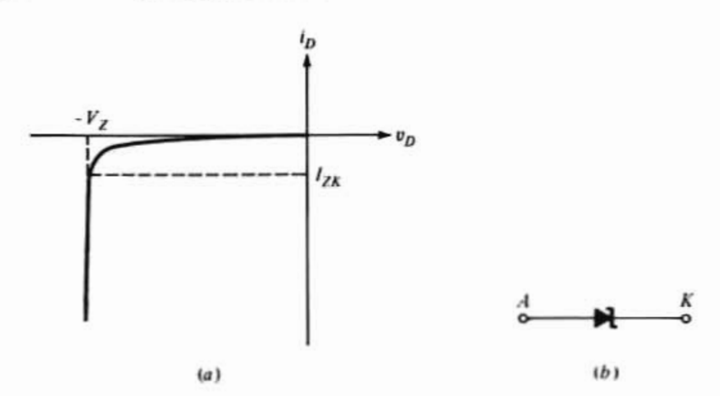


Figura 2-30. (*a*) Característica de polarización inversa indicando la región de ruptura; (*b*) símbolo del diodo Zener.

Multiplicación de avalancha

Consideremos la siguiente situación en un diodo con polarización inversa: un portador generado térmicamente (parte de la corriente de saturación inversa) cae en la barrera de la unión y adquiere energía de la tensión aplicada. Estos portadores chocan con un ion del cristal e imparten suficiente energía para romper un enlace covalente. Además del portador original se ha generado un nuevo par electrón-hueco. Estos portadores pueden adquirir energía suficiente del campo, chocar con otro ion del cristal y crear otro par electrón-hueco. De esta forma cada nuevo portador produce portadores adicionales debidos a la colisión y acción disruptiva de los enlaces. A este proceso se le llama *multiplicación de avalancha*. El resultado es una corriente inversa elevada y se dice que el diodo está en la región de ruptura o avalancha.

Ruptura Zener

Aun cuando los portadores disponibles inicialmente no adquieran energía suficiente para romper enlaces es posible iniciar la ruptura por ruptura directa de los enlaces. Puesto que existe un campo eléctrico

en la unión puede aparecer una fuerza suficientemente elevada sobre un electrón para romper su enlace covalente. El nuevo par hueco-electrón formado acrecienta la corriente inversa. Obsérvese que este proceso llamado *ruptura Zener* no implica colisiones de portadores con iones del cristal.

La intensidad de campo eléctrico $\mathscr{E}$ aumenta al aumentar la concentración de impurezas para una tensión aplicada fija. Se ha determinado que la ruptura Zener se produce con un campo de aproximadamente 2×10^7 V/m, valor que se alcanza con tensiones de 6V o ligeramente menos en uniones fuertemente dopadas. En diodos poco dopados la tensión de ruptura es más elevada y el efecto predominante es la multiplicación por avalancha. Existen diodos de silicio con tensiones de avalancha desde unos pocos volts hasta unos centenares de ellos con potencia de hasta 50W.

Modelos de diodo Zener

La característica del diodo Zener puede aproximarse a una relación volt-amperio lineal, en forma muy parecida a los diodos con polarización directa. El modelo de la Fig. 2-31*a* resulta de tal representación. En muchos casos la característica representada en la Fig. 2-30*a* es virtualmente vertical en la ruptura por lo que la resistencia estática $R_Z = 0$.

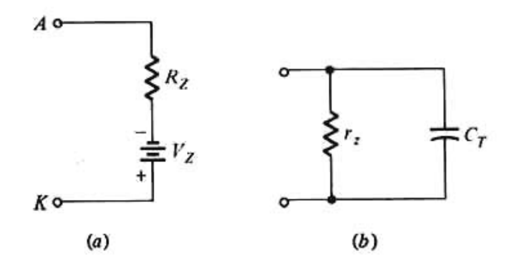


Figura 2-31. Modelos de continua (*a*) y de pequeña señal (*b*) del diodo Zener.

En la Fig. 2-31*b* se representa el modelo dinámico o de pequeña señal. La *resistencia dinámica* r_z es la inversa de la pendiente de la característica volt-amperio en la zona de trabajo. Relaciona la variación de la corriente de trabajo ΔI_Z con la variación de tensión ΔV_Z haciendo $\Delta V_Z = r_Z \Delta I_Z$. Idealmente, r_Z es igual a cero lo que corresponde a una característica vertical en la región de ruptura. Para valores de V_Z del orden de unos pocos volts, r_Z es del orden de unos pocos ohmios. Sin embargo, con corrientes por debajo de I_{zk} de la fig. 2-30*a* en el codo de la curva, r_z puede llegar a valer algunos centenares de ohmios. Estos valores de r_z se obtienen también para $V_z > 10$V y para niveles de tensión bajos, particularmente con corrientes inferiores a un mA.

La capacidad de un diodo de avalancha es la capacidad de transición y por tanto varía inversamente a una potencia de la tensión. Puesto que C_T es proporcional a la sección recta transversal del diodo, los de gran potencia tienen una capacidad muy elevada. Son normales valores de C_T comprendidos entre 10 y 10.000 picofaradios.

Un regulador Zener

El diodo Zener de la Fig. 2-32*a* se emplea para mantener una tensión de salida $V_o = V_z$ independientemente de las variaciones de la resistencia de carga R_L y de la tensión no regulada $V_s > V_z$. Para el análisis del regulador se utiliza el circuito equivalente de la Fig. 2- 32*b* en el que se supone $R_z = 0$. La ecuación que describe este circuito es, según las leyes de Ohm y de Kirchhoff:

$$I_Z = I_S - I_L = \frac{V_S - V_Z}{R_S} - \frac{V_Z}{R_L} \quad \text{A} \tag{2-22}$$

Figura 2-32. (*a*) Circuito regulador Zener, y (*b*) circuito equivalente.

En esta última ecuación vemos que $I_L = V_Z/R_L$ aumenta (disminuye) cuando disminuye (aumenta) la resistencia de carga. Sin embargo, la corriente I_s es independiente de R_L; por tanto I_Z varía con las variaciones de la carga pero la salida se mantiene constante en $V_Z \cdot I_Z$ viene limitado tanto en los valores bajos como altos de la corriente. La limitación alta proviene de la máxima capacidad de disipación de potencia del diodo Zener. La corriente I_{ZK} (Fig. 2-30*a*) representa el valor mínimo de la corriente del diodo para que tenga lugar la regulación. Por debajo de I_{ZK} la regulación es pobre y la tensión de salida se desvía de V_Z. El campo de tolerancia de I_Z restringe los valores de la carga para los que se alcanza la regulación. Para un diodo dado estos límites de I_Z a su vez limitan los valores mínimos y máximos de V_S para el buen funcionamiento del circuito.

Algunos fabricantes especifican el valor de I_{ZK} mínimo, por debajo del cual no puede usarse el diodo. Muchos diodos comercialmente asequibles presentan un codo agudo en su característica aún en el margen de los microamperios. En el caso de no ser conocida I_{ZK} una forma empírica de estimarla es tomando para ella de un 5 a un 10% de la máxima corriente nominal.

Características de temperatura

Un punto de interés en relación con los diodos Zener y con todos los dispositivos de semiconductores en general es su sensibilidad al calor. Su coeficiente de temperatura viene dado por la variación porcentual de la tensión de referencia por cada grado centígrado de variación de la temperatura del diodo: este dato lo suministran los fabricantes. Este coeficiente puede ser positivo o negativo y generalmente estará comprendido entre ± 0,1% y grado. Si la tensión de referencia es superior a 6 V, cuando el mecanismo físico corresponda a la multiplicación por avalancha el coeficiente será positivo. En cambio por debajo de los 6 V cuando tiene lugar la ruptura Zener el coeficiente será negativo.

Los diodos de referencia compensados térmicamente proporcionan una tensión virtualmente constante dentro de un amplio margen de temperaturas. Estos dispositivos constan de un diodo Zener con polarización inversa y coeficiente de temperatura positivo, combinando en un mismo chip con otro diodo polarizado en directa y de coeficiente de temperatura negativo. A manera de ejemplo, el diodo de referencia de silicio Motorola 1N8241 de 6,2V tiene un coeficiente de temperatura de ± 0,005% °C a 7,5 mA en la zona entre -55 a + 100 °C. La resistencia dinámica es solamente de 10 Ω. La estabilidad de tensión con el tiempo de algunos de estos diodos de referencia es comparable a la de las células convencionales normales.

2-12. DIODOS DE BARRERA SCHOTTKY

La unión formada por un metal y un semiconductor extrínseco puede ser rectificadora u óhmica. Debido a la diferente concentración de portadores en los dos materiales existe una barrera. Los contactos óhmicos

empleados para las conexiones en dispositivos semiconductores existen cuando se trata de eliminar el efecto de la barrera. Éste es el caso de la unión entre aluminio y silicio fuertemente dopado usada en la fabricación de circuitos integrados. Sin embargo, cuando se usa silicio ligeramente dopado (o arseniuro de galio) la unión aluminio-silicio es rectificadora y los dispositivos así formados se denominan *Barrera Schottky* o simplemente *diodos Schottky*.

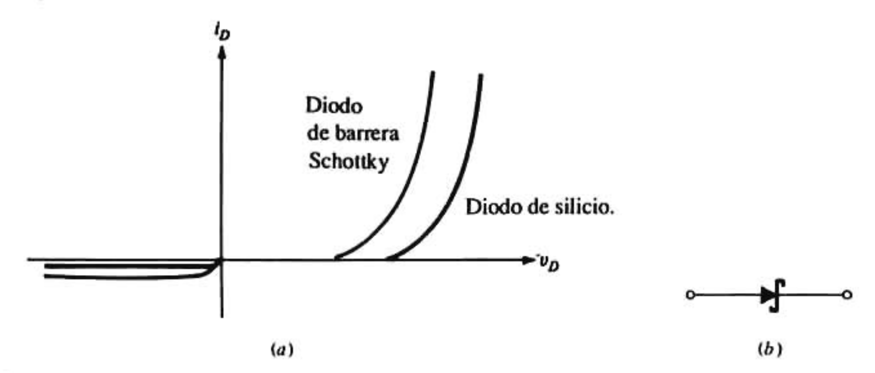


Figura 2-33. Diodo de barrera Schottky: (*a*) característica, y (*b*) símbolo del circuito.

En la Fig. 2-33*a* se establece la comparación entre las características volt-amperio de un diodo Schottky y un diodo de unión de silicio. Observemos que ambas características tienen el mismo perfil por lo que la Ec. (2-3) define también el comportamiento de la barrera Schottky. Sin embargo entre estas dos características se aprecian dos diferencias fundamentales: (1) en el diodo Schottky la tensión umbral $V\gamma$ es menor, y (2) la corriente de saturación inversa es mayor. Ambas particularidades son consecuencia de la mayor concentración de electrones en el metal. Con mayor número de portadores disponibles se obtienen corrientes similares a tensiones más bajas, y en forma análoga este número de portadores acrecientan la corriente de saturación inversa.

El principal uso de estos dispositivos en circuitos integrados es por conmutar más rápidamente de lo que lo hace el diodo de unión. Debido a que es un dispositivo de portadores mayoritarios (recuérdese que en un metal no hay portadores minoritarios) el tiempo de almacenamiento es despreciable y el tiempo de recuperación inversa comprende únicamente el tiempo de transmisión visto en la Fig. 2-29*c*.

2-13. DIODO DE UNIÓN EN ESCALÓN

En esta sección presentaremos con más aproximación cuantitativa varios de los conceptos descritos anteriormente en este mismo capítulo. La unión en escalón, introducida por primera vez en la Sec. 1-7 se emplea aquí para estudiar la capacidad de deplexión C_T, variaciones en la densidad de portadores minoritarios, y la capacidad de difusión C_D.

Capacidad de deplexión

Una unión abrupta se forma cuando hay un cambio abrupto de iones aceptadores en un lado con iones dadores de otro lado. Una unión así se forma entre el emisor y la base de un transistor planar. No es necesario que las concentraciones de dadores y receptores sean iguales. De hecho es frecuentemente ventajoso tener una unión asimétrica. La Fig. 2-34*b* es un gráfico de la densidad de carga en función de

la distancia a la unión, en la que la concentración de aceptadores N_A se supone mucho mayor que la de dadores N_D. Puesto que la carga neta debe ser cero, se deduce que:

$$N_A W_p = N_D W_n \qquad \mathrm{m}^{-2} \tag{2-23}$$

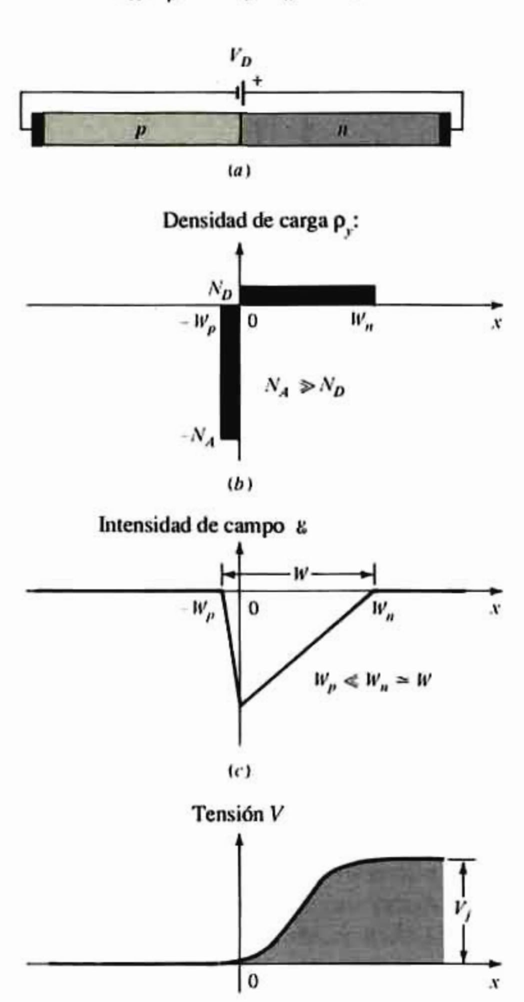


Figura 2-34. (*a*) Unión *pn* abrupta con polarización inversa, (*b*) densidad de carga, (*c*) intensidad de campo, (*d*) variación de tensión con la distancia a la unión

Si $N_A \gg N_D$, entonces $W_p \ll W_n = W$. La relación entre tensión y densidad de carga viene dada por la Ec. (2-1):

$$\frac{d^2V}{dx^2} = \frac{-qN_D}{\epsilon} \qquad \mathrm{V/m^2} \tag{2-24}$$

Las líneas de flujo eléctrico parten de los iones dadores positivos y terminan en los iones receptores negativos. Así pues no hay líneas de flujo a la derecha de $x = W_n$ de la Fig. 2-34, y $\mathscr{E} = -dV/dx = 0$ a $x = W_n = W$. Integrando la Ec. (2-24) sujeta a esta condición tendremos:

$$\frac{dV}{dx} = \frac{-qN_D}{\epsilon}(x - W) = -\mathscr{E}(x) \qquad \mathrm{V/m} \tag{2-25}$$

Despreciando la pequeña caída de tensión a través de W_p podremos escoger arbitrariamente $V = 0$ en $x = 0$. Integrando la Ec (2-25) con esta condición tendremos

$$V = \frac{-qN_D}{2\epsilon}(x^2 - 2Wx) \qquad \text{V} \tag{2-26}$$

La variación lineal de la intensidad de campo con relación a x y la dependencia de la tensión respecto al cuadrado de x quedan reflejadas en las Figs. 2-34*c* y 2-34*d*. Estas gráficas deben compararse con las correspondientes curvas de la Fig. 2-2.

En $x = W$, $V = V_j$ = tensión de la unión o barrera, o sea

$$V_j = \frac{qN_D W^2}{2\epsilon} \qquad \text{V} \tag{2-27}$$

En esta sección hemos empleado el signo V para representar la tensión a una distancia cualquiera x de la unión. Ahora emplearemos V_D para la tensión exterior aplicada al diodo.

Puesto que el potencial de barrera representa una tensión inversa, se rebaja aplicando una tensión directa: Así

$$V_j = V_0 - V_D \qquad \text{V}$$

siendo V_D negativo para una polarización inversa aplicada y V_o la tensión de contacto (Fig. 2- 2*d*). Esta ecuación y la 2-15 confirman cualitativamente que el espesor de la capa de deplexión crece con la tensión aplicada. Ahora vemos que W varía como $\sqrt{V_j} = \sqrt{V_o - V_D}$

Si A es el área de la unión, la carga Q en la distancia W es:

$$Q = qN_D WA \qquad \text{C}$$

La capacidad de deplexión incremental C_T es:

$$C_T = \frac{dQ}{dV_D} = qN_D A \frac{dW}{dV_j} \qquad \text{F} \tag{2-28}$$

De la Ec. (2-27), $dW/dV_j = \varepsilon/q\, N_d W$, y por tanto

$$C_T = \frac{\epsilon A}{W} \qquad \text{F} \tag{2-29}$$

Esta ecuación es exactamente la misma que se obtiene para un condensador plano paralelo de superficie A y distancia W entre placas con un dieléctrico de permitividad ϵ, lo que ya se anticipó en la Ec. (2-21).

Despejando W de la Ec. (2-27) y sustituyendo en la Ec. (2-29) tendremos

$$C_T = A\left[\frac{q\epsilon N_D}{2(V_0 - V_D)}\right]^{1/2} \qquad \text{F} \tag{2-30}$$

A veces conviene escribir esta ecuación como

$$C_T = A\,C_0\left(1 - \frac{V_D}{V_0}\right)^{-1/2} \qquad \text{F} \tag{2-31}$$

siendo C_o la capacidad de la unión por unidad de superficie y con polaridad nula ($V_D = 0$).

Expresión analítica de la concentración de portadores minoritarios

Si la tensión a través de un diodo se aplica en sentido directo, la barrera de potencial en la unión se

rebaja y huecos del lado p entran en la región n, y análogamente electrones del tipo n pasan al lado p. Definiremos p_n como la concentración de huecos en el semiconductor de tipo n. Si designamos por p_{no} el pequeño valor de la concentración de huecos generados térmicamente, la concentración de huecos *inyectados* o en *exceso* p'_n *será* $p'_n \equiv p_n - p_{no}$. A medida que los huecos se difunden en el lado n encuentran abundantes electrones con los que se recombinan. Por tanto $p_n(x)$ decrece con la distancia x en el material. n. Se ha determinado que el exceso en la densidad de huecos cae exponencialmente con x.

$$p'_n(x) = p'_n(0)\,\epsilon^{-x/L_p} = p_n(x) - p_{no} \qquad \mathrm{m}^{-3} \tag{2-32}$$

en donde $p'_n(0)$ es el valor de la concentración inyectada de minoritarios en la unión $x = 0$. El parámetro L_n denominado longitud de difusión de huecos está relacionado con la constante de difusión D_p (Sec. 1-11) y con el tiempo de vida medio τ_p según

$$L_p = (D_p\tau_p)^{1/2} \qquad \mathrm{m} \tag{2-33}$$

L_p representa la distancia desde la unión en la que la concentración inyectada ha bajado hasta $1/\varepsilon$ de su valor en $x = 0$. Se puede demostrar que L_p es igual a la distancia media que un hueco inyectado recorre antes de recombinarse con un electrón, por tanto, L_p representa el camino libre medio para los huecos.

En la Fig. 2-35*a* puede verse el comportamiento exponencial de la densidad de portadores minoritarios en exceso en función de la distancia en cualquiera de los lados de la unión. La zona sombreada por debajo de la curva en el tipo n (o tipo p) es proporcional a la carga de los huecos (o electrones inyectados). Obsérvese que n_p indica la concentración de electrones en el material tipo p a una distancia x de la unión, y n_p (0) el valor de tal densidad en $x = 0$.

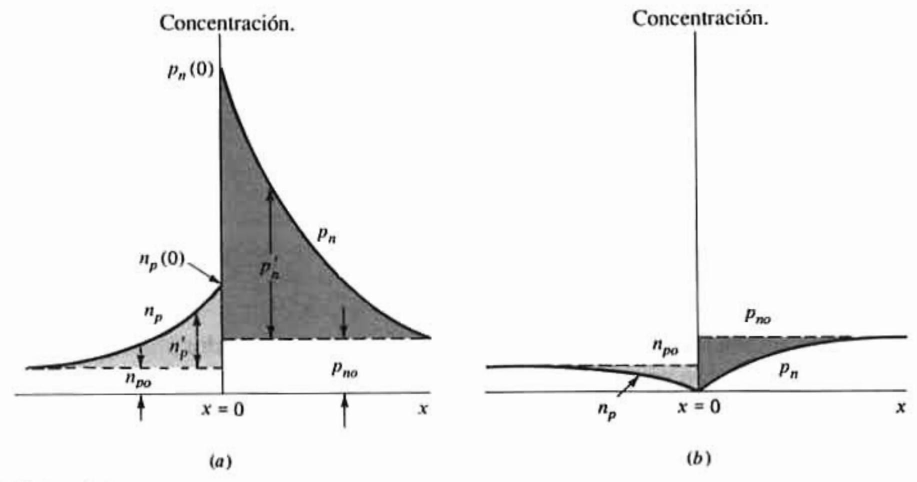


Figura 2-35. Densidad de portadores minoritarios en función de la distancia a la unión, con polarización directa (*a*) e inversa (*b*). La región de deplexión se considera tan pequeña en relación a la longitud de difusión que no se ha indicado en la figura. Obsérvese que las curvas no se han dibujado a escala, puesto que $P_n(0)$ es mucho mayor que P_{no}.

En la Sec. 2-2 ya se señaló que una polarización directa V rebaja la altura de la barrera y aporta más *portadores que crucen la unión. Por tanto* $p_n(0)$ debe ser función de V. De la relación de Boltzmann [Ec. (1-39)] parece razonable que $p_n(0)$ deba depender exponencialmente de V. Se ha hallado que:

$$p_n(0) = p_{no}\epsilon^{V/V_T} \qquad \mathrm{m}^{-3} \tag{2-34}$$

Esta ecuación da la concentración de huecos en el extremo de la región n (en $x = 0$ justamente afuera de la región de transición) en función de la concentración p_{no} de portadores minoritarios en equilibrio

térmico (alejado de la unión) y de la tensión V, constituye la llamada *ley de la unión*. Una ecuación similar, intercambiando las p y las n dará la concentración de electrones en la región p en función de V.

La Fig. 2-35*b* representa la densidad de equilibrio de portadores minoritarios cuando una tensión exterior polariza inversamente la unión. Lejos de la unión los portadores minoritarios igualan a los valores p_{no} y n_{po} de equilibrio térmico, situación que es también la de la Fig. 2-35*a*. A medida que los portadores minoritarios se aproximan a la unión son barridos rápidamente y su densidad va disminuyendo hasta cero en la unión. Este resultado se deduce de la ley de la unión Ec. (2-34) ya que la concentración $p_n(0)$ se reduce a cero con una tensión negativa en la unión.

La carga inyectada con polarización inversa viene dada por el área de las zonas sombreadas de la Fig. 2-35*b*. Esta carga es negativa ya que representa menos carga de la posible en condiciones de equilibrio térmico sin tensión aplicada.

Descripción del control de carga de un diodo

De la Ec. (1-34) se deduce que la corriente de difusión de huecos $I_p(0)$ que atraviesa la unión bajo polarización directa es proporcional a la pendiente en el origen de la curva p_n de la Fig. 2-35*a*. La correspondiente corriente de difusión de electrones $I_n(0)$ es proporcional a la pendiente en el origen de la curva n_p de la misma figura. Teóricamente se puede demostrar que la corriente de desplazamiento de portadores minoritarios que atraviesan la unión es despreciable frente a la corriente de difusión de portadores minoritarios. Por tanto, $I_p(0)$ representa la corriente total de huecos que pasan la unión de izquierda a derecha, e $I_n(0)$ es la corriente total de electrones que la cruzan de derecha a izquierda, por lo que la corriente total I en el diodo será la suma de ambas, o sea

$$I = I_p(0) + I_n(0) \qquad \text{A} \tag{2-35}$$

La corriente inversa de saturación de huecos (o electrones) es proporcional a la pendiente en $x = 0$ de la curva p_n (o n_p) de la Fig. 2-35*b*. La corriente inversa de saturación es la suma de ambas y es negativa.

Para simplificar el razonamiento supondremos que uno de los dos lados, por ejemplo el de material p está mucho más dopado que el n de forma que toda la corriente I que atraviesa la unión es debida a los huecos que pasan del lado p al n, o sea que $I = I_p(0)$. Según la Ec. (1-34)

$$I_p(x) = -AqD_p \frac{ap_n}{dx} = \frac{AqD_p p_n'(0)}{L_p} \epsilon^{-x/L_p} \qquad \text{A} \tag{2-36}$$

haciendo uso de la Ec. (3-32) para $p_n(x)$. La corriente de huecos I viene dada por $I_p(x)$ de la Ec. 2-36 con $x = 0$, o sea

$$I = \frac{AqD_p p'(0)}{L_p} \qquad \text{A} \tag{2-37}$$

El exceso de carga minoritaria Q existe sólo en el lado n y viene dado por la superficie sombreada en la región n de la Fig. 3-35*a* multiplicada por la sección recta A del diodo y por la carga electrónica q. Por tanto, de la Ec. (2-32) se obtiene

$$Q = \int_0^\infty Aqp'(0)\,\epsilon^{-x/L_p}\,dx = AqL_p p'(0) \qquad \text{C} \tag{2-38}$$

Eliminando $p'(0)$ de las Ecs. (2-37) y (2-38) tendremos

$$I = \frac{Q}{\tau} \qquad \text{A} \tag{2-39}$$

siendo $\tau \equiv L_p^2/D_p \equiv \tau_p$ vida media de los huecos [Ec. (2-33)].

La Ec. (2-38) es una relación importante conocida como *descripción del control de la carga de un diodo* y establece que la corriente de un diodo (consistente en huecos que cruzan la unión desde el lado p al n) es proporcional a la carga Q de exceso de portadores minoritarios almacenada. El factor de proporcionalidad es la inversa de la constante de tiempo (tiempo de vida media τ) de los portadores minoritarios. Por tanto, en estado de equilibrio la *corriente I suministra portadores minoritarios* al mismo ritmo en que desaparecen por la recombinación. La caracterización de un diodo por su control de carga describe el dispositivo en función de la corriente I y de la carga Q almacenada, mientras que la caracterización por medio del circuito equivalente lo hace en función de I y de la tensión V en la unión. Una ventaja inmediata a la representación por el control de carga es la de sustituir la relación exponencial entre I y V por la relación lineal entre I y Q. La carga Q es simplemente un parámetro cuyo signo determina cuando el diodo está polarizado en directo o en inverso. Si Q es positivo la polarización será directa, y viceversa.

Capacidad de difusión

En la Sec. 2-8 se introdujo la capacidad de difusión C_D como modelo del almacenamiento de portadores minoritarios en la vecindad de un diodo con polarización inversa. Podemos ahora deducir este elemento basándonos en la descripción del control de carga recién visto. De las Ecs. (2-39) y (2-17) tenemos:

$$C_D \equiv \frac{dQ}{dV} = \tau \frac{dI}{dV} = \tau g_d = \frac{\tau}{r_d} \qquad \text{F} \tag{2-40}$$

en la que $g_d \equiv dt/dV$ es la conductancia incremental del diodo. Sustituyendo la expresión de la resistencia incremental del diodo $r_d = I/g_d$ dada en la Ec. (2-18) en la Ec. (2-40) resulta

$$C_D = \frac{\tau I_S}{\eta V_T} \qquad \text{F} \tag{2-41}$$

Vemos que la capacidad de difusión es proporcional a la corriente I_D. En la deducción anterior hemos supuesto que la corriente I_D en el diodo es debida sólo a los huecos. Si no se cumple esta suposición, la Ec. (2-40) da la capacidad de difusión C_{DP} debida únicamente a los huecos, y se puede deducir una expresión similar para la capacidad de difusión C_{Dn} debida a los electrones. La capacidad de difusión total es la suma de C_{Dp} y C_{Dn}.

REFERENCIAS

1 Gray, P.E., D. De Witt, A.R. Boothroyd, y J.F. Gibbons: "Physical Electronics and Circuit Models of Transistors," vol. 2, SEEC, John Wiley & Sons, Nueva York, 1964.

2 Millman, J., y C.C. Halkias: "Integrated Electronics," McGraw-Hill Book Company, Nueva York, 1972.

3 Yang, E.S.: "Fundamentals of Semiconductor Devices," McGraw-Hill Book Company, Nueva York, 1978.

4 Muller, R.S., y T.I. Kamins: "Device Electronics for Integrated Circuits," John Wiley & Sons, Nueva York, 1977.

5 Ghausi, M.S.: "Principles and Design of Linear Active Circuits," McGraw-Hill Book Company, Nueva York, 1965.

TEMAS DE REPASO

2-1 En una unión *pn*, ¿dónde es máxima la intensidad del campo eléctrico? Explíquese.

2-2 (*a*) ¿Qué es la región de deplexión?
(*b*) Los huecos y los electrones ¿constituyen la carga espacial?
(*c*) Los iones dadores y aceptadores ¿constituyen la carga espacial?

2-3 (*a*) ¿Cuál es el mecanismo para la mayor parte de la corriente en una unión con polarización directa?
(*b*) ¿Qué polaridad debe tener la tensión externa para tener polarización directa?

2-4 (*a*) Con polarización inversa ¿aumenta o disminuye el espesor de la región de deplexión?
(*b*) ¿Qué pasa con la tensión en la unión?

2-5 (*a*) ¿Qué es un contacto óhmico?
(*b*) ¿Se puede medir directamente la tensión de contacto de un contacto óhmico?

2-6 Escribe la relación volt-amperio para una unión *pn* y expresa el significado de cada término.

2-7 ¿Por qué la corriente de saturación inversa puede considerarse un factor de escala de la corriente del diodo?

2-8 ¿Qué se entiende por tensión umbral?

2-9 ¿Cómo puede determinarse η de la característica logarítmica?

2-10 (*a*) ¿Cómo varía con la temperatura la corriente de saturación inversa de un diodo *pn*?
(*b*) Con corriente constante, ¿cómo varía la tensión del diodo con la temperatura?

2-11 ¿Qué parámetros de un diodo de germanio difieren de los de uno de silicio?

2-12 (*a*) Esboza la característica volt-amperio de un diodo ideal.
(*b*) Explica cómo esto semeja un interruptor.

2-13 ¿Cuál es el significado de la recta de carga?

2-14 Dibuja un modelo de diodo de gran señal con polarización directa.

2-15 Explica cómo un diodo funciona como rectificador.

2-16 Explica la acción del condensador de filtro en un circuito rectificador.

2-17 Describe el funcionamiento de un diodo cortador.

2-18 ¿Qué se entiende por características de transferencia?

2-19 (a) Dibuja el modelo de pequeña señal de un diodo *pn* con polarización directa e inversa.
(b) Explica el significado físico de cada elemento.

2-20 Con polarización directa y corriente del diodo creciente, ¿aumenta o disminuye (*a*) la resistencia incremental, y (*b*) la capacidad de difusión?

2-21 Explica cómo se usa el circuito equivalente de pequeña señal para determinar la respuesta en un circuito que contenga un diodo.

2-22 ¿Por qué no aparece la fuente de polarización constante en el modelo de pequeña señal de un circuito conteniendo un diodo?

2-23 La capacidad de deplexión ¿aumenta o disminuye al crecer la tensión inversa?

2-24 Explica el significado físico de los tiempos de almacenamiento y de transición.

2-25 Describe el mecanismo físico que produce: (*a*) la ruptura por avalancha y (*b*) la ruptura Zener.

2-26 (*a*) Esboza la característica volt-amperio de un diodo Zener.
(*b*) Señalar en el esbozo el codo de la curva.
(*c*) ¿Qué significa ese codo?

2-27 Dibuja los modelos de grande y de pequeña señal del diodo Zener.

2-28 ¿En qué se diferencia un diodo de barrera Schottky de un diodo de unión de silicio?

2-29 Esboza la densidad de portadores minoritarios en un diodo *pn* de unión abrupta con polarización directa e inversa.

2-30 ¿Qué se entiende por descripción del control de la carga de un diodo?



Transistores de unión bipolares (BJT)

El transistor de unión bipolar es uno de los principales dispositivos de semiconductores empleados en la amplificación y conmutación. El objetivo de este capítulo es describir los principios físicos que gobiernan el funcionamiento del transistor bipolar de unión y tratar a este elemento como un elemento del circuito. El desarrollo de las características volt-amperio del transistor, de la pequeña señal y del circuito equivalente se basa en los correspondientes conceptos vistos en el capítulo 2 para el diodo de unión. En particular se presentan las ecuaciones de Ebers-Moll que describen el funcionamiento del transistor bipolar en las variedades activa, saturación, en corte e invertida. Se estudia el comportamiento de una etapa en emisor común tanto como amplificador como conmutador. Debido a su importancia en los circuitos integrados trataremos también del par emisor-acoplado (diferencial).

3-1. LA FUENTE IDEAL DE CORRIENTE CONTROLADA

Los amplificadores y conmutadores electrónicos se valen de las propiedades de las fuentes controladas para cumplir su misión. En tales circuitos se emplean abundantemente los transistores porque poseen características de fuente gobernada. Para fijar la atención en algún aspecto importante de la actuación del transistor es bueno examinar las propiedades del circuito de fuente gobernada, y ver cómo puede usarse éste como amplificador y conmutador.

Una fuente de corriente controlada ideal, como la representada en la Fig. 3-1*a* es un elemento del circuito consistente en tres terminales, uno de ellos común a la entrada y a la salida[1]. El par de terminales de entrada (1-3) suministran la corriente de control i_1 y una fuente de corriente de intensidad Ai_1 actúa de par terminal de salida (2-3)[2]. El parámetro A relaciona la intensidad de la fuente con la corriente gobernada

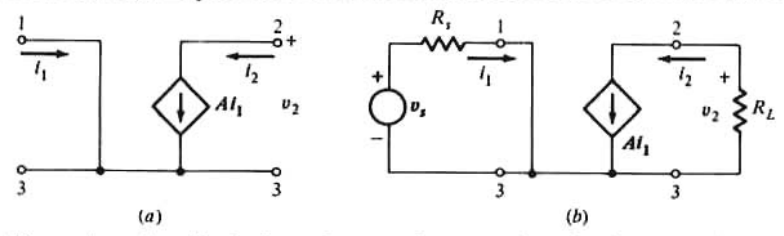


Figura 3-1. (*a*) Fuente de corriente ideal gobernada por corriente, con (*b*), excitación por tensión y resistencia de carga.

---

[1] Precisando más, la fuente puede tener dos terminales de entrada y dos de salida. Sin embargo, la mayor parte de dispositivos electrónicos tienen un terminal común para entrada y salida.

[2] Una fuente controlada se representa mediante el símbolo que aparece en la Fig. 3-1. La flecha en el interior del cuadrado señala la dirección de la corriente, mientras que los signos + y - indican la polaridad de la fuente de tensión. En cualquier caso la intensidad de la fuente se señala algebraicamente al lado del cuadrado.

Sabemos que es deseable gobernar cantidades sustanciales de energía con poco gasto de ella. Consideremos la energía mecánica necesaria para cerrar un interruptor que acciona un acondicionador de 120 V y 10 A instalado en una ventana. Aproximadamente, esto supone mover 1 cm un interruptor de 0,05 Kg en 0,25s, lo que supone una potencia de 0,02 W. Así, la energía y potencia gobernada por este esfuerzo equivale a levantar la unidad desde el suelo hasta la ventana en 0,25s.

lo que corrientemente se denomina *ganancia de corriente.* Físicamente, A está relacionado con los procesos que suceden en el dispositivo empleado para tener la fuente gobernada.

En la Fig. 3-1*a* se pone en evidencia que el efecto de i_1 se transmite a la salida por medio de la fuente, mientras que la señal aplicada al terminal de salida no afecta a la corriente de control. Este proceso *unitaleral* permite que aquellas partes de un circuito en las que se aplica la señal de control queden aisladas de elementos del circuito conectados a la salida.

En la Fig. 3-1*b* se conecta a la entrada una fuente de señal v_s en serie con una resistencia R_s, y se sitúa una resistencia de carga R_L a través de la salida de la fuente gobernada. La corriente de control es $i_1 = v_s R_s$ y la tensión de salida

$$v_2 = Ai_1R_L = -\frac{AR_L}{R_s}v_s \quad (3\text{-}1)$$

En la Ec. (3-1) vemos que cuando $AR_L|R_S > 1$ entonces $|v_2| > |v_s|$ y se tiene amplificación de tensión. Además si $A > 1$ como normalmente es el caso, se tiene también ganancia de corriente ya que la de salida es mayor que la de entrada. También es cierto que la potencia disipada en R_L es mayor que la suministrada por v_s. Por tanto, una fuente controlada es capaz de dar una ganancia de potencia. Una consecuencia de la amplificación es la de que la potencia necesaria para el control es menor que el conjunto de la potencia gobernada. Esto, junto con la propiedad unilateral permite gobernar la fuente como a un interruptor.

Las características volt-amperio de salida son una buena ayuda para poner de manifiesto la dependencia de la intensidad de la fuente en la variable de control. Para la fuente gobernada de la Fig. 3-1*a* estas características son las representadas en la Fig. 3-2*b* como familia de curvas de v_2 en función de v_2 para distintos valores de i_1. La característica horizontal indica que i_2 es independiente de v_2. (Esto es cierto para cualquier fuente de corriente ideal.) Para demostrar el funcionamiento como interruptor, consideremos el circuito de la Fig. 3-3*a*. El dispositivo en el recuadro tiene las características de salida trazadas en la Fig. 3-2*b* en la que puede verse la recta de carga representando la ley de Kirchhoff para el bucle de salida. La

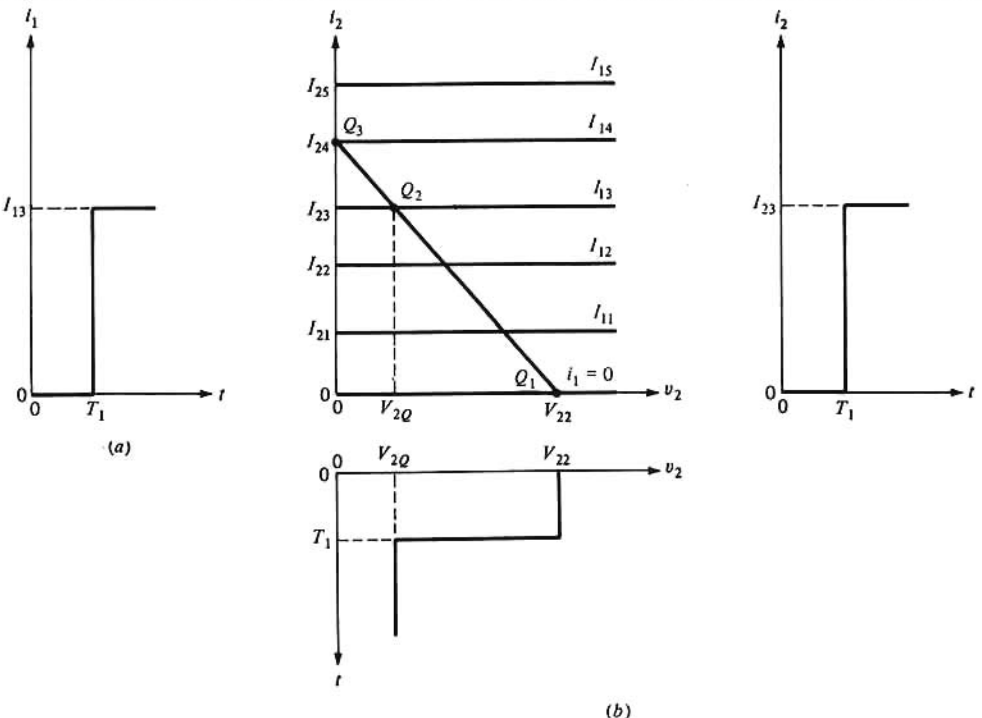


Figura 3-2. Característica tensión-intensidad de una fuente de corriente gobernada, con la onda resultante de una excitación en escalón.

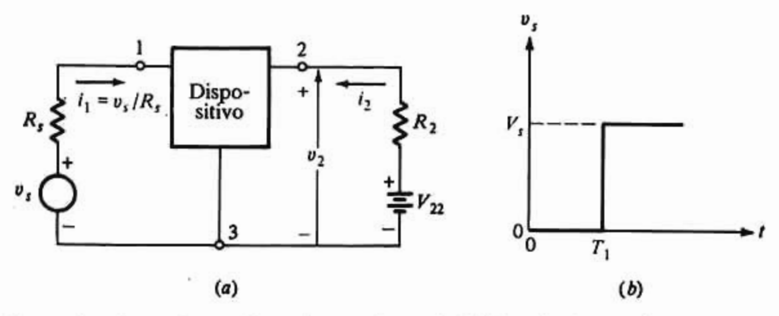


Figura 3-3. (*a*) Circuito empleando una fuente de corriente gobernada, (*b*) la onda de entrada

onda de tensión de entrada es la de la Fig. 3-3*b* y la de corriente, también de entrada, la de la Fig. 3-2*a*. Supongamos que el valor de $i_1 = V_s/R_s$ corresponde a la corriente I_{13} de la Fig. 3-2*a*. Cuando $v_s = 0$ ($0 \leq t \leq T_1$), $i_1 = 0$ el punto de trabajo está en Q_1 resultando $v_2 = V_{22}$ e $i_2 = 0$. Esta situación corresponde a la de un interruptor abierto. Para $t > T_1$ la corriente de control es I_{13} haciendo que el punto de trabajo pase a Q_2: en Q_2, $v_2 = V_{2Q}$ y $i_2 = I_{23}$, lo que corresponde a un interruptor cerrado con una tensión V_{2Q} a través de él. Las ondas de salida resultantes están representadas en la Fig. 3-2*b*. El razonamiento anterior nos lleva a la conclusión de que en los terminales de salida 2-3 el dispositivo se comporta como un interruptor cuyo estado (abierto o cerrado) depende de la señal aplicada a los terminales 1-3. Además, la tensión y la corriente de salida, que dependen sólo de los elementos exteriores V_{22} y R_L, están gobernados por la corriente de entrada i_1. Obsérvese que si se desea que la caída de tensión a través del interruptor controlado sea nula, debe seleccionarse la corriente de control V_s/R_s igualada a I_{14}. Con esta corriente de entrada, la de salida es V_{22}/R_L y $v_2 = V_{22} - i_2R_L = 0$ correspondiendo al punto Q_3 de la Fig. 3-2*b*.

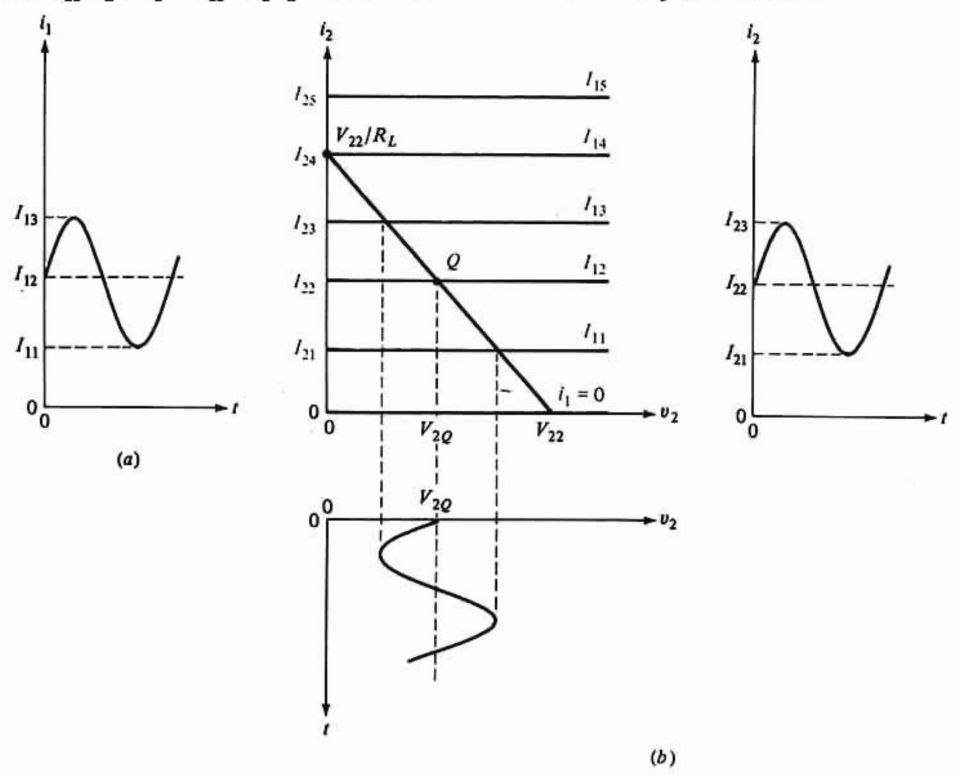


Figura 3-4. Recta de carga para el circuito de la Fig. 3- 3*a*; ondas de i_2 y v_2 engendradas por una señal de entrada senoidal.

También puede demostrarse el funcionamiento como amplificador mediante el circuito de la Fig. 3-3*a*. Consideremos que $v_s = V_{11} + V_m$ sen ωt siendo $V_m < V_{11}$. La tensión V_{11} se emplea para polarizar el dispositivo al punto *Q* de la característica de salida (Fig. 3-4*b*). Además supondremos que la componente senoidal de v_s, la señal, produce una corriente i_1 como indica la Fig. 3- 4*a*. Esta variación de i_1 produce la corriente i_2 y la tensión v_2 representadas. En las condiciones fijadas anteriormente en esta sección, la amplitud de la componente senoidal de v_2 es mayor que V_m demostrando nuevamente que la *señal* queda amplificada. Es de observar que la tensión de polarización V_{11} es esencial para el proceso de amplificación. Faltando V_{11} la corriente de salida se anula siempre que la entrada senoidal sea negativa. Esto hace que el circuito actúe como cortador o rectificador siendo la salida sólo una porción de senoide. Así pues, en contraste con el funcionamiento de interruptor gobernado, la actuación como amplificador necesita que para el nivel de señal utilizado el punto de trabajo quede restringido a la mitad de la característica volt-amperio. Si los niveles de la señal de entrada son muy inferiores inferiores que el nivel de polarización, el análisis de los circuitos amplificadores lleva por sí mismo al empleo de modelos de pequeña señal que se verán en la Sección 3-10.

Hay que hacer constar que los dispositivos reales sólo se aproximan a la característica ideal. Por tanto, para usar en amplificadores conviene que los dispositivos muestren unas características de corriente (o de tensión) constantes dentro de los valores de funcionamiento.

3-2. EL TRANSISTOR DE UNIÓN

El *transistor bipolar de unión* (BJT), llamado también *transistor de unión* o *transistor bipolar* es un dispositivo de tres elementos formado por dos uniones unidas a una capa semiconductora común. Los dos tipos de transistores de unión están representados en la Fig. 3-5. En el transistor *pnp* de la Fig. 3-5*a* la región común de tipo *n* está entre dos capas de tipo *p*. Análogamente en el transistor *npn* de la Fig. 3-5*b* hay una región *p* entre dos capas de tipo *n*. Los tres elementos de un BJT se denominan *emisor*, *base* y *colector* y se indican con los símbolos de la Fig. 3-6. La flecha en el emisor señala la dirección de la corriente cuando la unión emisor-base está con polarización directa. En ambos casos, se consideran positivas las corrientes I_E, I_B e I_C cuando se dirigen hacia el interior del transistor. En la figura se indica también la tensión entre cada par de terminales mediante un doble subíndice. Así por ejemplo V_{CB} representa la caída de tensión entre el colector (*C*) y la base (*B*).

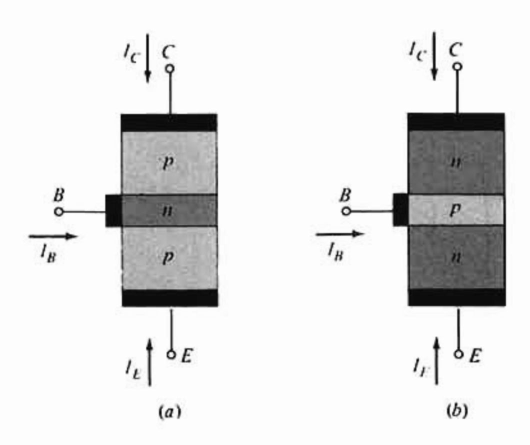


Figura 3-5. Corriente convencional positiva en un transistor *pnp* (*a*) y *npn* (*b*).

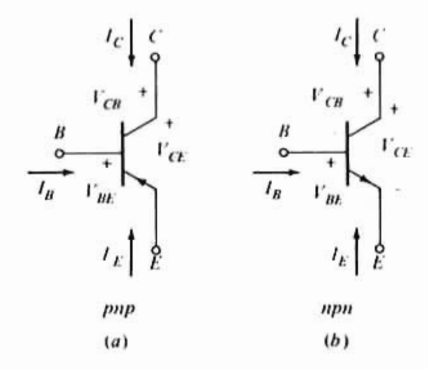


Figura 3-6. Símbolo de circuito para transistores *pnp* (*a*) y *npn* (*b*).

La representación del transistor bipolar de la Fig. 3-5*b* muestra una estructura simétrica que nos permite elegir como emisora a cualquiera de las regiones *n*. Sin embargo, en un transistor real como el *npn* planar de un circuito integrado como el de la Fig. 3-7 el emisor y el colector tienen diferencias marcadas.

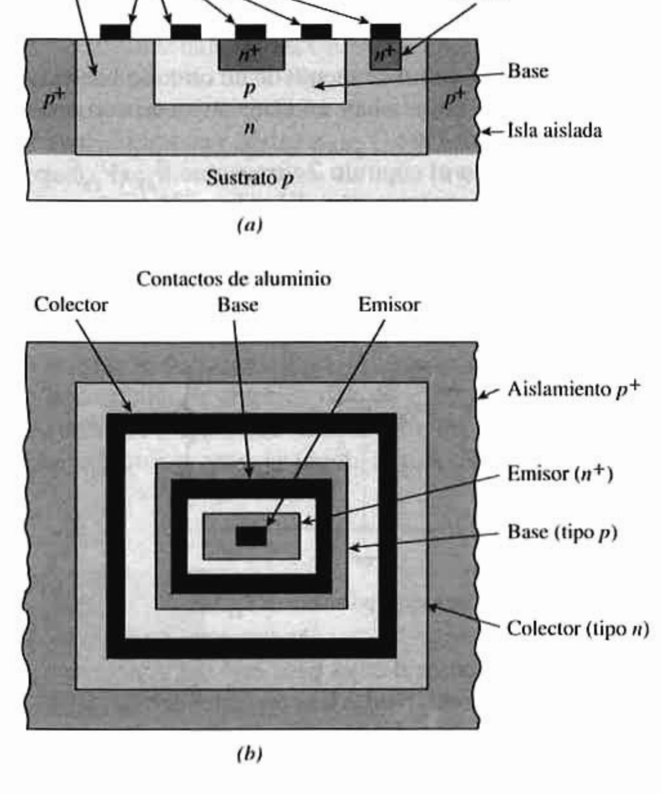


Figura 3-7. Estructura de un transistor *npn* integrado comprendiendo un sustrato *p*, isla aislada y contactos de aluminio.

La Fig. 3-7*a* representa la sección recta del transistor, distinguiendo con el sombreado las distintas concentraciones de impurezas. En la vista superior de la Fig. 3-7*b* puede verse cómo están hechos los contactos del aluminio a las regiones de colector, base y emisor. Obsérvese cómo, debido al dopado

selectivo del bloque de silicio queda una región *p* entre dos *n* formando así un transistor *npn*. El nombre de «transistor planar» o plano proviene del hecho de que los tres terminales *C*, *B* y *E* van conectados a los contactos del aluminio al colector, base y emisor respectivamente estando *los tres contactos sobre un mismo plano*.

Tal como se aprecia en la Fig. 3-7 la superficie ocupada por el emisor es notablemente menor que la del colector. Esta diferencia es debida a que en la mayor parte de aplicaciones del BJT la región de colector manipula más potencia que el emisor por lo que precisa más superficie para disipar el calor. La segunda diferencia estriba en las densidades de dopado de las regiones de emisor y de colector. Generalmente el emisor sirve como fuente de cargas móviles. Se emplea una densidad de dopado alta (y de ahí la designación $n+$) para resaltar la facultad de hacer más portadores asequibles. Es decir, cuando la unión emisor-base tiene polarización directa el emisor inyecta electrones a la base, desde donde se desplazan hacia el colector. Si el diodo colector-base está polarizado inverso, los electrones portadores minoritarios en la base son barridos al interior de la región del colector donde se convierten en el mayor componente de la corriente del colector. Al colector, como su nombre indica, no se le pide normalmente que ceda muchos portadores, por lo que su nivel de dopado no necesita ser tan alto como para el emisor (la pequeña región n^+ del colector ayuda a formar un buen contacto óhmico). La región de la base se dopa a un nivel intermedio entre los del emisor y el colector, por los motivos que se exponen en el capítulo 5.

Comportamiento físico de un transistor bipolar

Las prestaciones esenciales de un BJT como elemento de un circuito pueden apreciarse considerando la situación representada en la Fig. 3-8. En ella hay un transistor *pnp* con unas fuentes de tensión que polarizan en sentido directo la unión emisor-base (V_{EB} positiva) y en sentido inverso la unión colector-base (V_{CB} negativa). Al estudiar el diodo *pn* en el capítulo 2 vimos que V_{EB} (V_{CB}) aparece a través de la muy reducida región de carga espacial del emisor (colector). El campo eléctrico queda confinado en la región de deplexión, siendo nulo en el resto del semiconductor. Por tanto, el potencial es constante en cada región (emisor, base o colector) y no existen corrientes de conducción. En consecuencia, en un BJT las componentes de la corriente son todas corrientes de difusión.

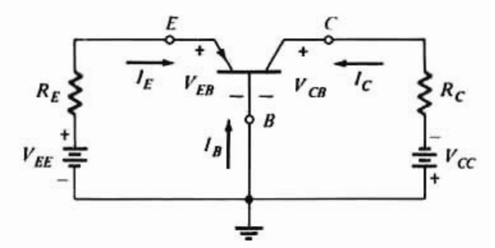


Figura 3-8. Circuito en base común mostrando las fuentes de polarización V_{EE} y V_{CC}.

Imaginemos de momento un transistor ideal cuya base esté tan ligeramente dopada en comparación con la región de emisor que podamos despreciar todas las corrientes debidas a los electrones. Supondremos también que el espesor de la región de la base es pequeño frente a la longitud de difusión, de tal forma que podamos despreciar también la recombinación en esta región. En este transistor ideal una tensión directa V_{EB} inyecta huecos a la base, y todos éstos pasan a través de la base a la región del colector. Esta acción tiene la consecuencia de que la corriente de colector sea igual a la de emisor $|I_c| = |I_E|$ para cualquier tensión inversa de colector V_{CB}. Este transistor posee precisamente la característica de la fuente de corriente controlada descrita en la sección 3-1 con una ganancia de corriente unidad ($A = 1$). Las características de salida de este transistor ideal son las de la Fig. 3-2*b* con $i_2 = -I_c$, $I_1 = I_E$, y $v_2 = -V_{CB}$.

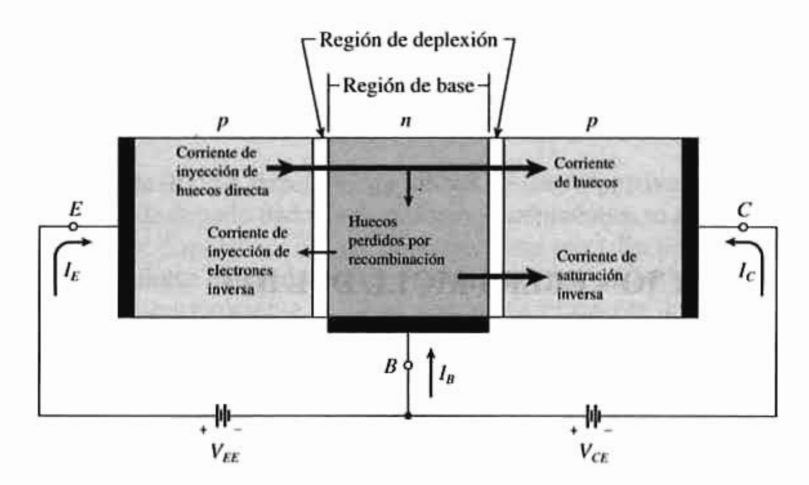


Figura 3-9. Componentes de corriente en un transistor con la unión emisor-base con polarización directa y la unión colector-base con polarización inversa.

Consideremos ahora el comportamiento de un transistor práctico (no ideal) en el circuito de la Fig. 3-8. Ya no podemos olvidarnos de la recombinación o los efectos de la concentración de electrones en el transistor real. En la Fig. 3-9 están señaladas las diversas componentes de corriente en un transistor *pnp* polarizado para corresponder al circuito de la Fig. 3- 8. En esta situación volveremos a suponer que no existe campo eléctrico en el semiconductor fuera de la región de deplexión, con lo que aparecen las tensiones V_{EB} y V_{CB} en las uniones de emisor y de colector respectivamente. La unión emisor-base polarizada en directo inyecta muchos huecos en la base (inyección directa) donde se convierten en portadores minoritarios. Los electrones que cruzan la unión desde la base al emisor (inyección inversa) se mantienen pocos al diseñar el transistor, dopando menos la base que el emisor. En la estrecha región de base los huecos se difunden hacia la unión colector-base, y un pequeño número de ellos se recombinan con electrones en la base siendo ésta una parte de la corriente de la base. Los huecos que llegan a la unión colector-base son enviados al interior del colector debido a la polarización inversa. En las condiciones de polarización de la Fig. 3-9 estos huecos constituyen la mayor componente de I_C. Sin embargo hay otra pequeña componente de la corriente de colector debida a los portadores generados térmicamente. Los huecos generados de esta forma en la región de la base penetran en el colector y los electrones generados térmicamente en el propio colector cruzan la unión introduciéndose en la base. Estas dos corrientes

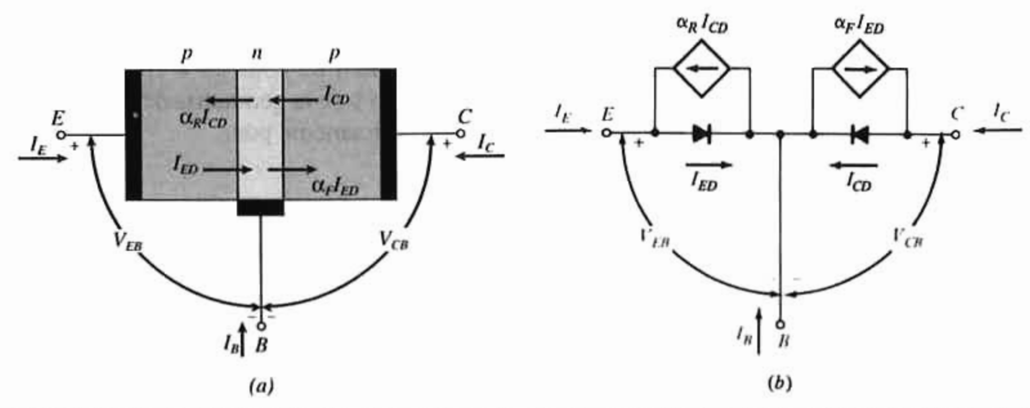


Figura 3-10. (*a*) Componentes de corriente en un transistor *pnp*. (*b*) representación de gran señal (Ebers- Moll) de un transistor *pnp*.

térmicas constituyen la corriente de saturación inversa de la unión colector-base indicada en la Fig. 3-9. En consecuencia, tal como se ve en esa figura es evidente que la corriente del colector está formada de dos componentes, una debida a los huecos inyectados en el diodo emisor-base, y la otra atribuida a los portadores generados térmicamente que cruzan la unión colector-base.

3-3. REPRESENTACIÓN EBERS-MOLL DEL BJT

La actuación del transistor bipolar puede describirse en términos conceptuales o cuantitativos, viendo en la figura 3-5 que este dispositivo está formado por dos uniones *pn* acopladas. La región de la base es común a ambas uniones formando el enlace entre ellas. El transistor bipolar se fabrica con una región de base sumamente estrecha (considerablemente menor que una longitud de difusión). En consecuencia existe una interacción eléctrica significativa entre las uniones tal como se explicó en la sec. 3-2, a la que se le denomina *acción transistor.* Las componentes de corriente que comprenden las I_E e I_C están señaladas en la Fig. 3-10*a* para un transistor *pnp*. Las tensiones V_{EB} y V_{CB} son las caídas de tensión entre emisor y base y entre colector y base respectivamente. Admitiendo que no exista caída de tensión alguna en los semiconductores que forman las regiones de emisor, base y colector, estas tensiones son las existentes en las respectivas uniones. Con ambas tensiones referidas respecto a la base, a esta conexión se le denomina *configuración en base común.* La corriente de emisor de la Fig. 3-10*a* tiene dos componentes. La corriente relacionada con el diodo emisor-base se representa I_{ED} y la relacionada con el diodo colector-base se designa I_{CD}. La componente $\alpha_R I_{CD}$ es la parte de I_{CD} acoplada al emisor a través de la base, y análogamente $\alpha_F I_{ED}$ es la fracción de I_{ED} acoplada al colector.

Basándonos en las consideraciones hechas en el párrafo anterior podemos construir el modelo Ebers-Moll de la Fig. 3-10*b*. Los dos diodos en oposición (cuyos cátodos están unidos) representan las uniones del transistor bipolar, mientras que las dos fuentes controladas indican la conexión entre uniones. Las corrientes I_{ED} e I_{CD} están relacionadas con V_{EB} y V_{CB} según la relación volt- amperio del diodo dada en la Ec. (2-3)[3]. Por tanto, I_E e I_C pueden expresarse en función de las dos corrientes del diodo:

$$I_E = I_{ED} - \alpha_R I_{CD} = I_{ES}\,(\epsilon^{V_{EB}/V_T} - 1) - \alpha_R I_{CS}\,(\epsilon^{V_{CB}/V_T} - 1) \tag{3-2}$$

$$I_C = -\,\alpha_F I_{ED} + I_{CD} = -\,\alpha_F I_{ES}\,(\epsilon^{V_{EB}/V_T} - 1) + I_{CS}\,(\epsilon^{V_{CB}/V_T} - 1) \tag{3-3}$$

Las relaciones expresadas en las Ecs. (3-2) y (3-3) se conocen como *Ecuaciones de Ebers-Moll.*

I_{ES} e I_{CS} de las Ecs. (3-2) y (3-3) son las corrientes de saturación inversa de las uniones emisor- base y colector-base respectivamente. Los parámetros α_F y α_R son ambos menores que la unidad ya que no toda la corriente de un diodo se acopla con la otra unión. Los subíndices indican: F, transmisión directa (Forward) de emisor a colector, y R, transmisión inversa (Reverse) de colector a emisor. Las cuatro cantidades I_{ES}, I_{CS}, α_F y α_R, son función de las densidades de dopado y de la geometría del transistor. Estas cantidades no son independientes sino que están relacionadas teóricamente por

$$\alpha_F I_{ES} = \alpha_R I_{CS} \tag{3-4}$$

A esta ecuación a veces se le llama condición de reciprocidad del BJT.

La corriente de la base se halla igualando a cero la suma de las corrientes en los terminales, o sea

$$I_B = -\,(I_E + I_C) \tag{3-5}$$

[3] Muchos transistores integrados trabajan con corrientes que acostumbran a ser de por lo menos nueve veces mayores que las de saturación. Por lo tanto $\eta = 1$ como se ve en la sec. 2-3.

Conviene indicar el valor típico de las cantidades que figuran en las Ecuaciones de Ebers-Moll. En un transistor integrado (Fig. 3-7) las pequeñas dimensiones empleadas normalmente son:

$$0.98 \le \alpha_F \le 0.998 \qquad \text{y} \qquad 0.40 \le \alpha_R \le 0.8$$

siendo I_{ES} e I_{CS} del orden de 10^{-15} *A* dependiendo ambas de las respectivas secciones de la unión. En consecuencia, con un nivel de dopado dado de donadores y aceptadores, se pueden regular las corrientes variando las dimensiones del dispositivo. Esto se tiene en cuenta en el diseño de circuitos integrados para obtener transistores con distintas intensidades nominales. Con este método se pueden aumentar I_{ES} e I_{CS} hasta unos 10^{-13} y 10^{-12} *A*, respectivamente. α_F se mantiene prácticamente invariado, y según la Ec. (3-4) α_R puede rebajarse por debajo de 0,1. El escalonado de dimensiones se usa en transistores discretos para alcanzar niveles de corriente y de potencia superiores a lo que se puede conseguir en un chip.

Las ecuaciones de Ebers-Moll para un dispositivo *npn* se deducen de las Ec. (3-2) y (3-3) una vez admitamos que la corriente directa en cada diodo va de *p* a *n*, y que la polarización directa precisa de una tensión positiva de *p* a *n*. En consecuencia, el sentido de todas las corrientes componentes y de las tensiones en las uniones de un transistor *npn* son contrarias a los de un dispositivo *pnp* como se aprecia en la Fig. 3-11*a*. De este razonamiento se deduce que las Ec. (3-2) y (3-3) son válidas para un transistor *npn* si se intercala un signo menos delante de V_{EB}, V_{CB}, y en cada componente de corriente. Los resultados quedan de manifiesto en las Ec. (3-6) y (3-7).

$$I_E = -I_{ES}\,(\epsilon^{-V_{EB}/V_T} - 1) + \alpha_R I_{CS}\,(\epsilon^{-V_{CB}/V_T} - 1) \tag{3-6}$$

$$I_C = \alpha_F I_{ES}\,(\epsilon^{-V_{EB}/V_T} - 1) - I_{CS}\,(\epsilon^{-V_{CB}/V_T} - 1) \tag{3-7}$$

Basándonos en estas ecuaciones se obtiene el modelo representado en la Fig. 3-11*b*.

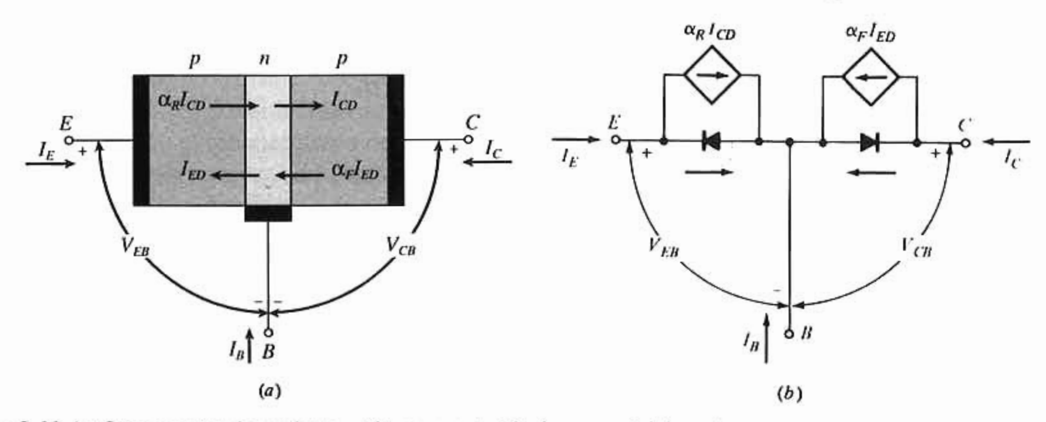


Figura 3-11. (*a*) Componentes de corriente y, (*b*) representación de gran señal de un transistor *npn*.

Ganancia de corriente con gran señal

Consideremos un transistor *npn* estando el diodo emisor-base con polarización directa (V_{EB} <0) y con los terminales de colector y de base cortocircuitados (V_{CB} = 0). En estas condiciones, de las Ec. (3- 6) y (3-7) se obtiene

$$I_E = I_{ES}\,(\epsilon^{-V_{EB}/V_T} - 1) \qquad \text{y} \qquad I_C = \alpha_F\, I_{ES}\,(\epsilon^{-V_{EB}/V_T} - 1)$$

por tanto, $I_c = -\alpha_F I_B$ y α_F será

$$\alpha_F \equiv -\left.\frac{I_C}{I_E}\right|_{V_{CB}=0} = 0 \tag{3-8}$$

El valor de α_F tal como lo da la Ec. (3- 8) es la ganancia de corriente en cortocircuito directo en base común.[4]

Análogamente, cuando $V_{CB} < 0$, la ganancia de corriente en cortocircuito inverso α_R viene dada por

$$\alpha_R \equiv -\left.\frac{I_E}{I_C}\right|_{V_{EB}=0} = 0 \tag{3-9}$$

Obsérvese que en la Ec. (3-9) la unión que está polarizada en directo es la de colector-base y el diodo emisor-base es el cortocircuito invirtiendo así las funciones del colector y el emisor de las condiciones en directo de la Ec. (3-8).

Las definiciones de las Ec. (3-8) y (3-9) son aplicables tanto a los transistores *npn* como a los *pnp*. En un dispositivo *npn*, I_C es positivo mientras I_E es negativo, y lo contrario sucede en un transistor *pnp*. En consecuencia α_F y α_R son siempre positivos.

Cuando $V_{CB} = 0$ y $V_{EB} < 0$, la corriente de la base [Ec. (3-5)] se puede expresar:

$$I_B = -(1 - \alpha_F)I_E \tag{3-10}$$

Puesto que los valores típicos de α_F son próximos a la unidad (como hemos visto antes en esta misma sección), I_B resulta muy pequeño comparado con I_E siendo I_C e I_E prácticamente iguales.

A veces es conveniente expresar las corrientes de colector y de emisor en función de la corriente de base, mucho más pequeña. Combinando las Ec. (3-8) y (3-10) obtendremos

$$I_C = \frac{\alpha_F}{1 - \alpha_F} I_B = \beta_F I_B \tag{3-11}$$

$$I_E = \frac{-I_B}{1 - \alpha_F} = -(\beta_F + 1)I_B \tag{3-12}$$

donde

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F} \tag{3-13}$$

La cantidad β_F es la ganancia de corriente directa en cortocircuito con emisor común (también representada por h_{FE}).

Un análisis similar para las condiciones en inverso nos dará la ganancia de corriente inversa en cortocircuito con emisor común.

$$\beta_R = \frac{\alpha_R}{1 - \alpha_R} \tag{3-14}$$

En transistores integrados β_F suele estar comprendido entre 50 y 250, y β_R entre 1 y 5.

Modos de trabajo del transistor

Cada una de las uniones de un transistor bipolar de unión puede estar polarizada en directo o en inverso. Con ello pueden formarse los cuatro modos de trabajo señalados en la Tabla 3-1. En las subsiguientes

[4] A veces α_F se designa por su correspondiente parámetro h (h_{FB}). (Véase el apéndice C), donde el subíndice B indica base común.

secciones de este capítulo se hace un detallado análisis del funcionamiento del BJT en cada caso. Aquí pretendemos examinar brevemente estas modalidades y hacer resaltar sus rasgos distintivos.

En la región activa en directo el transistor bipolar se comporta como fuente controlada. Se llega a esta conclusión por las Ecs. (3-6) y (3-7) para las condiciones apuntadas en la Tabla 3-1. Con tensiones de polarización de la unión de algunas décimas de volt, y suponiendo que I_{cs} es tan pequeña que se puede despreciar, como es casi siempre el caso, $I_C = -\alpha_F I_E$. Así pues, el control de la corriente de entrada I_E determina la corriente de salida I_C. Esta es la acción de una fuente de corriente gobernada ya que los cambios del nivel de polarización emisor-base ajustan el valor de I_E y por tanto el de I_C. Con las características de fuente gobernada obtenibles, el BJT puede emplearse como amplificador prevaleciendo el modo activo-directo en circuitos analógicos.

Tabla 3-1. Modos de trabajo del Transistor Bipolar

Modo	*Polarización de la unión*	
	Emisor-base	*Colector-base*
Activo-directo	Directa	Inversa
Umbral (corte)	Inversa	Inversa
Saturación	Directa	Directa
Activo-inverso	Inversa	Directa

En el modo (corte) ambas uniones están inversamente polarizadas: tanto I_E como I_C son del orden de las corrientes de saturación inversas del diodo (prob. 3-5). La situación es la de corriente casi nula con tensión inversa «grande» en la unión ($V_{CB} \gg V_T$) y funciona aproximadamente como un interruptor abierto. Con los dos diodos con polarización directa, en *saturación*, la corriente de colector puede ser apreciable pero la tensión a través de la unión del colector será pequeña. Esta situación es aproximadamente la de un interruptor cerrado. El funcionamiento del BJT entre corte y saturación equivale al de un interruptor (compárese esto con el razonamiento de la sección 3-1).

El modo *activo-inverso* es semejante al directo pero con una diferencia significativa. Aun cuando el funcionamiento en la región activa-inversa es el de una fuente controlada ($I_E = -\alpha_R I_C$) la pequeña ganancia de corriente α_R frente a α_F hace que esta modalidad no sea adecuada en general para la amplificación. Sin embargo tiene aplicación en circuitos digitales (Cap. 6) y en algunos circuitos de conmutación analógicos.

Ejemplo 3-1

Un transistor *npn* trabaja con la unión colector-base polarizada inversamente con por lo menos algunas décimas de volt y con el emisor en circuito abierto. Determinar: (*a*) su modo de funcionamiento, (*b*) las corrientes de colector y de base, (*c*) los valores de I_C y V_{EB} a temperatura ambiente siendo $I_{ES} = 10^{-15}\,A$, $I_{CS} = 2\times10^{-15}\,A$, y $\alpha_F = 0{,}99$.

Solución

(*a*). Con el diodo colector-base con polarización inversa vemos en la tabla 3-1 que el modo de trabajo será o bien en corte o bien activo-directo. Cuál de estas condiciones es la existente se deduce del estado de la unión emisor-base. De la Ec. (3-6) siendo $I_F = 0$ (circuito abierto) tendremos:

$$I_E = 0 = -I_{ES}\,(\epsilon^{-V_{EB}/V_T} - 1) - \alpha_R I_{CS}$$

de donde

$$\epsilon^{-V_{EB}/V_T} = 1 - \frac{\alpha_R I_{CS}}{I_{ES}} = 1 - \alpha_F \tag{1}$$

habiendo hecho uso de la condición de reciprocidad de la Ec. (3- 4), $\alpha_R I_{CS} = \alpha_F I_{ES}$.

Invirtiendo y tomando logaritmos de ambos lados, tendremos

$$\frac{V_{EB}}{V_T} = \ln\frac{1}{1 - \alpha_F} = \ln(\beta_F + 1) \tag{2}$$

En (2) se observa que V_{EB} es positivo polarizando en inverso la unión de emisor por lo que el transistor está en corte.

(*b*) Con $I_E = 0$, la ley de Kirchhoff dice que $I_C = -I_B$. La corriente de colector se obtiene de la Ec. (3-7) en la que se ha sustituido (1).

$$I_C = -I_B = -\alpha_F\alpha_R I_{CS} + I_{CS} = (1 - \alpha_F\alpha_R)I_{CS} \tag{3}$$

(*c*) Sustituyendo valores en (2) tendremos

$$\frac{V_{EB}}{25 \times 10^{-3}} = \ln\frac{1}{1 - 0.99} \qquad \text{y} \qquad V_{EB} = 115 \text{ mV}$$

El valor de α_R según la condición de reciprocidad es

$$\alpha_R = \alpha_F\frac{I_{ES}}{I_{CS}} = 0.99\,\frac{10^{-15}}{2 \times 10^{-15}} = 0.495$$

Sustituyendo valores en la (3) obtendremos.

$$I_C = -I_B = (1 - 0.99 \times 0.495) \times 2 \times 10^{-15} = 1.02 \times 10^{-15} \text{ A}$$

El resultado indica que para $I_E = 0$ el transistor, entre los terminales de base y de colector, actúa como un diodo y que la corriente hallada es la de saturación inversa del colector con el emisor en circuito abierto. Aun cuando el valor de I_C encontrado es muy pequeno crece notablemente con la temperatura.

La corriente dada por (3) en el ejemplo 3-1 se conoce frecuentemente como *corriente de colector inversa*. Como veremos en la Sección siguiente este dato es muy importante en un BJT que generalmente se designa I_{CO}. Realizando un análisis semejante con el colector en circuito abierto y el diodo emisor-base con polarización inversa se obtiene la corriente inversa de emisor I_{EO}. Ambos resultados quedan establecidos en la Ec. (3-15).

$$I_{CO} = (1 - \alpha_F\alpha_R)I_{CS} \qquad I_{EO} = (1 - \alpha_F\alpha_R)\,I_{ES} \tag{3-15}$$

Concentración de portadores minoritarios

En la Fig. 3-12 está representado el exceso de portadores minoritarios en la región de la base debido principalmente a la inyección directa. Se entiende por espesor de la región de la base a la distancia que media entre el lado de la base del emisor-base y la región de deplexión del colector-base. Idealmente, el exceso de densidad de portadores minoritarios decrece linealmente a través de la región de base. En

realidad la distribución viene dada por la línea de trazos que ya tiene en cuenta la recombinación. La concentración es nula en la confluencia colector-base ya que los portadores minoritarios que llegan ahí son lanzados al interior del colector.

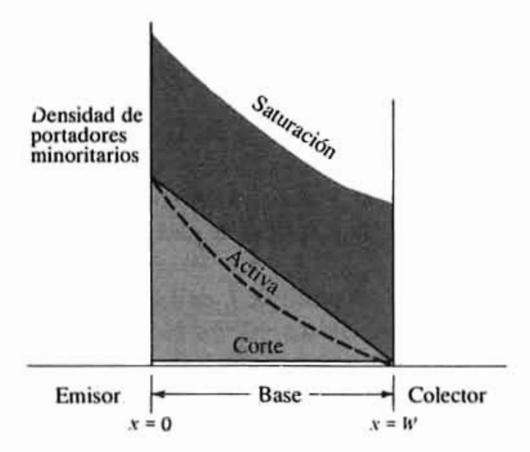


Figura 3-12. Concentración de portadores minoritarios en las regiones de corte, activa directa y de saturación.

En esta misma figura 3-12 están representadas las respectivas densidades de portadores minoritarios en corte y en saturación. Tal como es de suponer, polarizando en inversa la unión emisor-base se evita la inyección directa, de forma que esta densidad es virtualmente nula. En saturación existe un exceso de portadores minoritarios por encima del nivel para el modo activo directo. Este exceso se atribuye a la inyección de portadores en la base por el diodo colector-base polarizado en directo.

3-4. CARACTERÍSTICAS EN BASE COMÚN

Ahora estamos en condiciones de trazar gráficamente las características volt-ampere del BJT basándonos en las ecuaciones de Ebers-Moll y en los modos de funcionamiento vistos en la sección anterior. Como ejemplo de estas características nos referiremos al transistor *pnp* 2N2907A. En la próxima sección que trata del circuito en emisor común emplearemos el transistor *npn* 2N2222A. Estos transistores son complementarios, es decir, que sus características y clasificación son casi idénticas salvo que el signo aritmético de las tensiones y corrientes reflejan la diferencia entre dispositivos *pnp* y *npn*.

En el transistor *pnp*, los mayores componentes de corriente comprenden huecos. Puesto que los huecos van de emisor a colector y salen de la base, refiriéndonos a las polaridades convencionales de la Fig. 3-5 tendremos que I_E es positiva mientras que I_C e I_B son ambas negativas. Las tensiones V_{EB} y V_{CB} en las uniones son positivas para polarización directa y negativas para polarización inversa. En un transistor *npn* todas las polaridades de corrientes y tensiones son contrarias a las de un dispositivo *pnp*. Obsérvese que en ambos tipos de transistor I_B e I_C tienen el mismo signo opuesto al de I_E.

Características de salida

Es conveniente plantear las ecuaciones de Ebers-Moll directamente en función de I_E e I_C de la siguiente forma: en el caso de un transistor *pnp* resolver I_{CS} (ε^{V_{CB}/V_T}-1) de la Ec. (3-3). Sustituir este valor en la Ec. (3-2) e identificar I_{EO} de la Fig. (3-15*b*). El resultado (probl. 3-6) es:

$$I_E = I_{EO}\,(\epsilon^{V_{EB}/V_T} - 1) - \alpha_R I_C \qquad (3\text{-}16a)$$

Procediendo de forma similar encontraremos

$$I_C = -\alpha_F I_E + I_{CO}(\epsilon^{V_{CB}/V_T} - 1) \quad (3\text{-}16b)$$

Estas ecuaciones son válidas para un transistor *npn* añadiendo el signo menos delante de I_C, I_E, V_{EB} y V_{CB} (prob. 3-6). En la Ec. (3-16*b*) vemos que I_C depende únicamente de la corriente de entrada I_E y de la tensión de salida V_{CB}. En la Fig. 3-12 están representadas las *características de salida* que muestran esta relación y forman la familia de curvas de I_C en función de V_{CB} para distintos valores de I_E. Para representar mejor el funcionamiento en los distintos modos de trabajo se han dibujado solamente las partes de características en las proximidades de $V_{CB} = 0$. Estas características se pueden medir mediante el circuito de la Fig. 3-8 supuesto que podamos variar la amplitud de cada suministro de potencia y los valores de las dos resistencias.

En la región activa directa (Tabla 3-1) I_E es positivo, I_C es negativo y V_{CB} también negativo. Obsérvese que es costumbre (como en la Fig. 3-13) situar los valores crecientes de $|I_C|$ en el sentido positivo del eje *y* y los valores crecientes de la tensión de polarización inversa V_{CB} en el sentido positivo del eje *x*. La corriente de colector en la región activa directa es independiente de V_{CB} y por tanto constante para un valor dado de I_E. Esto resulta evidente en la Ec. (3-16*b*) que evaluada en la modalidad activa directa resulta

$$I_C = -\alpha_F I_E - I_{CO} \quad (3\text{-}17)$$

Esta ecuación es válida para un transistor *npn* si se cambia $-I_{CO}$ por $+I_{CO}$. Si $I_E = 0$ tendremos según la Ec. (3-17) que $I_C = -I_{CO}$ y el transistor está en corte. Con $I_E = 0$ la característica no coincide técnicamente con el eje V_{CB} pero figura así porque I_{CO} es extraordinariamente reducida. Obsérvese que puesto que $\alpha_F \approx 1$, $|I_C| \approx |I_E|$.

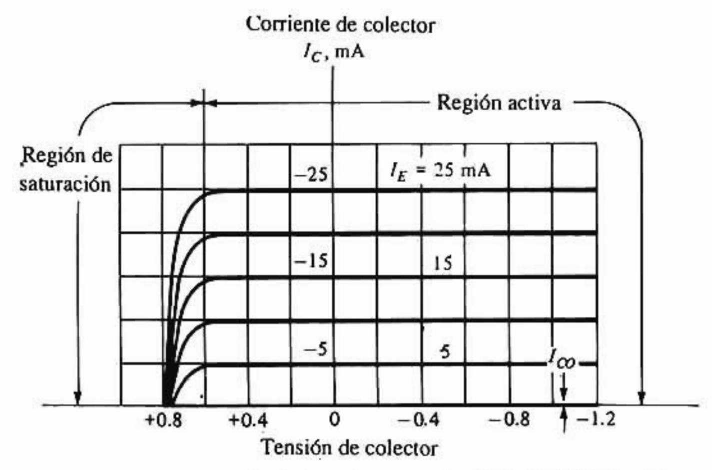
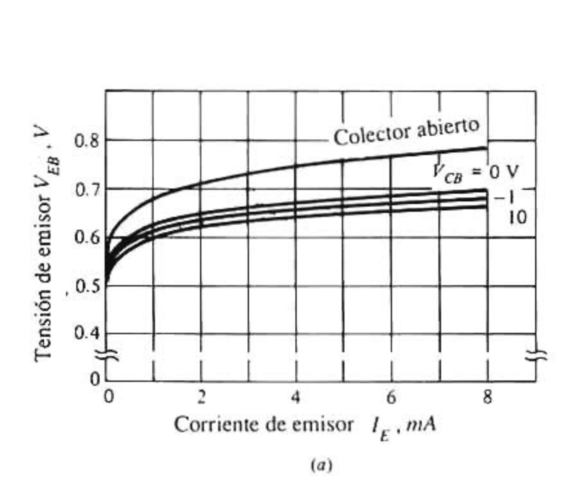


Figura 3-13. Característica de salida en base común del transistor *pnp* de silicio 2N2907A en las proximidades de la tensión de colector 0. Obsérvese que los ejes V_{CE} positivo y negativo están invertidos respecto a lo que es normal.

Las curvas señalan que aumentando V_{CB} de forma que se polarice en directo la unión ($V_{CB} \geq 0{,}6$ V) aumenta también la corriente de colector (I_C se hace menos negativo). Con ambos diodos con polarización directa el transistor está en saturación.

Las características de salida del BJT invertido nos dan I_E en función de V_{EB} para distintos valores de I_C. En estas condiciones I_C (que actúa como corriente de emisor) es positiva e I_E (actuando como corriente de colector) es negativa. Basándonos en la Ec. (3-16) se obtiene una familia de curvas (no representadas) similares a las de la Fig. 3-13.



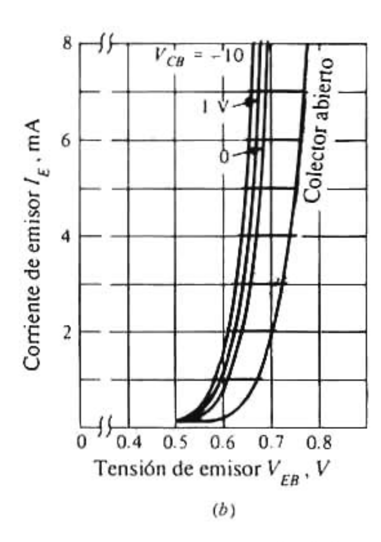


Figura 3-14. (*a*) Característica de entrada en base común (V_{EB} en función de I_E) para el transistor *pnp* 2N2907 A; (*b*) La misma característica trazada como I_E en función de V_{EB}. Obsérvese la similitud con la curva de un diodo.

Características de entrada

Las características volt-amperio de entrada son la representación de I_E en función de V_{EB} para distintos valores de V_{CB}. Como se ve en la Fig. 3-14 estas curvas representan las características del diodo emisor-base a distintas tensiones colector-base. Estas características ponen en evidencia la existencia de una tensión de corte o *umbral* $V\gamma = 0{,}5$V, por debajo del cual I_E es extraordinariamente bajo. Si trazamos la característica con polarización inversa ($V_{EB} < 0$) estando el colector en circuito abierto podremos observar una corriente de saturación igual a I_{EO}. Una segunda particularidad de esta curva es la de que la característica del diodo emisor-base queda afectada al variar V_{CB}. Veremos ahora los fenómenos relacionados con el perfil de las curvas de la Fig. 3-14.

Efecto Early o modulación del ancho de la base

En la Sección 2-13 se indicó que el ancho de la región de deplexión de una unión crece al aumentar la tensión de polarización inversa. Consideraremos únicamente los efectos debidos a la unión colector-base estando el diodo emisor-base con polarización directa. En consecuencia, el espesor efectivo *W* de la base decrece en la Fig. 3-12 al aumentar V_{CB}. Esta modulación del ancho de la base se conoce como *Efecto Early*. Podemos atribuir tres consecuencias a la modulación del ancho de la base. (1) Cuando es muy estrecha hay menos ocasiones de recombinación haciendo crecer α_F cuando crezca $|V_{CE}|$; (2) el gradiente de concentración de portadores minoritarios en la base aumenta (ya que la corriente de difusión es proporcional al gradiente de concentración, I_E aumenta con la tensión de polarización inversa en el diodo colector-base) y (3) con tensiones extremadamente altas *W* puede quedar reducida a cero provocando la ruptura del BJT. Este fenómeno de perforación se estudiará en la Sec. 3-13. Según el efecto Early, manteniendo V_{EB} constante, I_E crecerá al crecer $|V_{CB}|$. Esta conclusión explica la desviación de la característica de entrada en la Fig. 3-14. En la Sección 3-5 veremos otras manifestaciones de la modulación del ancho de la base.

3-5. CONFIGURACIÓN EN EMISOR COMÚN (CE)

Muchos circuitos de transistores de unión bipolares emplean la configuración en emisor común representado en la Fig. 3-15. Ello es debido principalmente a que es preferible usar para control la pequeña corriente de base que la de emisor. En la configuración en emisor común la corriente de entrada I_B y la tensión de salida V_{CE} son las variables independientes, mientras que la tensión de entrada V_{BE} y la corriente de salida I_C son variables dependientes.

Creemos que el funcionamiento físico de un BJT se comprende más fácilmente si nos referimos a un dispositivo *pnp*. Por ello los precedentes estudios relativos a la configuración en base común y a las ecuaciones de Ebers-Moll se basaron en el transistor *pnp*. Sin embargo, se usan prevalentemente dispositivos *npn* tanto en circuitos integrados como en forma de componentes discretos en circuitos con transistores. Por tanto enfocaremos el estudio de la configuración en emisor común hacia el transistor *npn* utilizando, como ya se indicó anteriormente, el transistor discreto 2N2222A, muy empleado en la industria.

Las características de salida[5]

La Fig. 3-16 es la familia de curvas características de salida en emisor común en las que se da I_C en función de V_{CE} para varios valores de I_B. En estas características se ha superpuesto una recta de carga correspondiente a una $R_C = 500\Omega$ y una tensión de alimentación de $V_{CC} = 10V$. La construcción de la recta de carga se basa en las leyes de Kirchhoff, lo que es igual al método desarrollado en la Sección 2-4. La característica de salida delimita tres zonas o regiones de funcionamiento. Aquí comentaremos la región activa dejando las de corte y saturación para la Sección siguiente.

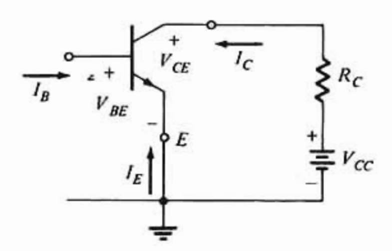


Figura 3-15. Un circuito en emisor común que emplea un transistor *npn*.

Para un transistor *npn* en la región activa debe modificarse la Ec. (3-17) haciendo $I_C = -\alpha_F I_E + I_{CO}$. Combinando esta ecuación con la Ec. (3-5) tendremos:

$$I_C = \frac{\alpha_F I_B}{1 - \alpha_F} + \frac{I_{CO}}{1 - \alpha_F} \tag{3-18}$$

Siendo $\beta_F = \alpha_F/(1 - \alpha_F)$ según la Ec. (3-13) podremos escribir la Ec. (3-18) de la siguiente forma

$$I_C = \beta_F I_B + (\beta_F + 1)\, I_{CO} \tag{3-19}$$

Es normal que trabajando el BJT en la región activa $I_B \gg I_{CO}$, por tanto

$$I_C = \beta_F I_B \tag{3-20}$$

[5] Los fabricantes no facilitan las características de entrada y de salida de sus transistores ya que raramente se utilizan en los diseños tanto analógicos como digitales. Sin embargo, estas características son necesarias para comprender el transistor. Las características que figuran en este capítulo han sido determinadas experimentalmente.

es una buena aproximación de la corriente de colector muy empleada.

La Ec. (3-20) indica el funcionamiento de fuente gobernada en el modo activo. Controlando la corriente de entrada I_B podemos determinar la de salida I_C.

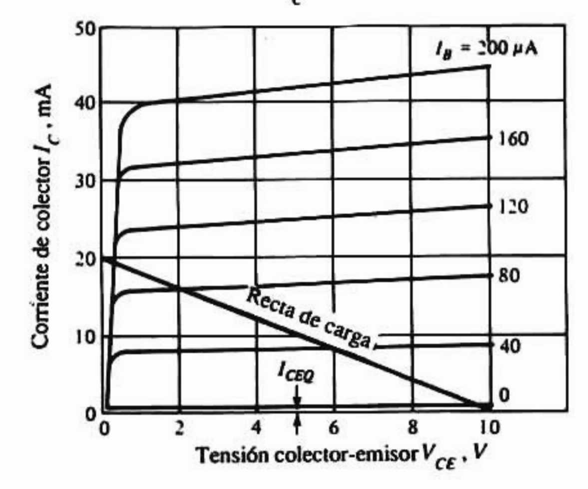


Figura 3-16. Característica de salida en emisor común del transistor *npn* de silicio 2N2222A. La recta de carga corresponde a V_{cc} = 10 V, y R_C = 500 Ω.

La *ganancia de corriente directa en continua* h_{FE} es una cantidad que los fabricantes de dispositivos especifican y que viene dada por

$$h_{FE} \equiv \frac{I_C}{I_B} \approx \beta_F \tag{3-21}$$

Los subíndices *F* y *E* indican «transferencia directa» y «emisor común» respectivamente. Siendo en general I_{CO} despreciable comparada con otras corrientes en la región activa, h_{FE} y β_F tienen prácticamente el mismo valor[6].

Si α_F fuera verdaderamente constante, entonces, de acuerdo con la Ec. (3-18), I_C sería independiente de V_{CE} y las curvas de la Fig. 3-16 serían horizontales. Se admite que debido al efecto Early α_F aumenta

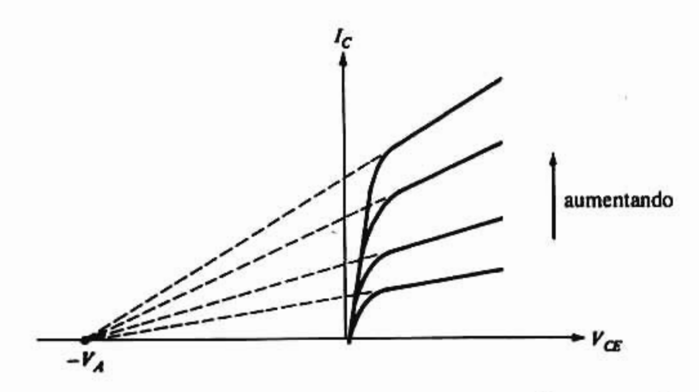


Figura 3-17. Característica de salida en emisor común para un transistor *npn*, con V_{BE} como parámetro. Las curvas se prolongan (líneas a trazos) hacia el eje negativo V_{CE}. Estas líneas se cortan en la tensión Early.

[6] A veces a la ganancia de corriente se le designa β_{dc}. Como $h_{FE} = \beta_{dc} \approx \beta_F$, en la literatura se emplean a veces indistintamente.

sólo el 0,1%, de 0,995 a 0,996 al crecer $| V_{CE} |$ desde unos pocos volt hasta 10V. Entonces β_F aumenta desde 0,995 / (1 - 0,995) = 200, hasta 0,996/(1-0,996) = 250 o sea aproximadamente un 25%. Este ejemplo numérico demuestra que una variación muy pequeña (0,1%) de α_F se traduce en un cambio muy grande (25%) en el valor de β_F. Debe quedar claro que un ligero cambio en α_F tiene un gran efecto sobre β_F y por tanto en las curvas en emisor común. Por tanto, las características en emisor común están normalmente sujetas a amplias variaciones aun entre transistores de un tipo dado. Estas variaciones en β_F deben tenerse muy en cuenta en el diseño de circuitos.

La influencia del efecto Early sobre las curvas de salida en emisor común queda reflejada gráficamente en la Fig. 3-17. En esa figura se han trazado curvas de I_c en función de V_{CE} con varios valores de V_{BE}, todo ello relativo a un transistor *npn* típico. Si prolongamos la porción recta de estas curvas hacia atrás del eje V_{CE} como se señala con las líneas de trazos, todas ellas van a parar a un mismo punto $-V_A$. La tensión V_A se denomina *tensión Early* y está normalmente comprendida entre 50 y 100V. La tensión de Early determina la pendiente en la característica I_C en función de V_{CE} (Fig. 3-17) para un valor de V_{BE} dado. La inversa de esta pendiente tiene las dimensiones del ohm, y en sucesivas secciones relacionadas con modelos de BJT, este efecto se manifestará por sí mismo como una resistencia asociada con la fuente gobernada.

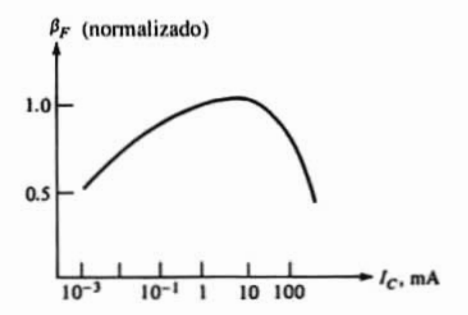


Figura 3-18. Variaciones de β normalizada con la corriente de colector I_C para un transistor integrado. Obsérvese la escala logarítmica de I_C.

También la ganancia de corriente en emisor común $\beta_F \approx h_{FE}$ varía con la corriente de colector como se ve en la Fig. 3-18 para un transistor integrado típico y en la Fig. 3-19 para el 2N2222A. Obsérvese que en ambas figuras, 3-18 y 3-19, I_C está en escala logarítmica. En la Fig. 3-18 se puede ver que β_F disminuye de su nivel medio tanto para valores pequeños como grandes de I_C[7]. La mayoría de circuitos integrados

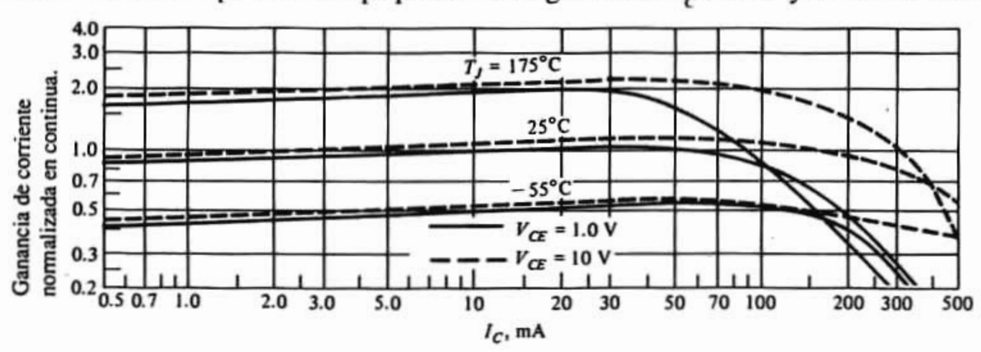


Figura 3-19. Curvas de β_F (normalizadas a la unidad con V_{CE} = 1 V, I_c = 30 mA a T = 25 °C) en función de la corriente de colector a tres distintas temperaturas T_j de la unión, correspondientes al transistor 2N2222A (cortesía de Motorola Inc.).

[7] Esto es debido a efectos parásitos superficiales con corrientes bajas y a efectos de segundo orden, relacionados con la inyección de portadores, con valores altos de I_C. Los detalles de estas situaciones escapan del objeto de este libro.

bipolares utilizan transistores en su zona media donde β_F es casi constante. Las curvas de la Fig. 3-19 también acusan la disminución de $h_{FE} = \beta_F$ con niveles altos y bajos de corriente; sin embargo la ganancia de corriente normalizada es razonablemente constante. Obsérvese el incremento de h_{FE} debido al efecto Early cuando V_{CE} aumenta de 1 a 10V. Ambas familias de curvas muestran una amplia variación de β_F aún en un transistor de un tipo en particular. Los fabricantes de dispositivos, generalmente especifican los valores mínimo y máximo para algunos valores de V_{CE} y distintas temperaturas.

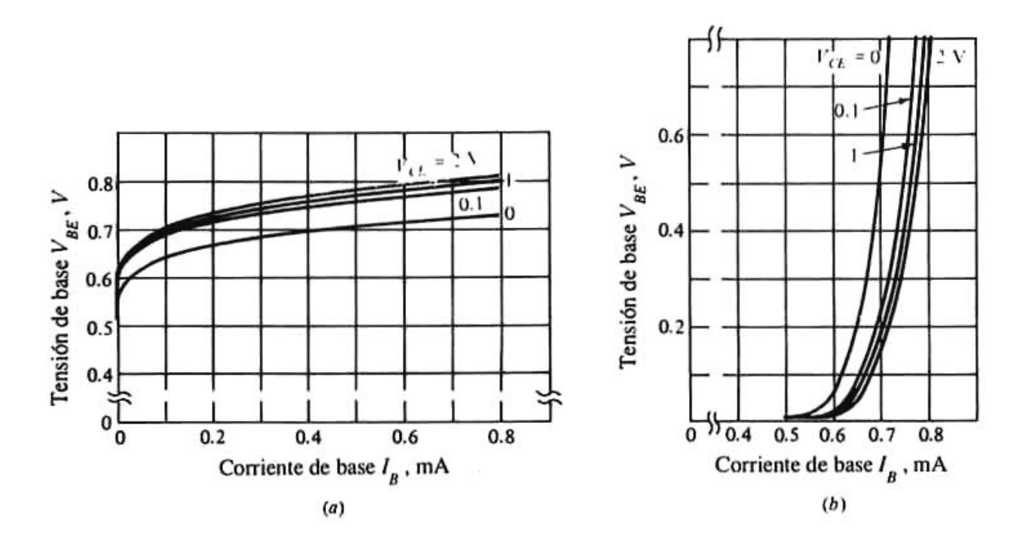


Figura 3-20. (*a*) Características de entrada en emisor común (V_{BE} en función de) del transistor 2N2222A. (*b*) Las mismas curvas trazadas como I_B en función de V_{BE} (Obsérvese la semejanza con la característica del diodo).

Las características de entrada

Las características de entrada (Fig. 3-20) son curvas que muestran la relación entre I_B y V_{BE} para distintos valores V_{CE}. Se puede observar que con el colector cortocircuitado con el emisor y éste con polarización directa, la característica de entrada es esencialmente la de un diodo con polarización directa. Si V_{BE} se anula, I_B será cero ya que en estas condiciones tanto la unión de emisor como la de colector están en cortocircuito. En general el incremento de $|V_{CE}|$ siendo V_{BE} constante, reduce el ancho de la base debido al efecto Early con el resultado de disminuir la corriente de recombinación de la base. Estas consideraciones explican la forma de las características de entrada representadas en la Fig. 3-20.

El modo activo inverso

Las características de entrada y de salida del transistor invertido tienen la misma forma general de las Figs. 3-20 y 3-16. La característica de entrada activa inversa muestra el funcionamiento de la unión colector-base con polarización directa. Recuérdese que en el modo activo inverso α_R y β_R tienen valores menores que α_F y β_F respectivamente. En consecuencia, para un valor dado de I_B el valor de I_E será menor en el modo activo inverso que en la región activa directa.

3-6. CORTE Y SATURACIÓN

En la Sec. 3-2 se indicó cualitativamente que el funcionamiento de un BJT en corte o en saturación se aproxima al estado de un interruptor abierto o cerrado respectivamente. En esta Sección veremos la actuación del transistor en ambos casos, bajo un punto de vista más cuantitativo.

Corte

En corte. ambas uniones tienen polarización inversa. En la configuración en base común ya demostramos que se produce el corte cuando la corriente de entrada $I_E = 0$ y por tanto $I_C = -I_B = I_{CO}$. Ahora examinaremos la operación cuando con emisor común la corriente de entrada $I_B = 0$. Es importante tener en cuenta que teóricamente ninguna de las dos uniones tiene polarización inversa si la base está en circuito abierto (prob. 3-5). Según la Ec. (3-5), si $I_B = 0, I_E = -I_C$ y valiéndose de la Ec. (3-18) tendremos

$$I_C = -I_E = \frac{I_{CO}}{1 - \alpha_F} \equiv I_{CEO} \tag{3-22}$$

Los subíndices de la corriente I_{CEO} en la Ec. (3-22) indican que la corriente va de C (colector) a E (emisor) cuando B (el terminal que falta) está O (abierto). Con $I_C \approx I_{CO}$, α_F está muy próxima a cero por la recombinación en la región de deplexión emisor-base. Por tanto, de la Ec. (3-22) deducimos que $I_C = -I_E = I_{CEO} = I_{CO}$ y a efectos prácticos el transistor está muy aproximadamente en corte. En el ejemplo 3-1[8] la relación dada por la Ec. (2) indica que al acercarse α_F a cero, $V_{EB} \approx 0$. Por tanto, el corte de un transistor de silicio ($I_E = 0$) requiere una tensión inversa V_{BE} prácticamente nula y $-I_B = I_C = I_{CO}$.

La corriente de colector en un transistor físico (no idealizado, real, comercial) cuando la corriente de emisor es nula se designa con el signo I_{CBO}. Existen dos factores que contribuyen a hacer I_{CBO} mayor que I_{CO}: (1) existe una corriente de fuga que fluye no a través de la unión sino alrededor de ella y por la superficie (esta corriente es proporcional a la tensión a través de la unión) y (2) I_{CBO} supera a I_{CO} porque pueden generarse nuevos portadores por colisión en la región de transición de la unión de colector, conduciendo a la multiplicación de avalancha. Pero aun antes de aproximarse la ruptura, esta componente de multiplicación de la corriente puede alcanzar proporciones considerables (Fig. 3-40).

El valor de I_{CBO} a 25 °C en un transistor de silicio con una disipación de potencia de algunos centenares de miliwats es del orden de los nanoamperios. Los BJT integrados de pequeñas dimensiones tienen valores de I_{CBO} de unas decenas o centenas de picoamperios.

Un transistor de germanio tiene una I_{CBO} del orden de los microamperios. La sensibilidad de I_{CBO} en relación a la temperatura es la misma que la de la corriente de saturación inversa I_S de un diodo *pn* (Sec. 2-4). Concretamente, se ha determinado que I_{CBO} se duplica aproximadamente por cada 10 °C de aumento de temperatura, en el caso del silicio. Sin embargo, dado el bajo valor absoluto de I_{CBO} en el silicio, estos transistores se pueden usar hasta temperaturas de la unión de hasta 200 °C mientras que los transistores de germanio quedan limitados a unos 100 °C.

Además de la variación de la corriente de saturación inversa con la temperatura, puede haber también una gran variabilidad (con un factor ≥ 100) de I_{CBO} entre ejemplares de transistores discretos de un determinado tipo. Por ello en las especificaciones de los fabricantes (Apéndice B-3) figuran los valores máximos de I_{CBO}. Un transistor de silicio de baja potencia se considera que «pierde» si I_{CBO} supera los 10 *nA* a 25 °C.

---

[8] En este ejemplo se ha supuesto que α_F es constante a todos los niveles de la corriente.

Corte en el transistor invertido

Tendremos en corte el transistor invertido polarizando en inverso el diodo emisor-base con el colector en circuito abierto. En estas condiciones la corriente de corte de emisor es I_{EBO}. Para valores especificados de V_{CE} y V_{BE} (con polarización inversa) las corrientes de corte de colector y de base se designan I_{CEX} e I_{BL} respectivamente. El valor máximo de estas corrientes figura también en las especificaciones y son del mismo orden de magnitud que I_{CBO}.

La región de saturación en emisor común

En la región de saturación la unión de colector (y también la de emisor) está polarizada en directo por lo menos a la tensión umbral. Como sea que la tensión V_{BE} (o V_{BC}) es sólo de unas pocas décimas de volt, $V_{CE} = V_{BE} - V_{BC}$ también es de unas pocas décimas de volt en saturación. Por tanto, en la Fig. 3-16 la región de saturación está muy próxima al eje de tensión cero, donde se unen todas las curvas cayendo rápidamente hacia el origen. En la Fig. 3-16 se ha señalado, sobre las características, una recta de carga correspondiente a una resistencia $R_C = 500\ \Omega$ y una tensión de alimentación de 10 V. Observamos que en la región de saturación la corriente de colector es aproximadamente independiente de la corriente de base para unos valores dados de V_{CC} y R_C. Por tanto debemos considerar que la irrupción de la saturación tiene lugar en el codo de las curvas del transistor de la Fig. 3-16.

Las curvas de la Fig. 3-16 no nos permiten leer la tensión colector-emisor $V_{CE\,(sat)}$ con alguna precisión. En su lugar nos valdremos de la Fig. 3-21 en la que se han extendido las características en la zona entre 0 y 0,5 V de la Fig. 3-16, y se ha superpuesto la misma recta de carga correspondiente a $R_C = 500\ \Omega$ y $V_{CC} = 10$ V. Observamos que en saturación tanto I_C como V_{CE} son casi independientes de I_B. El cambio de I_B desde 120 a 160 μA (Fig. 3-21) representa un cambio en $V_{CE\,(sat)}$ de unos 50 mV y una variación de I_C inapreciable aún con la escala ampliada. Contrariamente, en la Fig. 3-16 una variación de 40 μA en I_B (de 40 a 80 μA) va acompañada de un cambio significativo tanto de I_C como de V_{CE}. Esta es la región activa en la que $I_C = \beta_F I_B$. En saturación I_B ya no «controla» I_C de forma que α_F ya no relaciona ambas. Es conveniente introducir el parámetro



$$\beta_{\text{forzada}} \equiv \left.\frac{I_C}{I_B}\right|_{\text{en saturación}} \tag{3-23}$$

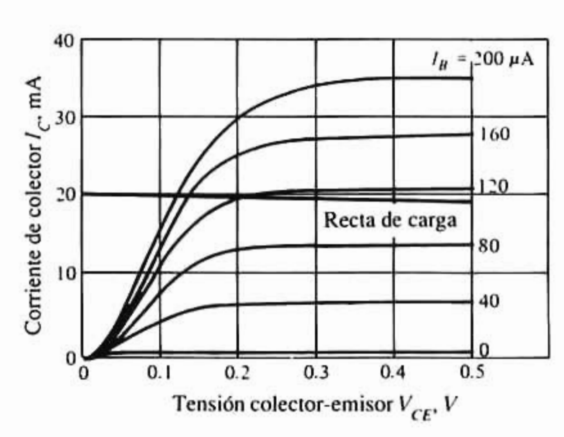


Figura 3-21. Características del transistor 2N2222A en y cerca de la región de saturación: sobrepuesta, una recta de carga correspondiente a $V_{cc} = 10$ V y $R_c = 500\ \Omega$

para relacionar I_C e I_B en saturación. Obsérvese que $\beta_{forzada} < \beta_F$. El caso de $\beta_{forzada} = \beta_F$ corresponde a la región activa. Tanto la Fig. 3-16 como la Fig. 3-21 muestran que en saturación I_C viene determinada por los elementos externos V_{CC} y R_C y vale aproximadamente V_{CC}/R_C.

También vemos en la Fig. 3-21 que la tensión colector-emisor $V_{CE\,(sat)}$ varía algo con I_B. En circuitos digitales que emplean el BJT como interruptor, el valor de $V_{CE\,(sat)}$ tiene su importancia. (Se puede considerar $V_{CE\,(sat)}$ como indicador de cuanto se aproxima un interruptor práctico al ideal.) Para determinar analíticamente el valor de $V_{CE\,(sat)}$ se emplean las ecuaciones de Ebers-Moll. Los detalles de este análisis se dejan para el lector (problema 3-7). El procedimiento es el siguiente: partiendo de la Ecs. (3-6) y (3-7) se obtiene la expresión de I_B. Despejar I_{ED} e I_{CD} de las ecuaciones de I_C e I_B. Tomar el logaritmo de I_{ED}/I_{CD} e identificar $V_{CE} = V_{CB} - V_{EB}$ y $\beta_{forzada} = I_C/I_B$. El resultado es:

$$V_{CE} = V_{CE(sat)} = V_T \ln \frac{1/\alpha_R + \beta_{forzada}/\beta_R}{1 - \beta_{forzada}/\beta_F} \tag{3-24}$$

La tabla 3-2 indica las variaciones de $V_{CE\,(sat)}$ al variar $\beta_{forzada}$, a temperatura ambiente para un transistor integrado que tenga $\beta_F = 100$ y $\beta_R = 1$.

Tabla 3-2. Variación de $V_{CE\,(sat)}$ con $\beta_{forzada}$

$\beta_{forzada}$	99.9	99	75	50	25	10	5	1	0.1	0.01
$V_{CE(sat)}$ (mV)	286	231	143	116	86	65	50	28	19	18

En la tabla 3-2 vemos que $V_{CE\,(sat)}$ decrece al decrecer $\beta_{forzada}$ y el BJT llega más lentamente a saturación. La deducción de la Ec. (3-24) prescinde de la resistencia del semiconductor que forma la región de colector[9]. Aún con una resistencia baja como de 5 Ω una corriente de 10 mA produce una caída de 50 mV, por lo que generalmente se admite que $V_{CE\,(sat)}$ es de unos 0,2 V. También se observa que a medida que $\beta_{forzada}$ se aproxima a β_F, $V_{CE\,(sat)}$ es de unos 0,3 V.[10] Generalmente se toma $V_{CB\,(sat)} = 0{,}3$ V como frontera entre las regiones activa y de saturación. Los transistores que trabajan en esta zona se dice que están escasamente saturados o en el borde de saturación.

La mayor parte de fabricantes de transistores discretos facilitan las variaciones de $V_{CE\,(sat)}$ en función de I_C para un $\beta_{forzada} = 10$. En la Fig. 3-22 se representan tales curvas correspondientes a un 2N2222A. Con corrientes altas se nota un aumento de $V_{CE\,(sat)}$ debido a los efectos de la resistencia de la masa.[11]

En toda la zona de corrientes medias el valor de $V_{CE\,(sat)}$ es comparable al de los transistores integrados. En la Fig. 3-22 está también representada la variación con I_C de la tensión emisor-base en saturación $V_{BE\,(sat)}$.

A veces para definir el BJT en saturación se emplea el valor de $V_{CE\,(sat)}/I_C$, cantidad denominada *resistencia de saturación en emisor común*, que se representa por R_{CES}, R_{CS} o $R_{CE\,(sat)}$. Para especificar apropiadamente R_{CES} debemos indicar el punto de trabajo en el que se ha determinado. Téngase en cuenta que cuando R_{CES} se determina a partir de valores medios quedan incluidos los efectos de la resistencia de la masa. La utilidad de R_{CES} proviene del hecho (como se ve en la Fig. 3-21) de que a la izquierda del codo cada curva, para un valor dado de I_B, puede aproximarse a una línea recta.

[9] La resistencia de la masa del emisor tiene también sus efectos. De todas formas, la densidad de dopado y las dimensiones físicas son los predominantes en la resistencia del colector

[10] El límite de $V_{CE\,(sat)}$ a medida que $\beta_{forzada}$ tiende a β_F es según la Ec. (3-24), infinito. Sin embargo $\beta_{forzada} = \beta_F$ corresponde a la región activa, por lo que los supuestos empleados al deducir la Ec. (3-24) ya no son válidos.

[11] La construcción de BJT discretos permite que la resistencia de la masa sea menor que en circuitos integrados.

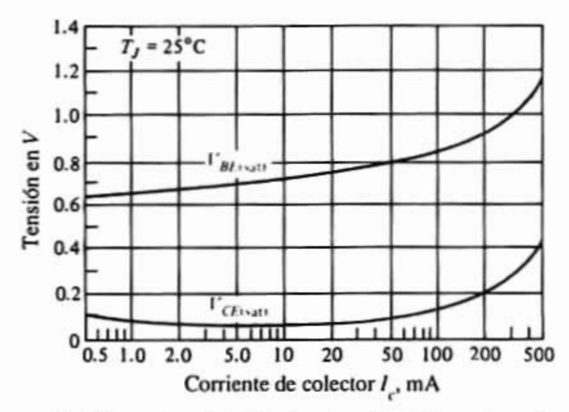


Figura 3-22. Tensiones de saturación del transistor 2N2222A en función de la corriente de colector para I_c/I_B = 10. Obsérvese que I_c está dibujada a escala logarítmica (Cortesía de Motorola Inc.).

Resumen de tensiones en un BJT

En la tabla 3-3 se indican los valores de las tensiones de trabajo típicas de un transistor. A lo largo del texto estos son los valores que emplearemos.

Tabla 3-3. Tensiones típicas en la unión, a 25 °C

	V_{CE} *al punto de saturación*		V_{BE}			
Cantidad		$V_{CE(sat)}$	*Umbral*	*Activo*	*Saturación*	*Corte*
Valor (en V)	0.3	0.2	0.5	0.7	0.8	0

Es razonable esperar que la variación por temperatura de la tensión a través de una unión con polarización directa sea la misma que en un diodo, es decir -2,2 mV/°C. En saturación, el transistor consiste en dos diodos con polarización directa, en oposición. Por tanto debemos anticipar que el cambio de tensión en una unión, debido a la temperatura quedará cancelado por el cambio en la otra unión. Este es el caso de $V_{CE\,(sat)}$ cuyo coeficiente de temperatura es una décima parte del de $V_{BE\,(sat)}$.

Los valores de las corrientes y tensiones obtenidos de cálculos manuales basados en los datos de la tabla 3-3 se corresponden bien con los valores experimentales. Sin embargo no hay que olvidar que estos valores son los típicos pero no exactos.

Existe una variedad de motivos en el diseño, fabricación y manejo de circuitos que exigen que el diseñador disponga de resultados más precisos. En esta situación se emplean mucho simuladores tales como el SPICE. Pero aún se emplean los cálculos «con lápiz y papel» para indicar los valores nominales de los datos del circuito.

3-7. MODELOS DE CONTINUA

A partir de lo visto anteriormente respecto a las ecuaciones de Ebers-Moll podemos construir un modelo de corriente continua (cc) para cada región de trabajo de un BJT. Nos referimos especialmente a la configuración en emisor común, pero los modelos se aplican igualmente a circuitos en base común.

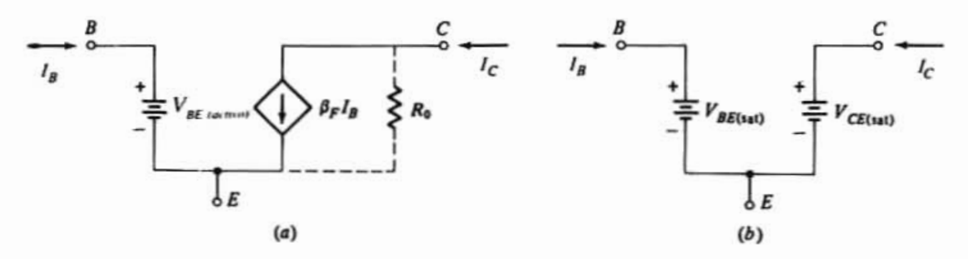


Figura 3-23. Circuitos equivalentes de gran señal (en continua) de un transistor *npn* para funcionamiento: (*a*) activo directo, y (*b*) en la región de saturación.

En la Fig. 3-23*a* vemos el modelo para la región activa directa basado en la Ec. (3-11). Como las corrientes de saturación inversas son sumamente pequeñas generalmente se desprecian. La batería del circuito base-emisor es V_{BE} que según la tabla 3-3 vale normalmente 0,7 V. La fuente de corriente gobernada $\beta_F I_B$ relaciona I_C con I_B en la región activa. La resistencia R_o señalada con trazos en el dibujo, es consecuencia del efecto Early. Normalmente R_o es suficientemente grande frente a las resistencias exteriores utilizadas que en muchos cálculos manuales se puede despreciar.[12]

La corriente I_{CBO} entra en el terminal colector y deja el terminal de la base en la región de corte (I_E = 0). Las caídas de tensión producidas por I_{CBO} a través de las resistencias externas de base y colector son menores de unos pocos milivolt a la temperatura ambiente. En consecuencia, frecuentemente es conveniente representar el corte por circuitos abiertos entre cada par de terminales del transistor.

En saturación, el circuito equivalente de la Fig. 3-23*b* sirve para determinar las corrientes y tensiones en un circuito. Las dos baterías representan los valores de saturación en los terminales, $V_{BE\,(sat)}$ y $V_{CE\,(sat)}$.

El empleo de estos modelos en el análisis de circuitos BJT requiere que conozcamos la región en función. El método requiere que, al igual que con los circuitos de diodos en la Sec. 2-7, demos por supuesta una determinada región en funcionamiento y comprobar mediante análisis tal suposición. La observación de la configuración del circuito y los motivadores de polarización, así como algo de experiencia ayudan a conjeturar correctamente. Los cuatro ejemplos siguientes muestran la metodología empleada en el análisis. Cada uno de los circuitos de estos ejemplos, normalmente se incorpora como una parte de los circuitos analógicos y digitales descritos más adelante en el texto.

Ejemplo 3-2

Determinar la región de funcionamiento y los valores de I_B, I_C y V_{CE} del circuito de la Fig. 3-24*a* siendo R_B igual a: (a) 300 k Ω y (b) 150 k Ω. El transistor empleado tiene β_F = 100. Prescindir de las corrientes de saturación inversas.

Solución

Observando el circuito de la Fig. 3-24*a* resulta evidente que teniendo la base unida a una tensión positiva y el emisor conectado a tierra, V_{BE} será mayor que cero. Por tanto podemos decir con seguridad que la unión emisor-base tiene polarización directa. En consecuencia el BJT está en su modo activo directo o bien en saturación. Supongamos el funcionamiento activo-directo y empleemos el modelo de la Fig. 3-23*a* para tener el circuito equivalente de la Fig. 3-24*b*. Obsérvese que en la Fig. 3-24*a* el terminal + V_{CC}

[12] No se desprecia cuando se emplean simuladores.

significa una conexión al terminal positivo de la fuente de tensión, llevando implícito que el terminal negativo de la fuente esté conectado a tierra.

Para comprobar nuestra suposición se calcula V_{CE}. Si ésta resulta ser mayor de 0,3 V la suposición ha sido correcta. Si V_{CE} es menor de 0,3 V (véase tabla 3-2) señala una suposición errada; el BJT está en saturación y debemos calcular de nuevo las corrientes y tensiones usando el modelo BJT dado en la Fig. 3-23*b*.

(*a*) En el circuito de la Fig. 3-24*b* la ley de Kirchhoff aplicada al lazo emisor-base da

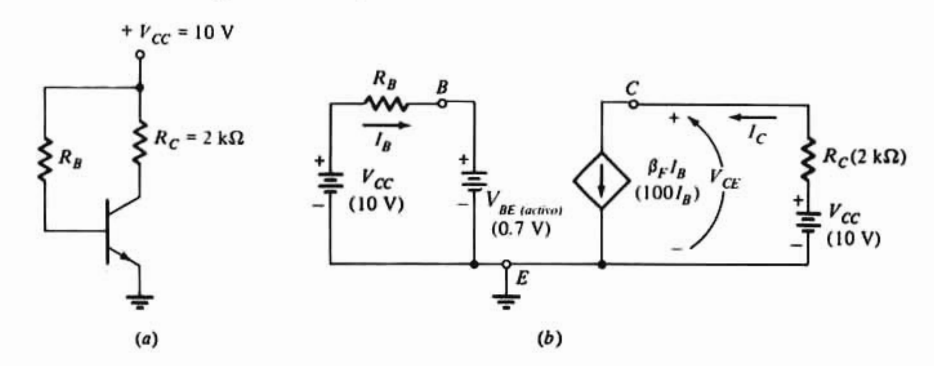


Figura 3-24. (*a*) Diagrama esquemático de la configuración en emisor común; (*b*) circuito equivalente del apartado anterior.

$$-V_{CC} + I_B R_B + V_{BE} = 0$$

Despejando I_B y sustituyendo valores tendremos[13]

$$I_B = \frac{V_{CC} - V_{BE}}{R_B} = \frac{10 - 0.7}{300} = 0.031 \text{ mA} = 31.0 \ \mu\text{A}$$

y para el lazo de colector

$$I_C = \beta_F I_B \qquad \text{y} \qquad -V_{CC} + I_C R_C + V_{CE} = 0$$

de donde

$$I_C = 100 \times 0.031 = 3.10 \text{ mA}$$

y

$$V_{CE} = V_{CC} - I_C R_C = 10 - 3.1 \times 2 = 3.80 \text{ V}$$

Siendo $V_{CE} > 0{,}3$ V queda confirmada nuestra suposición inicial.

(*b*) Con $R_B = 150$ kΩ y haciendo uso de las mismas relaciones que en la parte (*a*) obtendremos

$$I_B = \frac{10 - 0.7}{150} = 0.062 \text{ mA} = 62.0 \ \mu\text{A} \qquad I_C = 100 \times 0.062 = 6.20 \text{ mA}$$

y

$$V_{CE} = 10 - 6.2 \times 2 = -2.40 \text{ V}$$

[13] Para los cálculos es conveniente expresar la corriente en miliamperios y la resistencia en kiloohmios, y así lo haremos salvo que se indique lo contrario.

Siendo V_{CE} menor de 0,3 V no es válida nuestra suposición y el BJT está en saturación. Ciertamente, teniendo una tensión de alimentación del colector positiva es físicamente imposible que V_{CE} sea negativo.

En saturación $V_{BE\,(sat)} = 0{,}8$ V y $V_{CE\,(sat)} = 0{,}2$ V. Estos valores nos dan

$$I_B = \frac{10 - 0.8}{150} = 0.0613 \text{ mA}$$

$$I_C = \frac{V_{CC} - V_{CE(sat)}}{R_C} = \frac{10 - 0.2}{2} = 4.90 \text{ mA}$$

Figura 3-25. (*a*) Circuito para el ejemplo 3-3; (*b*) el circuito anterior con el transistor sustituido por su modelo en continua (Fig. 3-23*a*).

Ejemplo 3-3

Determinar para el circuito de la Fig. 3-25*a* la región de funcionamiento y los valores de I_B, I_C y V_{CE} teniendo el transistor $\beta_F = 100$.

Solución

Este circuito se diferencia del de la Fig. 3-24*a* en dos aspectos: (1) se ha añadido una resistencia de emisor, y (2) las resistencias de base y de colector están conectadas a tierra y el emisor está conectado a través de R_E a una tensión negativa. Supondremos que está trabajando en el modo activo directo; el circuito equivalente es el representado en la Fig. 3-25*b*.

Aplicando la ley de Kirchhoff al lazo base-emisor tendremos:

$$I_B R_B + V_{BE} - I_E R_E - V_{EE} = 0$$

Puesto que la ley de Kirchhoff requiere que $I_E = -(I_B + I_C)$ y $I_C = \beta_F I_B$, la ecuación se convierte en

$$I_B\,[R_B + (1 + \beta_F)R_E] + V_{BE} - V_{EE} = 0$$

Despejando I_B y aplicando los valores numéricos:

$$I_B = \frac{V_{EE} - V_{BE}}{R_B + (1 + \beta_F)R_E} = \frac{10 - 0.7}{270 + (1 + 100)(1)} = 0.0251 \text{ mA}$$

La expresión de Kirchhoff para el lazo colector-emisor nos da

$$I_C R_C + V_{CE} - I_E R_E - V_{EE} = 0$$

Para la modalidad de emisor sustituiremos $-I_E$ por $I_B + B_F I_B = (1 + \beta_F)\, I_B$ y con $I_C = \beta_F I_B$, obtendremos

$$\beta_F I_B R_C + V_{CE} + (\beta_F + 1) I_B R_E - V_{EE} = 0$$

Despejando V_{CE} y aplicando los valores conocidos se obtiene

$$V_{CE} = V_{EE} - \beta_F I_B \left(R_C + \frac{\beta_F + 1}{\beta_F} R_E \right)$$

$$= 10 - 100 \times 0.0251 \left(1 + \frac{100 + 1}{100} \times 1 \right) = 4.96 \text{ V}$$

Evidentemente V_{CE} es mayor que 0.3 V lo que confirma nuestra suposición de que se opera en la región activa directa, y por tanto

$$I_C = \beta_F I_B = 100 \times 0.0251 = 2.51 \text{ mA}$$

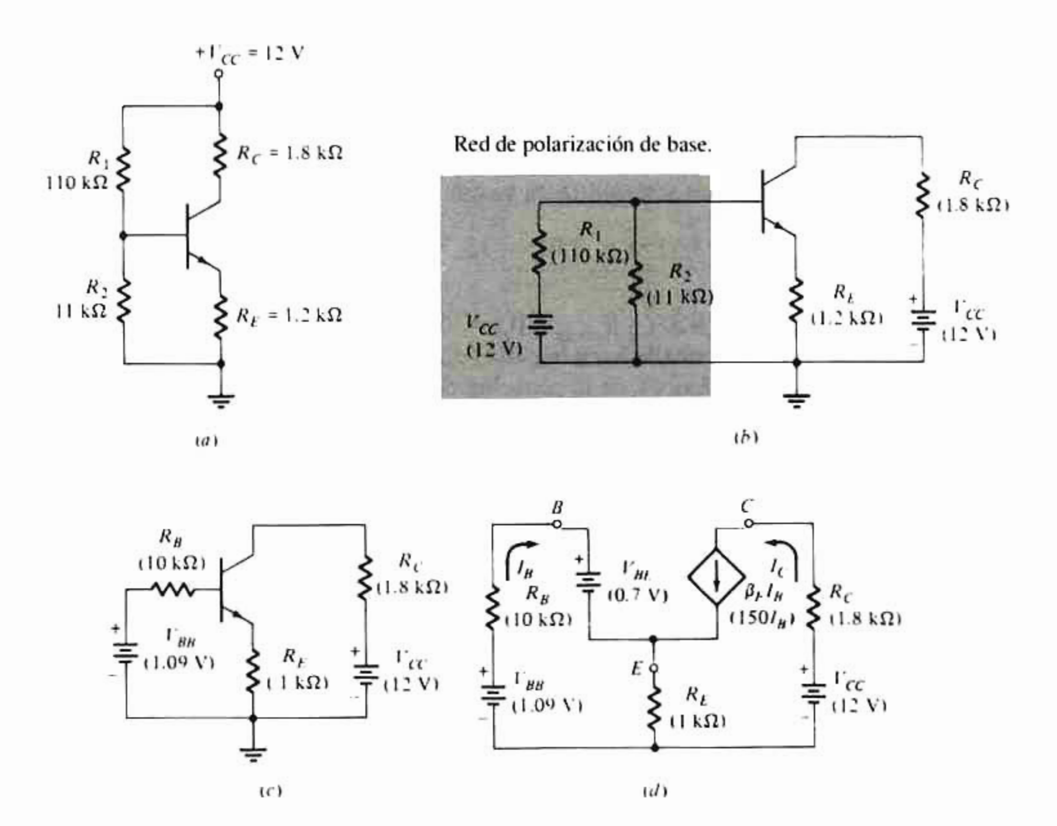


Figura 3-26. (*a*) Circuito para el Ejemplo 3-4; (*b*) el mismo circuito señalando la red de polarización de la base. En la parte (*c*) se sustituye esta red por su equivalente de Thèvenin. En (*d*) el trai sistor está representado en su modelo activo-directo.

Ejemplo 3-4

(*a*) Hallar I_C y V_{CE} en el circuito de la Fig. 3-26*a*. El transistor tiene $\beta_F = 150$. (*b*) ¿Cuál es el mínimo valor de R_C para que el transistor esté justamente saturado?

Solución

(*a*) Por conveniencia la Fig. 3-26*a* se representa como en la Fig. 3- 26*b*. La red de polarización de la base indicada en esta última figura se puede sustituir por su equivalente de Thèvenin como en la Fig. 3-26*c* en la que

$$V_{BB} = \frac{R_2}{R_1 + R_2} V_{CC} = \frac{11 \times 12}{110 + 11} = 1.09 \text{ V}$$

$$R_B = R_1 \parallel R_2 = \frac{R_1 R_2}{R_1 + R_2} = \frac{110 \times 11}{110 + 11} = 10 \text{ k}\Omega$$

Obsérvese la semejanza de este circuito con el de la Fig. 3-24*a* (con el añadido de R_E). Supondremos también que se opera en la región activa-directa cuyo modelo es el de la Fig. 3-26*d*. Procediendo como en el ejemplo 3-3 con V_{BB} reemplazando V_{EE} en el lazo de base y V_{CC} reemplazando a V_{EE} en el de colector, tendremos

$$I_B = \frac{1.09 - 0.7}{10 + (150 + 1) \times 1.2} = 2.04 \times 10^{-3} \text{ mA} = 2.04 \ \mu\text{A}$$

$$V_{CE} = 12 - 150 \times 2.04 \times 10^{-3} \left[1.80 + \frac{150 + 1}{150} \times 1.20 \right] = 11.1 \text{ V}$$

El transistor está con polarización activa-directa ya que V_{CE} es mayor que 0,3 V. Por tanto

$$I_C = 150 \times 2.04 \times 10^{-3} = 0.306 \text{ mA}$$

(*b*) Al borde de saturación $V_{CE} = 0{,}3$ V y $\beta_{\text{forzada}} = \beta_F = 150$. Si no hay cambios en la red de polarización de la base, I_B se mantiene en el valor hallado en la parte (*a*). Con $\beta_F = 150$ I_C también es igual a lo hallado en la parte (*a*), o sea 0,306 mA. Entonces, de la ecuación de Kirchhoff para el lazo colector-emisor de la parte (*a*) se determina R_C

$$R_C = \frac{V_{CC} - V_{CE}}{I_C} - \frac{\beta_F + 1}{\beta_F} R_E$$

$$= \frac{12 - 0.3}{0.306} - \frac{150 + 1}{150} \times 1.20 = 37.0 \text{ k}\Omega$$

Este es el valor de R_C correspondiendo al borde de saturación. Cualquier valor de R_C que sea superior a 37,0 kΩ, reduce I_C, y en consecuencia, siendo I_B constante, lleva al transistor más allá de saturación.

Ejemplo 3-5

Hallar I_C y V_{CE} para el circuito de la Fig. 3-27*a*. El transistor tiene $\beta_F = 125$ y $\beta_R = 2$.

Solución

Supongamos la situación en activa-directa. La ecuación de Kirchhoff del lazo emisor-base es, con $I_E = -(\beta + 1)I_B$

$$I_B R_B + V_{BE} + (\beta_F + 1)I_B R_E = 0$$

Examinando esta ecuación vemos que con $V_{BE} > 0$, I_B será negativa. Esto es imposible en un transistor *npn*. Con $I_{CBO} \approx 0$, I_B deberá ser también igual o mayor que cero. Es decir, que la unión emisor-base no puede tener polarización directa: con polarización inversa el BJT estará o bien en corte o en el modo activo-inverso. Si suponemos que está en corte tendremos que $I_B = I_C = I_E = 0$. En consecuencia la caída de tensión entre base y tierra es $V_{EE} = 5$ V y la caída entre colector y tierra es de 0 V. Estos valores hacen que V_{BC} sea positivo (5 V) polarizando en directo la unión del diodo colector-base. Por tanto, el BJT sólo puede estar en el modo activo-inverso.

La Fig. 3-27*b* corresponde al circuito equivalente para este caso. En la figura se ve que la ecuación de Kirchhoff en el lazo base-colector exige que:

$$-V_{EE} + I_B R_B + V_{BC} - I_C R_C = 0$$

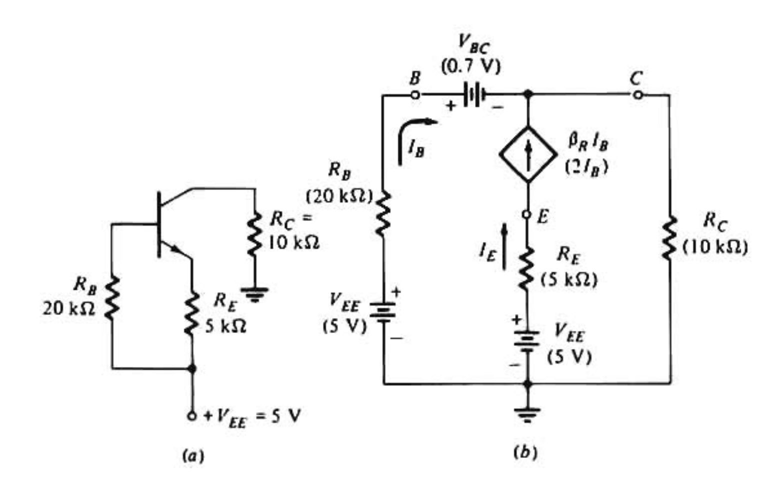


Figura 3-27. (*a*) Circuito para el Ejemplo 3-5; en la parte (*b*) se utiliza el circuito equivalente activo-inverso del transistor.

En el modo activo-inverso $-I_C = (\beta_R + 1)\, I_B$; si despejamos I_B, resulta

$$I_B = \frac{V_{EE} - V_{BC}}{R_B + (\beta_R + 1)R_C} = \frac{5 - 0.7}{20 + (2 + 1)10} = 0.086 \text{ mA}$$

Las corrientes de colector y de emisor serán

$$I_C = -(2 + 1) \times 0.086 = -0.258 \text{ mA}$$
$$I_E = \beta_R I_B = 2 \times 0.086 = 0.172 \text{ mA}$$

El valor de V_{CE} se deduce de la ecuación de Kirchhoff para el lazo colector-emisor

$$I_C R_C + V_{CE} - I_E R_E + V_{EE} = 0$$

Sustituyendo los valores numéricos conocidos

$$V_{CE} = -V_{EE} + I_E R_E - I_C R_C$$
$$= -5 + 0.172 \times 5 - (-0.258)\ 10 = -1.56\ \text{V}$$

Obsérvese que en el modo activo-inverso V_{CE} es negativo y $|V_{CE}| > 0{,}3$ V ya que se han invertido las funciones de colector y emisor. Si $|V_{CE}| < 0{,}3$ V siendo V_{CE} negativo, esto indica saturación del transistor invertido.

3-8. EL TRANSISTOR DE UNIÓN BIPOLAR COMO INTERRUPTOR

El circuito de la Fig. 3-28*a* es el de un simple interruptor. La onda de tensión de entrada v_s representada en la figura se emplea para controlar el estado del interruptor (entre colector y emisor). Para $t<T_1$, $v_s = -V_1$ y el diodo emisor-base tiene polarización inversa. Si despreciamos las componentes de corriente inversa,[14] ya que el diodo colector-base está polarizado en inverso, el BJT está en corte y no hay corriente alguna en ningún punto del circuito. En consecuencia $v_O = V_{CC}$, y siendo $i_C = 0$ esto no es más que un interruptor abierto. En la práctica $i_C \approx I_{CO}$ y $v_O = V_{CO} - I_{CO} R_L$. Sin embargo, siendo I_{CO} del orden de los nanoamperios y R_L del orden de los kiloohmios, v_O diferirá de V_{CC} en tan sólo unos pocos milivolt, y por tanto, a efectos prácticos $v_O = V_{CC}$.

La tensión de entrada pasa a ser V_2 cuando $T_1 < t < T_2$. El valor de V_2 se elige de forma que el transistor esté por lo menos en el límite de la saturación. Según la tabla 3-2, $v_{CE} = v_O = V_{CE(sat)} \leq 0{,}3$ V, e $i_C = (V_{CC} - V_{CE(sat)})/R_L$. Estos valores se aproximan a los de un interruptor cerrado. Obsérvese que la corriente en un interruptor cerrado viene determinada por los elementos externos V_{CC} y R_L. Para $V_{CC} \gg 0{,}3$ V, $i_C = V_{CC}/R_L$.

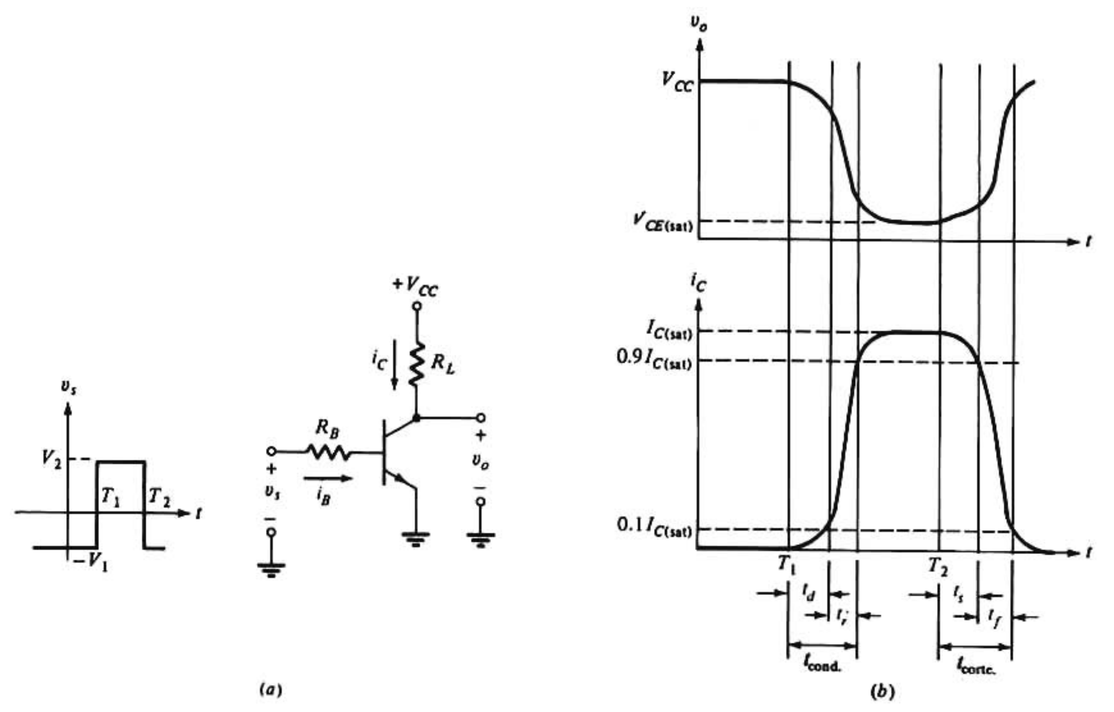


Figura 3-28. (*a*) Un interruptor BJT con su onda de entrada; (*b*) Ondas de v_o y de I_c mostrando los tiempos de subida, total, de retardo y de almacenaje durante la interrupción.

[14] De aquí en adelante prescindiremos en los cálculos de estas corrientes, salvo que se indique lo contrario.

En el momento $t = T_2$ la onda de entrada cae nuevamente a $-V_1$ ocasionando eventualmente que el transistor retorne al estado de corte. En la Fig. 3-28 están representadas las curvas de v_O e i_C. Más adelante en esta misma sección se tratará de los transitorios de la conmutación.

La naturaleza de las características de la conmutación es verdaderamente deducible de la característica de transferencia del circuito, que es una gráfica de v_O en función de v_S.

Ejemplo 3-6

El circuito de la Fig. 3-28*a* utiliza un transistor 2N2222A, $V_{CC} = 10$ V $R_L = 500\ \Omega$ y $R_B = 47$ kΩ. (*a*) Trazar la característica de transferencia del circuito, (*b*) esbozar la forma de onda de salida para $t \leq 10$ ms con la tensión de entrada mostrada en la Fig. 3-29*a*.

Solución

(*a*) En la Fig. 3-16 se ha superpuesto la recta de carga de este circuito a las características de salida del BJT, y en la Fig. 3-20 se encuentran las curvas volt-amperio de entrada. En esta última figura se aprecia que no hay ninguna corriente de base apreciable mientras no se supere la tensión umbral. Vemos en la Fig. 3-16 que con $I_B \approx 0$, $v_o = v_{CE} = 10$ V.

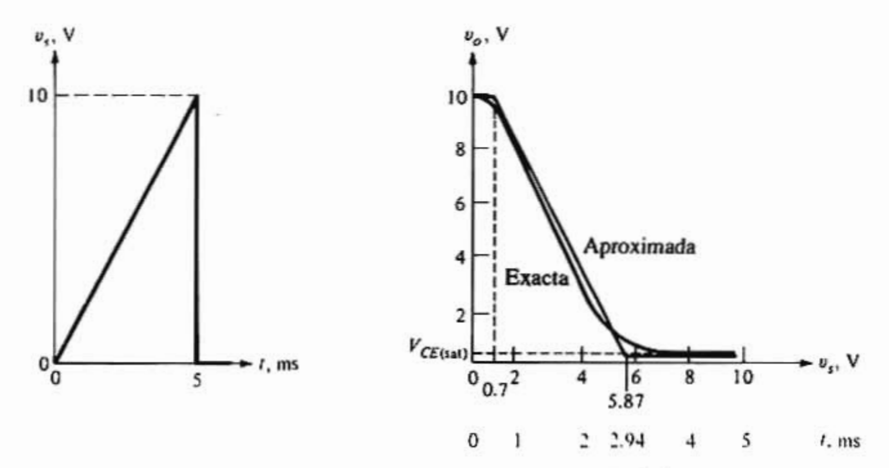


Figura 3-29. (*a*) Onda de entrada, y (*b*) característica de transferencia para el Ejemplo 3-6.

Ya se indicó en la Sec. 3-5 que al aumentar V_{CE} las curvas de la Fig. 3-20*b* se desplazan hacia la derecha. Por tanto, podemos admitir que con $V_{CE} = 10$ V se puede producir el corte en las proximidades de $V_{BE} =$ 0,7 V. Esto era de esperar ya que un aumento de v_s hace que el funcionamiento del transistor pase del corte a la región activa-directa.

Una vez el transistor está en la región activa, $V_{BE} = 0{,}7$ V y según la ecuación de Kirchhoff para el lazo base-emisor

$$i_B = \frac{v_s - V_{BE}}{R_B} = \frac{v_s - 0.7}{47} \text{ mA}$$

Así como i_B aumenta linealmente con v_s vemos que a lo largo de la recta de carga v_{CE} disminuye casi linealmente hasta que el transistor se acerca a la saturación. El inicio de la saturación (mostrado en la Fig.

3-16) tiene lugar al aproximarse I_B a 120 μA. Interpolemos el valor de I_B en la citada figura y tomemos 110 μA. El correspondiente valor de v_s será

$$0.110 = \frac{v_s - 0.7}{47} \qquad \text{y} \qquad v_s = 5.87 \text{ V}$$

Un posterior aumento de v_s y por tanto de i_B no influye en la salida.

Obtendremos puntos de la característica de transferencia determinando primero i_B para distintos valores de v_s, y seguidamente hallar a partir de ellos los correspondientes valores de v_{CE} de la recta de carga de la Fig. 3-16 en la región activa-directa. En saturación $i_{CE} < 0{,}3$ V.

La característica de transferencia exacta de la Fig. 3-29*b* se ha redondeado en las proximidades de corte y de saturación. Esto hay que atribuirlo al hecho de que el transistor no cambia repentinamente en las proximidades del corte, sino que como se ve en la Fig. 3-20*b* existe un codo en la característica de entrada. En forma análoga, el codo en las características de salida de la Fig. 3-16 muestra que en las proximidades de saturación se unen curvas de distintos valores de I_B.

La aproximación lineal de las características de transferencia supone transiciones abruptas, de corte a la región activa, y de ésta a saturación. Como se puede apreciar en la Fig. 3-29*b* esta aproximación resulta muy próxima a la característica exacta, y por tanto es muy empleada.

(*b*) La respuesta a una onda de entrada que varía linealmente con el tiempo tiene la misma forma que la característica de transferencia. Así, las curvas de la Fig. 3-29*b* representan las ondas de salida exacta y aproximada en función del tiempo. La escala de tiempo corresponde a la pendiente de la onda de entrada que es de 2 V/ms y $v_o = V_{CE\,(sat)}$.

La característica de transferencia aproximada refleja el comportamiento del circuito. Los dos segmentos horizontales corresponden a los dos estados del interruptor: abierto (OFF) o cerrado (ON). A lo largo de estos segmentos, la salida no resulta afectada por las variaciones de la entrada ya que el transistor está en corte o saturado. La línea que une las porciones horizontales de la característica representa una dependencia lineal de la salida respecto a la entrada. Este es el funcionamiento de una fuente gobernada, necesaria a efectos de amplificación, administrada por el transistor polarizado en la región activa directa.

Velocidad de conmutación del BJT

En la descripción del circuito de la Fig. 3-28*a* hecha al principio de esta Sección nos referimos a los estados del interruptor (ON y OFF). Ahora nos referimos a los transitorios en las ondas de la Fig. 3-28.

Como se aprecia en esta figura, la corriente no responde inmediatamente a la señal de entrada, sino que por el contrario hay un retraso. El tiempo que transcurre durante este retraso junto con el necesario para que la corriente alcance el 10% de su valor máximo (saturación) constituye el tiempo de retraso t_d. La onda de corriente tiene un tiempo de subida t_r no nulo, que es el tiempo necesario para que la corriente suba a través de la región activa desde el 10 al 90% de $I_{C\,(sat)}$.

El tiempo total de conmutación t_{ON} es la suma de los tiempos de retraso y de subida, $t_{ON} = t_d + t_r$. Cuando la señal de entrada retorna a su estado inicial en el momento $t = T_2$ tampoco la corriente responde inmediatamente. El intervalo que transcurre desde la transición de la onda de entrada hasta que i_C haya bajado hasta el 90% de I_{CS} se denomina *tiempo del almacenamiento* t_s. A este tiempo le sigue el tiempo de caída t_f que es el necesario para que i_C caiga desde el 90 al 10% de $t_{C\,(sat)}$. El tiempo de corte I_{OFF} es la suma de los tiempos de almacenamiento y de caída $t_{OFF} = t_s + t_f$. Comentaremos ahora las razones físicas de cada uno de estos intervalos: su cálculo exacto es complejo. En la Sección 11-5 se darán métodos aproximados de cálculo de estos tiempos en relación con la región activa.

Tres factores contribuyen al tiempo de retraso: (1) cuando se aplica la señal a la entrada del transistor se necesita un cierto tiempo para cargar la capacidad de transición de la unión del emisor de forma que el

transistor pueda pasar del corte a la región activa, (2) aun cuando el transistor haya llegado al punto en el que los portadores minoritarios hayan comenzado a cruzar la unión de colector hacia la base, se necesita algún tiempo antes de que estos portadores puedan cruzar la región de la base a la unión del colector y ser reconocidos como corriente de colector, y (3) se necesita algún tiempo para que la corriente de colector suba hasta el 10% de su valor máximo.

Los tiempos de subida y de bajada son debidos al hecho de que si para saturar el transistor o para llevarlo de saturación a corte se emplea una corriente de base escalonada, la corriente de colector debe cruzar la región activa. La corriente de colector crece y decrece según una curva exponencial cuya constante de tiempo es τ_r que se puede demostrar que vale $\tau_r = \beta_o (C_\mu R_L + 1/\omega_T)$ siendo C_μ la capacidad de transición del colector y ω_T la frecuencia a la que la ganancia de corriente es la unidad.

La demora del transistor en responder al borde posterior del impulso durante un tiempo t_s es debida al hecho de que un transistor en saturación tiene un exceso de portadores minoritarios almacenados en la base lo que le impide responder hasta tanto este exceso sea eliminado. En la Fig. 3-12 está indicada la densidad de carga almacenada en diferentes condiciones de trabajo. El efecto del exceso de cargas almacenadas en la base es similar al transitorio del corte de un diodo *pn* comentado en la Sección 2-10.

Consideremos que el transistor está en su región de saturación y que en el momento $t = T_2$ se emplea un impulso en escalón para pasar el transistor a corte como en la Fig. 3-28. Puesto que el proceso de corte no puede comenzar hasta que la densidad anormal de portadores (zona más sombreada de la Fig. 3-12) haya sido eliminada, puede transcurrir un tiempo relativamente largo t_s antes de que el transistor responda a la señal de corte en la entrada. En casos extremos este tiempo de almacenamiento puede ser varias veces superior a los tiempos de subida o de caída en la región activa. Es evidente que cuando los transistores se empleen en aplicaciones en las que la rapidez sea apremiante será ventajoso reducir el tiempo de almacenamiento. Para evitar la saturación del transistor y por tanto eliminar el tiempo de almacenamiento existe un método que consiste en emplear un diodo Schottky juntamente con el BJT. Este dispositivo compuesto se denomina *transistor Schottky* y se estudiará en la Sección 5-3.

3-9. EL TRANSISTOR DE UNIÓN BIPOLAR COMO AMPLIFICADOR

El circuito de la Fig. 3-30 es una etapa de amplificador en emisor común. A efectos de mostrar la función amplificadora utilizaremos un transistor 2N2222A con un $V_{CC} = 10$ V y $R_L = 500\ \Omega$. Las características de salida y la recta de carga ya representadas en la Fig. 3-16 se reproducen, por conveniencia, en la Fig. 3-31. En la Fig. 3-30 se ha seleccionado $R_B = 232{,}5$ kΩ para polarizar el dispositivo en la región activa directa en Q correspondiente a $I_B = 40\ \mu$A, $I_{CQ} = 8$ mA y $V_{CEQ} = 6$ V. El condensador C_B llamado de

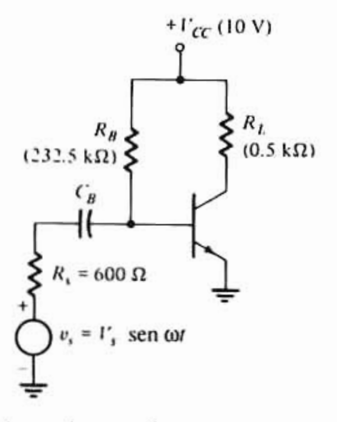


Figura 3-30. Etapa amplificadora elemental en emisor común.

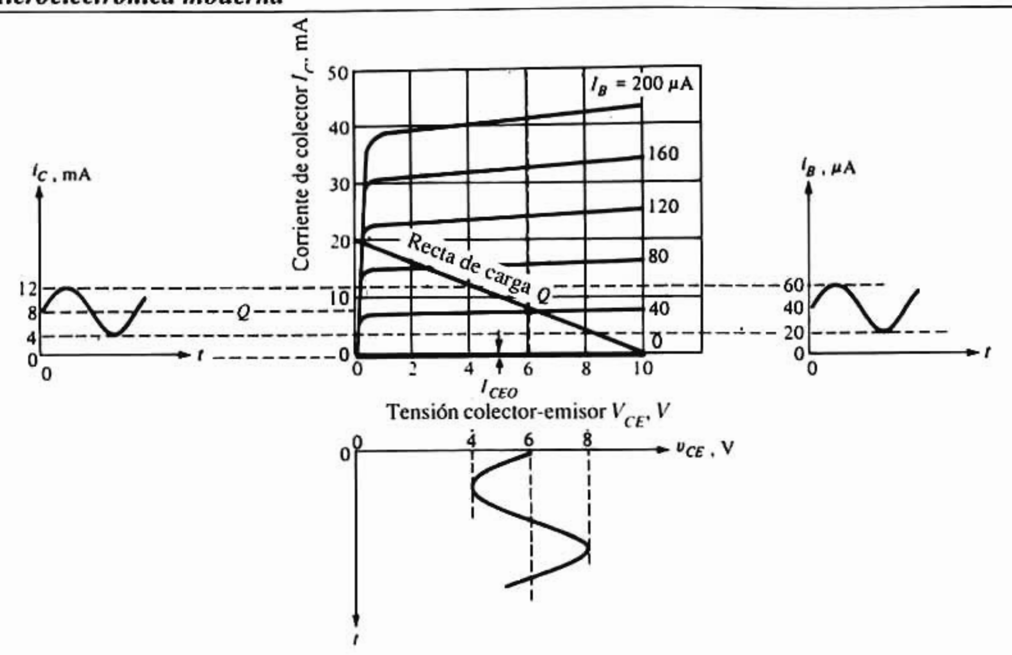


Figura 3-31. Características de salida en emisor común mostrando la recta de carga y la componente senoidal de la señal.

bloqueo sirve para aislar la corriente continua de polarización de la fuente de señal $v_s = V_{sm}$ sen ωt y de su resistencia R_s. Este condensador actúa como circuito abierto cuando no hay señal de entrada, ya que la reactancia de un condensador es infinita a la frecuencia cero (en continua). Admitamos que a la frecuencia angular de la señal la reactancia de C_B es suficientemente baja comparada con R_s que la combinación de estos dos elementos en serie es igual a R_s. En consecuencia, el efecto del condensador sobre la señal transmitida desde la fuente v_s hasta la entrada del amplificador puede despreciarse. La amplitud de V_{sm} se elige de forma que dé una componente de señal de la corriente de base $i_b = I_{bm}$ sen ωt, y siendo I_{bm} = 20 μA. La corriente instantánea total de base i_B es la superposición del nivel de polarización en continua, más la corriente de la señal. Por tanto

$$i_B = I_{BQ} + i_b = 40 + 20 \sin \omega t \qquad \mu A$$

Como se ve en la Fig. 3-31 el efecto de esta señal hace que tanto i_C como v_{CE} varíen senoidalmente (aproximadamente) alrededor de sus niveles de reposo. Estas cantidades pueden expresarse:

$$i_C = I_{CQ} + i_c = I_{CQ} + I_{cm} \text{ sen } \omega t \qquad A \tag{3-25}$$

$$v_{CE} = V_{CEQ} + v_{ce} = V_{CEQ} + V_{cem} \text{ sen } \omega t \qquad V \tag{3-26}$$

La tensión instantánea total de salida v_{CE} puede observarse en un osciloscopio si el selector está en DC (continua) (Fig. 2-27*a*). Si el selector está en AC (alterna) sólo aparecerá en la pantalla la salida senoidal, V_{cem} sen ωt, (Fig. 2-27*b*).

Vemos en la Fig. 3-31 que la pequeña variación en i_B debida a la señal (I_{bm} = 20 μA) motiva que I_{cm} = 4 mA y V_{cem} = 2 V. Los niveles aumentados de la señal en la salida son un índice de la amplificación dada por el circuito.

Notación

Llegados a este punto es conveniente hacer algunas observaciones sobre los símbolos empleados en los transistores. Concretamente, los valores instantáneos de cantidades que varían con el tiempo se representan con letras minúsculas (*i* para las corrientes, *v* para las tensiones y *p* para las potencias). Los valores máximo, medio (continua) y eficaz se representan con las mismas letras pero en mayúscula (*I*, *V*, *P*). Los valores medios (continua) y los instantáneos totales se indican con un subíndice en mayúscula correspondiente al electrodo correspondiente (B para la base, C para el colector y E para el emisor). Las componentes variables de algún valor de reposo se indican con el subíndice en minúscula del símbolo del electrodo interesado. Se emplea un solo subíndice si es evidente el electrodo de referencia, pero si hay la posibilidad de confusión deberá emplearse el subíndice convencional. Por ejemplo, en la Fig. 3-31 indicamos las corrientes de colector y de base así como las tensiones en la configuración de emisor común con la notación ahora descrita. Las variaciones de las componentes de las corrientes de colector y de emisión así como de las tensiones respecto al punto de reposo son:

$$i_c = i_C - I_C = \Delta i_C \qquad v_c = v_C - V_C = \Delta v_C \tag{3-27}$$
$$i_b = i_B - I_B = \Delta i_B \qquad v_b = v_B - V_B = \Delta v_B$$

La magnitud de la tensión de alimentación se indica repitiendo el subíndice del electrodo. Cuanto antecede queda resumido en la Tabla 3-4.

En el párrafo anterior se evidencia que estamos interesados en los cambios que debido a la señal aplicada ocurren en las tensiones y corrientes alrededor del punto de funcionamiento. En la siguiente sección demostraremos que se necesita V_{sm} = 26,5 mV para hacer I_{bm} igual a 20 μA, por tanto, la ganancia de tensión (o amplificación) A_V es:

$$|A_V| = \frac{V_{cm}}{V_{sm}} = \frac{2}{26.5 \times 10^{-3}} = 75.5$$

y la ganancia de corriente es

$$|A_I| = \frac{I_{cm}}{I_{bm}} = \frac{4 \times 10^{-3}}{20 \times 10^{-6}} = 200$$

Tabla 3-4 Resumen de notaciones

Notación	*Tensión base (colector) respecto emisor*	*Corriente base (colector) respecto circuito exterior*
Valor total instantáneo	v_B (V_C)	i_B (i_C)
Valor de reposo	V_B (V_C)	I_B (I_C)
Valor de la componente variable	v_b (v_c)	i_b (i_c)
Valor eficaz de la componente variable	V_b (V_c)	I_b (I_c)
Tensión de alimentación	V_{BB} (V_{CC})	

Observemos que I_{cm}/I_{bm} es la relación entre la variación de la corriente de colector $\Delta\, i_C$ y la corriente de base $\Delta\, i_B$ alrededor del punto Q.

También es evidente, viendo la Fig. 3-31, que v_{ce} e i_c están desfasadas 180º. Esta inversión de fase entre la tensión y la intensidad de la señal indica que el BJT funciona como una fuente gobernada por i_b[15].

Como ya se ha indicado anteriormente, la fuente gobernada es el fundamento de la amplificación teniendo muy en cuenta que *sólo resulta ampliada* la señal.

La potencia de la señal cedida a la resistencia de carga R_L es:

$$P_L = (I_c)^2 R_L = \left(\frac{4 \times 10^{-3}}{\sqrt{2}}\right)^2 500 = 4 \text{ mW}$$

La potencia total suministrada conjuntamente por las fuentes de polarización y de señal es:

$$P_S = \frac{V_{sm}}{\sqrt{2}} \cdot \frac{I_{bm}}{\sqrt{2}} + V_{CC}(I_{CQ} + I_{BQ}) \qquad \text{W}$$

$$= \frac{2.65 \times 10^{-2}}{\sqrt{2}} \times \frac{2 \times 10^{-5}}{\sqrt{2}} + 10\,(8 \times 10^{-3} + 4 \times 10^{-5}) = 80.4 \text{ mW}$$

Es evidente que la potencia total suministrada al circuito es considerablemente mayor que la potencia de salida de la señal. Sin embargo la potencia de entrada de la señal $V_{sm} I_{bm}/2$ es de tan sólo 0,265 µW mientras que la de salida es 4 mW o más que la suministrada por la fuente de señal.

Veamos ahora cómo podemos determinar los niveles de salida si se redujera la amplitud de la entrada para corresponder, por ejemplo, a $I_b = 1$ µA. Naturalmente no podemos detectar tan pequeño cambio en las características de salida de la Fig. 3- 31. En el Ejemplo 2-4 y en la Sección 2-9 ya demostramos que esta situación se puede manejar mejor mediante el modelo de pequeña señal del dispositivo. Una cuestión adicional es que las características volt-amperio son características en continua que intrínsecamente eliminan todos los efectos del almacenamiento de cargas que puedan estar presentes. Estos pueden introducirse en el modelo para pequeña señal del que trataremos en la siguiente Sección.

3-10. MODELO DE BJT PARA PEQUEÑA SEÑAL

El circuito equivalente para pequeña señal del BJT se deduce de los modelos de pequeña señal en los diodos de la Sección 2-9 y de la representación de Ebers-Moll de la Sección 3-3. Los elementos que forman el circuito equivalente relacionan las variaciones de tensión y de corriente alrededor del punto Q.

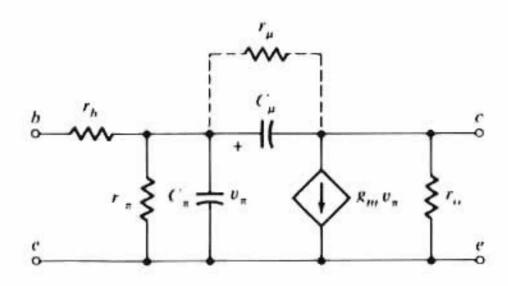


Figura 3-32. Circuito equivalente híbrido-π de pequeña señal. La resistencia r_μ (línea de trazos) normalmente se omite ya que generalmente su efecto es despreciable.

[15] Convencionalmente se considera que la potencia disipada es positiva si la corriente en un elemento va dirigida de más a menos (una caída de tensión). Si una fuente suministra potencia, la corriente va de menos a más (aumento de tensión). Es en este sentido que se interpreta que el defase entre v_{ce} e i_c indica una disipación de potencia en la carga.

Cada elemento del modelo es función de las tensiones y corrientes de reposo establecidas por la polarización. Como los cambios los provoca la señal de entrada, el circuito equivalente nos permite relacionar la señal de salida con la de entrada.

En la Fig. 3-32 está representado el circuito equivalente híbrido - π del BJT conectado en emisor común. Podemos identificar los elementos de este modelo con los de la representación de diodos acoplados del transistor. La unión emisor-base polarizada en directo está representada por r_π y C_π siendo esta última la capacidad de difusión y estando relacionada con la resistencia incremental del diodo emisor-base[16]. Corrientemente r_π tiene valores comprendidos entre unos pocos centenares y varios millares de ohmios. La capacidad C_μ es la de la región de deplexión de la unión colector-base con polarización inversa. La resistencia incremental r_μ de este diodo es la señalada con trazo discontinuo en la Fig. 3-32. Esta resistencia tiene en cuenta la realimentación (modulación del ancho de base) entre la entrada y la salida, debida al efecto Early (Sección 3-4). Debido a su extremadamente alto valor (varios megaohmios) muchas veces en los cálculos se desprecia r_μ (esto es lo que haremos en lo sucesivo salvo que se indique otra cosa). El acoplamiento entre uniones se representa en el modelo por la fuente de corriente gobernada $g_m\ v_\pi$, y es proporcional a la corriente de entrada i_b. La resistencia de salida r_o tambien es consecuencia del efecto Early y es igual a la inversa de la pendiente de las líneas de trazos de la Fig. 3-17, estando su valor comprendido típicamente entre unas decenas y unas centenas de kiloohmios.

La resistencia r_b es la *resistencia de dispersión* de la base y tiene en cuenta la caída de tensión en el recorrido entre el contacto de la base y la región activa de la base (entre *b* y *e*) bajo el emisor. (Véase Fig. 3-7.) Esta resistencia decrece al aumentar los niveles de corriente, estando sus valores típicos comprendidos entre 40 y 400 Ω. Debido a la mayor área de la sección recta de la región de colector (Fig. 3-7) la resistencia de dispersión del colector es del orden de 1 Ω y normalmente se desprecia (excepto en transistores discretos de corrientes altas o en simuladores).

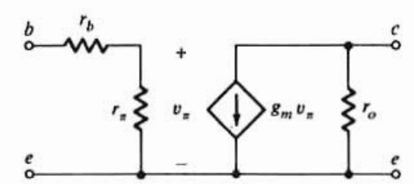


Figura 3-33. Modelo híbrido-π de baja frecuencia.

Modelo de baja frecuencia

Las capacidades C_π y C_μ pueden calcularse como se vio en el capítulo 2, empleando las Ecs. (2-20) y (2-29). De estas ecuaciones se deduce que tanto C_π como C_μ dependen de las tensiones y corrientes del BJT en el punto de funcionamiento. Con los niveles normales de trabajo, los valores de C_π, tanto en transistores integrados como en transistores discretos de baja potencia, están comprendidos desde unas decenas hasta cien o doscientos picofaradios. C_μ es generalmente de unos pocos picofaradios (entre 1 y 5). Con frecuencias de señal bajas, la reactancia de ambas capacidades es extremadamente alta: por ejemplo con $\omega = 10^4$ rad/seg. La reactancia de $C_\pi = 50$ pF es de 2 M Ω y la de $C_\mu = 2$ pF lo es de 50 M Ω. A tales frecuencias los efectos de C_π y C_μ son despreciables y por consiguiente se pueden considerar como circuitos abiertos.

Esto nos conduce al modelo de baja frecuencia representado en la Fig. 3-33.

[16] Obsérvese que las resistencias de pequeña señal se señalan con minúsculas. Esta notación nos permite distinguir las cantidades incrementales de los parámetros en continua y de las resistencias físicas.

En esta figura se ve que:

$$v_\pi = r_\pi i_b$$

Con $v_{CE} = 0$, no hay corriente alguna en r_o y

$$i_c = g_m v_\pi = g_m r_\pi i_b \qquad \text{o} \qquad \frac{i_c}{i_b} = g_m r_\pi$$

Conviene introducir

$$\beta_o = \left.\frac{\Delta i_C}{\Delta i_B}\right|_{V_{CE}=\text{const}=V_{CEQ}} = \left.\frac{i_c}{i_b}\right|_{v_{ce}=0} \tag{3-28}$$

El parámetro β_o es el incremento (en alterna) de la ganancia de corriente directa en cortocircuito y emisor común, calculado en el punto de trabajo[17]. El valor constante de v_{CE} indica que no hay cambio incremental en esta cantidad y por tanto, $v_{CE} = 0$. (La condición $v_{CE} = 0$ e $i_c \neq 0$ representa un cortocircuito entre colector y emisor en relación a la señal. Sin embargo, no indica un cortocircuito físico de conexión entre estos terminales). Para evaluar β_o se puede emplear la línea vertical de trazos que pasa por Q en la Fig. 3-31, lo que veremos en el ejemplo 3-7 de esta misma Sección. De la Ec. (3-28) y del análisis del modelo de la Fig. 3-3 resulta

$$\beta_o = g_m r_\pi \tag{3-29}$$

El parámetro $g_m = i_c/v_\pi$ llamado *transconductancia* refleja el cambio incremental de i_C alrededor del punto de trabajo debido al cambio incremental en la tensión emisor-base. La caída de tensión $i_b\, r_b$ es tan pequeña que permite admitir que los cambios en la tensión base-terminal de emisor recaigan en la unión.

Cuantitativamente g_m se puede expresar:

$$g_m = \left.\frac{\Delta i_C}{\Delta v_{BE}}\right|_{v_{CE}=\text{const}=V_{CEQ}} = \left.\frac{\partial i_C}{\partial v_{BE}}\right|_{v_{CE}=0} \tag{3-30}$$

Consideramos conveniente repetir lo dicho anteriormente relativo al significado de $v_{ce} = 0$. Mantener constante v_{CE} supone que no exista ningún cambio incremental en v_{CE}. Por tanto, $v_{ce} = 0$ y en la Fig. 3-33 esto equivale a cortocircuitar colector y emisor. Téngase en cuenta que no estamos conectando físicamente los terminales *c* y *e* en el transistor real: esto sólo quiere decir que la componente v_{CE} de la señal es nula.

Según la Ec. (3-17), $i_C = -\,\alpha_F\, i_E$ tanto para un transistor *npn* como para uno *pnp* y la Ec. (3-30) se convierte en[18]:

$$g_m = -\,\alpha_F \left.\frac{\partial i_E}{\partial v_{BE}}\right|_{v_{ce}=0} \tag{3-31}$$

Deseamos relacionar g_m con la conductancia del diodo emisor-base. La conductancia incremental del diodo viene dada por la Ec. (2-17) como

$$g_d = \frac{di_D}{dv_D}$$

---

17 Los fabricantes llaman a esta cantidad h_{fe}, sin embargo nosotros seguiremos llamándole β_o ya que es lo más empleado en la literatura.

18 En la Ec. (3-31) suponemos que α_F es independiente de v_{BE}.

en donde i_D y v_D son las corrientes y tensiones directas del diodo. En un transistor *npn*, v_{BE} polariza en directo el diodo emisor y $v_{BE} = v_D$.

Sin embargo i_E es en sentido opuesto a i_D (de *n* a *p*) de forma que $i_E = -i_D$. Por tanto $\partial i_E / \partial v_{BE} = -di_D / dv_D$ y

$$g_m = \alpha_F g_d \tag{3-32}$$

La Ec. (3-32) es válida para un transistor *pnp* porque polarizando en directo la unión del emisor se tiene que $i_E = i_D$ y $v_{BE} = -v_D$.

La conductancia g_d del diodo emisor se designa en la Ec. (2-19) con $\eta = 1$ de donde $g_d = -I_{EQ}/V_T$ para un transistor *npn* y $g_d = +I_{EQ}/V_T$ para un dispositivo *pnp*.

En el transistor *npn* (*pnp*) I_{EQ} es negativo (positivo): así g_d es positivo en ambos casos y se puede escribir $g_d = |I_{EQ}|/V_T$. De las Ecs. (3-31) y (3-17) y despreciando I_{CO} comparada con I_{CQ} se obtiene la simple expresión siguiente de la transconductancia

$$\begin{aligned} g_m &\doteq \frac{\alpha_F |I_{EQ}|}{V_T} \\ &= \frac{|I_{CQ}|}{V_T} \end{aligned} \tag{3-33}$$

La Ec. (3-33) indica que g_m es directamente proporcional a la corriente de reposo de colector e inversamente proporcional a la temperatura. A la temperatura ambiente y expresando I_{CQ} en miliamperios tendremos:

$$g_m \approx \frac{|I_{CQ}|}{25} \qquad \text{mA} \tag{3-34}$$

Las Ecs. (3-29) y (3-34) nos permiten determinar r_π ya que β_o lo especifica el fabricante. Una vez conozcamos r_π podremos calcular r_b a partir de la resistencia de entrada. De la Fig. (3-33) se deduce que

$$r_i = r_b + r_\pi \tag{3-35}$$

Muchos fabricantes de dispositivos emplean el símbolo r_i como h_{ie} en un punto de trabajo dado[19].

Ejemplo 3-7

Determinar en el circuito de la Fig. 3-30: (*a*) el valor de V_s que dé una señal de salida de 2 V de pico, (*b*) el valor de la señal de salida con $V_s = 2$ mV, y (*c*) repetir la parte *b*, con $V_s = 265$ mV. Supóngase el trabajo a baja frecuencia y a temperatura ambiente.

Solución

El primer paso es trazar el modelo de pequeña señal a baja frecuencia. Esto se consigue sustituyendo primero el transistor por circuito equivalente de la Fig. 3-33. Ahora sólo hay que añadir al modelo los elementos de circuito exteriores al BJT que influyen en los valores incrementales de tensiones y de corrientes, dando como resultado la Fig. 3-34*b*. Obsérvese que en el modelo no figura la aportación de polarización ya que no contribuye a las variaciones de tensión y de corriente. Además como la tensión incremental a través de V_{CC} es cero, actúa como un cortocircuito.

[19] A distintas condiciones de reposo, r_i se halla mediante mediciones de laboratorio.

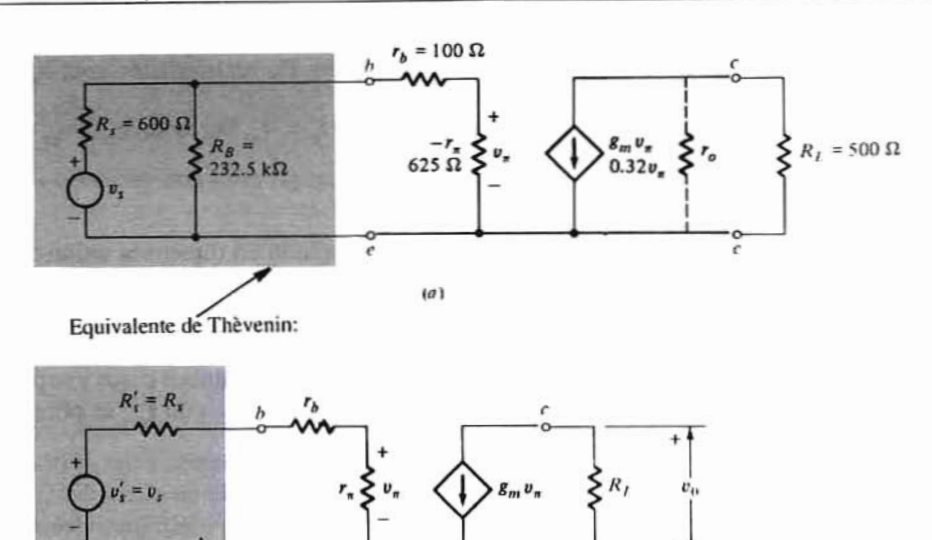


Figura 3-34. Equivalente de baja frecuencia y pequeña señal del circuito de la Fig. 3-30 del Ejemplo 3-7.

El valor de g_m se determina por la Ec. (3-34) con $I_C = 8$ mA (la corriente de reposo dada en la Sección 3-9).

$$g_m = \tfrac{8}{25} = 0.32\ \mho$$

β_o se deduce de las características de la Fig. 3-31 a lo largo de la línea de trazos vertical, y es:

$$\beta_o = \frac{(12 - 4) \times 10^{-3}}{(60 - 20) \times 10^{-6}} = 200$$

(Obsérvese que β_o es la ganancia de corriente A_i obtenida en la Sec. 3-9). Haciendo uso de la Ec. (3-28) tendremos:

$$r_\pi = \frac{\beta_o}{g_m} = \frac{200}{0.32} = 625\ \Omega$$

La resistencia de dispersión de la base r_b obtenida por medición es de 100 Ω[20]. De la pendiente de la característica de colector en el punto Q de la Fig. 3-31 se deduce que r_o es de más de 5 kΩ. Así el efecto de r_o es despreciable: como está en paralelo con $R_L = 500\ \Omega$ la combinación en paralelo de r_o y R_L es de 500 Ω.

(*a*) Ahora se completa el modelo. Conviene sustituir v_s, R_s y R_B por un equivalente de Thèvenin como se ve en la Fig. 3-34*b*.

$$v_s' = \frac{R_B}{R_B + R_s} v_s \qquad R_s' = R_s \| R_B = \frac{R_s R_B}{R_s + R_B}$$

Como $R_B = 232.5\ k\Omega \gg R_s = 600\ \Omega$, $v_s' = v_s$ y $R_s' = R_s$. En la Fig. 3-34*b*

$$v_o = -g_m v_\pi R_L$$

[20] Los datos de h_{ie} dados en el Apéndice B corresponden a un punto de trabajo notablemente distinto al de este ejemplo, por lo que no los podemos emplear.

y aplicando la relación del divisor de tensión tendremos

$$v_\pi = \frac{r_\pi}{R_s + r_b + r_\pi} v_s$$

Combinando estas ecuaciones resulta

$$v_o = \frac{-g_m r_\pi R_L}{R_s + r_b + r_\pi} v_s = \frac{-\beta_o R_L}{R_s + r_b + r_-} v_s = A_V v_s$$

La relación v_o/v_s se denomina *ganancia de tensión* A_v[21].

El signo menos en la expresión de A_v (y de v_o) indica la fase inversa discutida en la Sec. 3-9. El cálculo da:

$$A_V = \frac{-200 \times 500}{600 + 100 + 625} = -75.5$$

y teniendo en cuenta que la tensión de entrada $V_{om} = V_{cm}$

$$V_{sm} = \frac{V_{om}}{|A_V|} = \frac{2}{75.5} = 26.5 \text{ mV}$$

siendo éste el valor indicado en la Sec. 3-9.

(*b*) Con una señal de entrada $V_{sm} = 2$ mV, la amplitud de la salida es

$$V_{om} = |A_V|\ V_{sm} = 75.5 \times 2 \times 10^{-3} = 151 \text{ mV}$$

(*c*) Con $V_{sm} = 265$ mV, obtenemos:

$$V_{om} = 75.5 \times 0.265 = 20.0 \text{ V}$$

Este resultado es evidentemente falso pues corresponde a una situación físicamente imposible. Con una señal de entrada diez veces mayor que la de la parte (*a*) y suponiendo un funcionamiento lineal, deberíamos esperar $I_{bm} = 10 \times 20\ \mu A = 200\ \mu A$. Una rápida inspección de la recta de carga de la Fig. 3-31 revela que una señal senoidal de amplitud 200 µA con $I_{BQ} = 40\ \mu A$ lleva al BJT a saturación durante el semiciclo positivo y a corte durante el semiciclo negativo. Aprovechamos esta parte del ejemplo para hacer notar que el uso del modelo de pequeña señal queda restringido al funcionamiento en la zona lineal de la región activa. En la Fig. 3-29*b* se representa la característica de transferencia de un circuito similar. También observamos que su empleo como amplificador queda limitado al segmento lineal que une el corte y la saturación. Si empleáramos la característica de transferencia con la entrada dada, observaríamos una salida altamente distorsionada y cortada.

Los resultados del Ejemplo 3-7 demuestran que sólo se consigue la amplificación dentro de unos límites de la señal de entrada, existiendo otras restricciones para el funcionamiento como amplificador. En nuestro análisis hemos supuesto que los efectos de C_π y C_μ eran despreciables a la frecuencia de la señal, pero este no es del caso con frecuencias más altas. Por tanto, la ganancia resulta afectada, lo que limita el campo de las altas frecuencias que pueden utilizarse. Con baja frecuencia los límites de funcionamiento se manifiestan cuando prescindimos del supuesto de que C_B tiene una reactancia despreciable. La respuesta en frecuencia del circuito amplificador será tratada en el capítulo 11.

---

[21] Para designar este tipo de función de transferencia se emplea la G (ganancia) como la A (amplificación).

3-11. EL BJT COMO DIODO

La eficiencia en la fabricación y la facilidad con que se pueden compaginar las características hace que muy frecuentemente se empleen BJT a manera de diodos en los circuitos integrados. En algunas secciones anteriores de este capítulo hemos observado que cortocircuitando dos terminales del transistor o bien dejando un circuito abierto, el BJT actúa como un diodo con polarización inversa. Ahora consideremos el funcionamiento con polarización directa de una de las conexiones del BJT más empleadas como diodo.

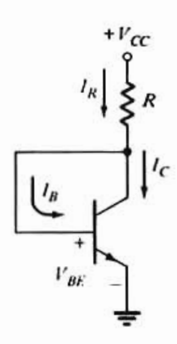


Figura 3-35. Transistor conectado como diodo.

La base y el colector del transistor de la Fig. 3-35 están conectados: esta configuración emplea como diodo la unión base-emisor. Lo que resta del circuito de esta figura señala que el colector, así como la base, retornan a la tensión de alimentación V_{CC} a través de la resistencia R. Esta tensión positiva polariza en directo la unión emisor-base, y como $V_{BC} = 0$ es menor que la tensión umbral, el diodo colector-base queda con polarización inversa. En consecuencia el BJT está en la región activa directa. Por la ley de Kirchhoff tendremos

$$I_R = \frac{V_{CC} - V_{BE}}{R} \tag{3-36}$$

con $V_{BE} = 0{,}7$ V en el modo activo, la corriente I_R es una constante que depende sólo de la tensión de alimentación V_{CC} y de la resistencia R.

Podemos emplear la ley de Kirchhoff para relacionar I_R con las corrientes del transistor. Puesto que $I_C = \beta_F I_B$, $I_R = I_C + I_B$ será

$$I_R = (\beta_F + 1)I_B = \left(1 + \frac{1}{\beta_F}\right)I_C \tag{3-37}$$

Como I_R es constante, y $\beta_F \gg 1$, $I_C \approx I_R$ es también constante. Esta observación es la base para la fuente de corriente descrita en el siguiente ejemplo.

Ejemplo 3-8

El circuito de la Fig. 3-36a es una *fuente de corriente* muy empleada para la polarización de un BJT en circuitos analógicos integrados. Los transistores Q1 y Q2 son idénticos; es decir, que han sido fabricados para que tengan características parejas. (*a*) Determinar I_C en función de los parámetros del circuito. (*b*) Calcular I_C para $V_{CC} = 10$ V, $R = 10$ K Ω y $\beta_F = 100$. (*c*) Repetir la parte (*b*) para $\beta_F = 200$.

Solución

(*a*) La corriente I_R viene dada por la Ec. (3-36). Las tensiones base-emisor V_{BE} de cada transistor son iguales como consecuencia de la ley de Kirchhoff. Puesto que Q1 y Q2 son dos transistores idénticos y trabajan con el mismo valor de V_{BE}, las corrientes de base y de colector de ambos son también iguales. Aplicando la ley de Kirchhoff al nudo donde van conectadas las dos bases y el colector de Q1 tendremos:

$$I_R = I_C + 2I_B = \frac{V_{CC} - V_{BE}}{R}$$

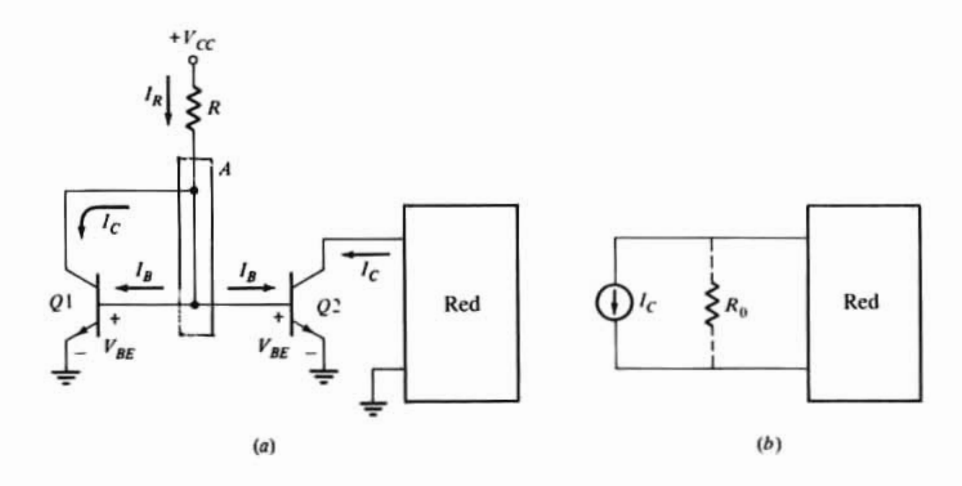


Figura 3-36. (*a*) Fuente de corriente, y (*b*) su representación.

Sustituyendo $I_B = I_C/\beta_F$ y despejando I_C nos da

$$I_C = \frac{\beta_F}{\beta_F + 2} \cdot \frac{V_{CC} - V_{BE}}{R}$$

(*b*) Sustituyendo por los valores dados:

$$I_C = \frac{100}{100 + 2} \cdot \frac{10 - 0.7}{10} = 0.912 \text{ mA}$$

(*c*) Para $\beta_F = 200$

$$I_C = \frac{200}{200 + 2} \cdot \frac{10 - 0.7}{10} = 0.921 \text{ mA}$$

Los resultados del anterior ejemplo nos hacen ver que aún con una variación del 100% en β_F la variación de I_C es del orden del 1%. La corriente de colector de Q2 es virtualmente constante e independiente de los parámetros del transistor. El valor de I_C depende únicamente de V_{CC} y R. Éste es el comportamiento de una fuente de corriente constante, lo que nos permite trazar el modelo del circuito de la Fig. 3-36*a* tal como se representa en la Fig. 3-36*b*. La resistencia R_o comprendida entre las líneas de trazos es la resistencia de salida de Q2 y es debida principalmente al efecto Early.

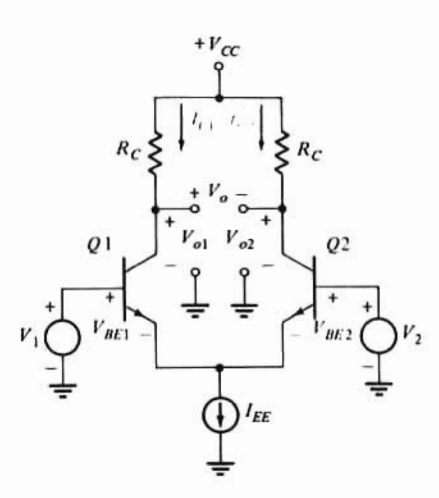


Figura 3-37. Par (diferencial) de emisor acoplado.

3-12. EL PAR DE EMISOR ACOPLADO

El *par de emisor acoplado* o *diferencial* de la Fig. 3-37 es la configuración de transistor más importante empleada en circuitos integrados. En esta figura, la fuente de corriente I_{EE} la realiza el circuito de la Fig. 3-36a u otro similar (Sec. 10-3). Además, hemos supuesto que Q1 y Q2 son unos transistores idénticos y que las dos resistencias de colector son de igual valor[22]. En esta sección trataremos de demostrar que el par diferencial puede emplearse tanto de amplificador como de interruptor. Para ello desarrollaremos la característica de transferencia del circuito.

La ecuación de Kirchhoff para el lazo que abarca las dos uniones emisor-base es:

$$-V_1 + V_{BE1} - V_{BE2} + V_2 = 0 \tag{3-38}$$

Con el transistor polarizado en el modo activo-directo, la corriente inversa de saturación de la unión colector-base puede despreciarse. Las corrientes de colector I_{C1} e I_{C2} vienen dadas por la Ec. (3-7) como

$$I_{C1} = \alpha_F I_{ES}\, \epsilon^{V_{BE1}/V_T} \tag{3-39}$$

$$I_{C2} = \alpha_F I_{ES}\, \epsilon^{V_{BE2}/V_T} \tag{3-40}$$

En las Ecs. (3-39) y (3-40) se supone que

$$\epsilon^{V_{BE}/V_T} \gg 1 \; (V_{BE} \geq V_T)$$

y que las componentes de saturación inversa de I_{C1} e I_{C2} son despreciables. Ahora expresaremos la relación I_{C1}/I_{C2}

$$\frac{I_{C1}}{I_{C2}} = \epsilon^{(V_{BE1} - V_{BE2})/V_T} = \epsilon^{V_d/V_T} \tag{3-41}$$

[22] Varios fabricantes construyen hasta cinco transistores prácticamente idénticos en un solo cuerpo (véase Apéndice B). También existen varios transistores en un solo cuerpo, con dispositivos *npn* y *pnp*, en los que un par es conectado como en la Fig. 3-37. Se emplean también en el diseño de circuitos integrados simulados.

En la Ec. (3-38) vemos que $V_{BE1} - V_{BE2} = V_1 - V_2 = V_d$ siendo V_d la diferencia entre las dos tensiones de entrada. La ley de Kirchhoff aplicada al nudo de emisor requiere que

$$-(I_{E1} + I_{E2}) = I_{EE} = \frac{I_{C1}}{\alpha_F} + \frac{I_{C2}}{\alpha_F} \tag{3-42}$$

Dividiendo ambos miembros de la Ec. (3-42) por I_{C1}/α_F resulta

$$\frac{\alpha_F I_{EE}}{I_{C1}} = \frac{I_{C2}}{I_{C1}} + 1 \tag{3-43}$$

Sustituyendo la Ec. (3-41) en la (3-43) y despejando I_{C1} tendremos

$$I_{C1} = \frac{\alpha_F I_{EE}}{1 + \epsilon^{-V_d/V_T}} \tag{3-44}$$

Procediendo de igual modo para I_{C2}

$$I_{C2} = \frac{\alpha_F I_{EE}}{1 + \epsilon^{+V_d/V_T}} \tag{3-45}$$

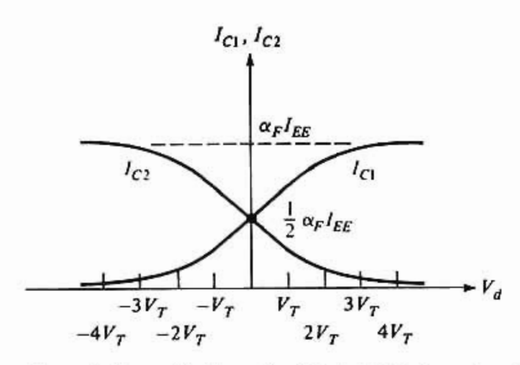


Figura 3-38. Características de transferencia de tensión (I_c en función de V_d) del par de emisor acoplado.

Vemos en las Ecs. (3-44) y (3-45) que aumentando los valores de V_d por encima de 4 V_T, I_{C1} e I_{C2} se aproximan a $\alpha_F I_{EE}$ y a cero respectivamente. Por el contrario, un valor negativo de V_d siendo $|V_d| > 4\ V_T$ hace que I_{C1} tienda a cero e I_{C2} lo haga a $\alpha_F I_{EE}$. Basándonos en las Ecs. (3-44) y (3-45) podemos trazar la característica de transferencia V_{o1} y V_{o2} que vienen definidas por

$$V_{o1} \equiv V_{CC} - I_{C1} R_C \tag{3-46}$$

$$V_{o2} \equiv V_{CC} - I_{C2} R_C \tag{3-47}$$

de donde resultan las características de la Fig. 3-39, en la que también se ha señalado la diferencia (diferencial) de la salida $V_o = V_{o1} - V_{o2}$.

Las características de transferencia representadas en las Figs. 3-38 y 3-39 pueden interpretarse de la siguiente forma: En primer lugar, aplicando $V_d > 4\ V_T = 100$ mV se hace que $I_{c1} \approx \alpha_F I_{EE}$ e $I_{c2} \approx 0$. Simultáneamente $V_{o2} = V_{CC}$ y $V_{o1} = V_{CC} - \alpha_F I_{EE} R_C$ pueden hacerse pequeñas eligiendo adecuadamente R_C[23]

[23] V_{o1} y V_{o2} se eligen siempre para mantener Q1 y Q2 en la región activa.

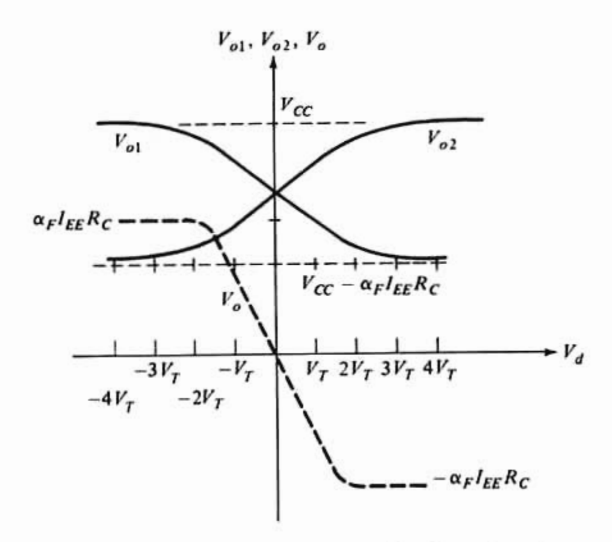


Figura 3-39. Característica de transferencia de tensión (V_o en función de V_d) del par de emisor acoplado.

Así, podemos aproximar la salida de Q1 a la de un interruptor cerrado y la Q2 a la de un interruptor abierto. El estado de estos interruptores se invierte al aplicar $V_d < -4\ V_T$. La salida diferencial muestra también dos niveles distintos, uno positivo y el otro negativo al variar V_d alrededor de 4 V_T.

Una segunda observación muy importante es la de que dentro del campo $-2V_T \leq V_d \leq 2\ V_T$ las cantidades $I_{C1}, I_{C2}, V_{o1}, V_{o2}$ y V_o responden todas ellas a las variaciones de V_d en una forma casi lineal. Dentro de este campo de entradas el circuito actúa como una fuente gobernada (amplificador). Estas propiedades de interrupción y de amplificación del par de emisor acoplado se emplean muy extensamente; las de interrupción en circuitos digitales (parte 2) y las de amplificación en circuitos analógicos (parte 3).

3-13. LIMITACIONES EN LOS TRANSISTORES

Se ha supuesto que los transistores empleados en los circuitos descritos en este capítulo han estado operando dentro de unos límites aceptables de corriente, tensión y disipación de potencia. Ahora comentaremos los límites fijados en las especificaciones de los fabricantes y que no deben ser sobrepasados al emplear BJT.

Corriente de colector máxima

Aún cuando no se sobrepasen los valores de potencia y tensión estipulados, hay un valor máximo de la corriente que puede conducir el colector y que depende del área de la sección recta de la unión y de los conductores que conectan los terminales del transistor con la salida al exterior. Este valor, que fija la máxima corriente de saturación alcanzable, es de 800 mA en el transistor 2N2222A.

Máxima disipación de potencia

Puede destruirse un dispositivo si la unión colector-base queda sometida a un exceso de potencia. La

máxima disipación de potencia P_D es el valor empleado para señalar el límite del poder de transmisión de potencia del colector. En el 2N2222A P_D es de 0,5 W a una temperatura ambiente de 25 °C. Con temperatura ambiente más alta P_D debe rebajarse 12 mW/ °C. Cuantitativamente esto supone que P_D es igual a

$$P_D(T) = 500 - 12(T - 25) \qquad \text{mW}$$

en la que P_D (T) es la disipación máxima de potencia a la temperatura de T grados centígrados.

Máxima tensión de salida

Existe un límite superior de tensión que puede soportar la unión de colector ya que existe el peligro de averiar el transistor con tensiones altas. Existen dos formas de averías: por *avalancha* ya vista en la Sec. 2-11 y por *perforación* que veremos en esta misma Sección.

La máxima tensión inversa de polarización que puede aplicarse antes de que se produzca la quemadura entre los terminales de colector y de emisor, con el terminal de la base en circuito abierto se representa con el símbolo BV_{CEO}. La ruptura puede producirse por multiplicación por avalancha de la corriente I_{CO} que atraviesa la unión de colector. La característica en emisor común del 2N2222A, extendida hasta la región de ruptura y $BV_{CEO} \approx 50$ V puede verse en la Fig. 3-40. Las especificaciones señalan el mínimo valor de BV_{CEO} a 40 V.

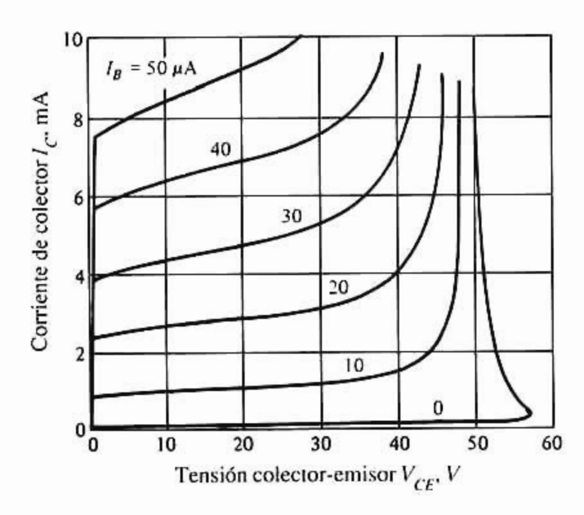


Figura 3-40. Características en emisor común del transistor 2N2222A extendidas en la región de ruptura.

En la configuración en base común la tensión de salida de ruptura BV_{CBO} acostumbra a ser aproximadamente el doble de BV_{CEO}. Si la base retorna al emisor a través de la resistencia R, la tensión de ruptura, designada por BV_{CER}, estará comprendida entre BV_{CEO} y BV_{CBO}. Dicho en otras palabras, la máxima tensión colector-emisor admisible depende no sólo del transistor sino también del circuito en el que esté incluido.

Perforación

Un segundo mecanismo por el cual el transistor puede inutilizarse al aumentar la tensión del colector

es el denominado perforación y es debido al aumento de espesor de la región de transición de la unión de colector al aumentar la tensión de dicha unión (efecto Early).

La región de transición de una unión es la región de cargas descubiertas a ambos lados de la unión en la posición ocupada por los átomos de impurezas. A medida que aumenta la tensión aplicada a la unión, la región de transición penetra más en la base. Puesto que la base es muy delgada existe la posibilidad de que con tensiones moderadas la región de transición se difunda completamente a través de la base y alcance la unión del emisor. Esta perforación rebaja la barrera en la unión emisor-base y en consecuencia la corriente de emisor puede llegar a ser excesiva: por tanto, existe un límite superior para la tensión colector-base.

La perforación difiere de la ruptura por avalancha en que se produce a una tensión fija entre colector y base [dada por V_j en la Ec. (2-27) con $W = W_B$], y no depende de la configuración del circuito. En un transistor dado el límite de tensión lo determina la perforación o la ruptura según cual de los dos ocurra a tensión más baja.

Máxima tensión nominal de entrada

Consideremos el circuito de la Fig. 3-41 en el que V_{BB} representa la tensión de polarización necesaria para mantener el transistor en corte. Supongamos que el transistor está justamente en el punto de corte, con $I_E = 0$ de forma que $I_B = I_{CBO}$. Si pretendemos que en corte $V_{BE} \approx 0$ V, la propia condición de corte exige que

$$V_{BE} = -V_{BB} + R_B I_{CBO} < 0 \tag{3-48}$$

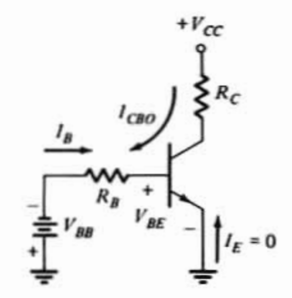


Figura 3-41. Etapa en emisor común polarizada para mantener el transistor en la región de corte.

Como ejemplo extremo consideremos que R_B sea grande, de 100 k Ω y que queremos prevenir el caso de que I_{CBO} llegue al valor 100μA como puede suceder con un transistor de potencia grande o con uno de mediana potencia a elevada temperatura. En este caso V_{BB} debe ser por lo menos 10 V. Cuando I_{CBO} sea pequeña, la tensión a través de la unión base-emisor será de 10 V y por tanto deberemos emplear un transistor cuya tensión inversa máxima tolerable en la unión base-emisor sin llegar a perforación sea superior a 10 V. Por este motivo los fabricantes especifican la tensión de perforación representada por BV_{EBO}. El subíndice 0 indica que BV_{EBO} está valorada con la condición de que la corriente de colector sea nula. La tensión de perforación puede estar comprendida entre 0,5 V y varias decenas de volt. Si BV_{EBO} es por ejemplo de 6 V (como es el caso en el transistor 2N2222A) debe elegirse V_{BB} con un valor máximo de 6 V.

Los transistores integrados pequeños están sujetos a los mismos valores máximos, que son del mismo orden que los indicados para el 2N2222A.

REFERENCIAS

1 Hodges, D.E., y H.G. Jackson: "Analysis and Design of Digital Integrated Circuits," McGraw-Hill Book Company, Nueva York, 1983.

2 Gray, P.R., y R.G. Meyer: "Analysis and Design of Analog Integrated Circuits," 2ª ed., John Wiley and Sons, Nueva York, 1984.

3 Yang, E.S.: "Fundamentals of Semiconductor Devices," McGraw-Hill Book Company, Nueva York, 1978.

4 Grebene, A.B.: "Bipolar and MOS Analog Integrated Circuit Design," John Wiley and Sons, Nueva York, 1984.

Los tres documentos siguientes son clásicos en el asunto:

5 Schockley, W.: The Theory of *p-n* Junctions in Semiconductors and *p-n* Junction Transistors, *Bell Systems Tech. J.*, vol. 28, pp. 435-489, Julio 1949.

6 Ebers, J.J. y J.L. Moll: Large-Signal Behavior of Junction Transistors, *Proc. IRE*, vol. 42, pp. 1761-1772, Diciembre, 1954.

7 Early, J.M.: Effects of Space-Charge Layer Widening in Junction Transistors, *Proc. IRE*, vol. 40, pp. 1401-1406, Noviembre 1952.

TEMAS DE REPASO

3-1. Cítense tres características de una fuente de corriente gobernada.

3-2. Dibujar una recta de carga en la característica de salida de una fuente de corriente gobernada ideal y señalar el punto de dicha recta en el que el funcionamiento se aproxima a (*a*) un interruptor abierto, (*b*) un interruptor cerrado, y (*c*) una fuente gobernada.

3-3. Dibujar el símbolo del circuito de un transistor *npn* indicando los sentidos de referencia de las tres corrientes y las polaridades de referencia de las tres tensiones.

3-4. Repetir el tema anterior para un transistor *pnp*.

3-5. Indicar las componentes de la corriente de electrones y huecos para un transistor *pnp* polarizado en la región activa directa.

3-6. (*a*) Escribir la ecuación de Ebers-Moll para un transistor *pnp*.
(*b*) Dibujar un modelo de circuito basado en las ecuaciones de Ebers-Moll.

3-7. Establecer la condición de reciprocidad.

3-8. Repetir el tema 3-6 para un transistor *npn*.

3-9. Definir α_F y α_R y describir brevemente el significado de cada uno.

3-10. Definir de palabra y mediante una ecuación la ganancia de corriente en emisor común.

3-11. ¿Cuál es el significado de ganancia de corriente inversa en cortocircuito?

3-12. Definir las cuatro formas o modos de funcionar el BJT e indicar su principal actuación en cada caso.

3-13. En un transistor *pnp* en su región activa, ¿cuál es el signo, positivo o negativo, de I_E, I_C, I_B, V_{CB} y V_{EB}?

3-14. Repetir el tema 3-13 para un transistor *npn*.

3-15. (*a*) Esbozar la característica de salida en base común de un transistor e indicar sus regiones activa, de corte y de saturación.
(*b*) Explicar cualitativamente la forma de estas curvas.

3-16. Esbozar la característica de entrada en base común y explicar su forma.

3-17. Explicar la modulación del ancho de base (efecto Early).

3-18. (*a*) Dibujar el circuito de un transistor en la configuración en emisor común.
(*b*) Esbozar la característica de salida y explicar su forma.

3-19. (*a*) ¿Cuál es el orden de magnitud de la corriente I_{CBO}?
(*b*) ¿Cómo varía I_{CBO} con la temperatura?
(*c*) ¿Por qué I_{CBO} difiere de I_{CO}?

3-20. (*a*) Definir $\beta_{forz.}$.
(*b*) ¿Cómo difiere $\beta_{forz.}$ de β_F?

3-21. (*a*) Cita los valores típicos de $V_{CE\,(sat)}$ y de $V_{BE\,(sat)}$.
(*b*) ¿Cuáles son los valores de V_{CE} en el borde de saturación, V_{BE} en corte y V_{BE} en la región activa?

3-22. Dibujar los modelos de continua de un transistor en cada una de las cuatro regiones de trabajo.

3-23. Explicar cómo puede usarse un transistor como interruptor.

3-24. (*a*) Citar los factores que determinan la velocidad de conmutación de un BJT.
(*b*) Explíquese el significado de cada término del apartado anterior.

3-25. Explicar cómo puede usarse un BJT como amplificador.

3-26. Indicar si los siguientes símbolos se refieren a valores en continua, variables en el tiempo o instantáneos = v_{ce}, V_{CE}, v_{CE} y V_{ce}.

3-27. (*a*) Dibujar el circuito híbrido π equivalente.
(*b*) Explicar el origen (o proceso físico) que hace aumentar cada término.

3-28. Dibujar el circuito equivalente a baja frecuencia del BJT.

3-29. (*a*) Definir la transconductancia g_m.
(*b*) Escribir una ecuación que relacione g_m con la ganancia de corriente β_o.

3-30. (*a*) Demostrar por medio del diagrama de un circuito cómo puede utilizarse un BJT como diodo.
(*b*) ¿Cuál es el régimen de funcionamiento del BJT del apartado anterior?

3-31. (*a*) Esbozar el circuito de una fuente de corriente.
(*b*) Explicar brevemente por qué esto es una fuente de corriente.

3-32. Dibujar la configuración del circuito de un par de emisor acoplado.

3-33. Explicar brevemente cómo puede usarse el par diferencial a manera de amplificador y de interruptor.

3-34. ¿Qué es lo que limita la corriente que un transistor puede transportar?

3-35. (*a*) Definir la perforación.
(*b*) ¿Qué limitación en el funcionamiento de un transistor puede atribuirse a la perforación?

4

Transistores de efecto campo

El *transistor de efecto campo*, o simplemente FET (de la denominación Field-Effect-Transistor) es un dispositivo semiconductor de tres terminales muy empleado en circuitos digitales y analógicos. Existen dos tipos de tales dispositivos, los MOSFET y JFET, siglas correspondientes a Transistores Metal-Oxido-Semiconductor, y Unión (junction) Efecto Campo respectivamente.

Los FET tienen la particularidad de ser de fabricación más simple y de ocupar menos espacio en un chip que los BJT. La densidad de componentes resultante puede ser extraordinariamente alta, superando frecuentemente los 100.000 MOSFET en un solo chip. Otra ventajosa cualidad es la de que los dispositivos MOS se pueden conectar como resistencias y como condensadores. Esto posibilita diseñar sistemas formados exclusivamente de MOSFET sin ningún otro componente. Aprovechando esta cualidad, el MOSFET es el dispositivo dominante en los sistemas integrados a muy grande escala (VLSI). Los JFET gozan de las propiedades de tener una resistencia de entrada alta y ruido bajo, por lo que se emplean en circuitos de procesado de señales.

A diferencia del BJT tratado en el capítulo 3, el FET es un dispositivo de portadores mayoritarios. Su funcionamiento se basa en la aplicación de un campo eléctrico para gobernar la corriente. Así, el FET es una fuente de corriente de tensión controlada. En este capítulo examinaremos los principios físicos que rigen en ambos tipos de FET y que emplearemos para desarrollar las características volt-amperio. También trataremos del FET como interruptor y como amplificador. Describiremos primeramente el JFET porque su funcionamiento se desarrolla directamente de la unión *pn* y de sus propiedades semiconductoras. Las características del MOSFET se comprenden más fácilmente una vez conocida la relación tensión-corriente del JFET.

4-1. LA FUENTE IDEAL DE CORRIENTE CON TENSIÓN REGULADA

En el párrafo de introducción de este capítulo se ha aludido al hecho de que el FET funciona como fuente de corriente de tensión controlada. Así como se trató de la fuente de corriente gobernada (Sec. 3-1) antes que del BJT, será conveniente describir las propiedades de la fuente de corriente de tensión regulada antes de estudiar el FET.

Esta fuente ideal, representada en la Fig. 4-1*a*, es un elemento de tres terminales en el que la tensión de control v_I se aplica a los terminales 1-3 y la fuente de corriente $g_m\, v_I$ actúa entre los terminales 2-3. El parámetro g_m llamado *transconductancia* o *conductancia mutua* relaciona la potencia de la fuente con la tensión de control (con referencia a la Fig. 3-33). En la Fig. 4-1*b* están representadas las características de salida sobre las que se ha señalado una recta de carga correspondiente a R_L y V_{22}. Esta recta de carga representa la ecuación de Kirchhoff del lazo de salida (conteniendo los terminales 2-3) del circuito de la Fig. 4-2.

En el punto *a* de la recta de carga, correspondiente a $v_I = V_{Ia}$ la tensión v_2 es «alta» mientras que la corriente i_2 es «baja». Estos valores corresponden aproximadamente a un interruptor abierto. Análogamente el funcionamiento en el punto *b* de la recta de carga, en donde $v_I = V_{Ib}$ supone una corriente «alta»

(*a*)

(*b*)

Figura 4-1. (*a*) Representación del circuito, y (*b*) característica tensión-intensidad de una fuente de corriente ideal gobernada por tensión.

y una caída de tensión «baja» a través del dispositivo, lo que se asemeja a un interruptor cerrado. En consecuencia una señal de tensión $v_i = v_I$ aplicada entre los terminales 1-3 controla el estado del interruptor en los terminales 2-3. Es decir, que si v_i pasa de V_{Ia} a V_{Ib} se cierra entre 2 y 3 el interruptor que estaba abierto, e inversamente una variación de v_i de V_{Ib} a V_{Ia} abre el interruptor.

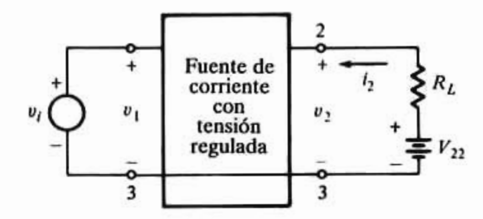


Figura 4-2. Circuito que emplea una fuente de corriente gobernada como interruptor o como amplificador. La recta de carga es la indicada en la Fig. 4-1*b*.

En la Fig. 4-1*b* vemos también el comportamiento del circuito de la Fig. 4-2 cuando $v_i = V_{IQ} + V_{Im}$ sen ωt, que queda indicado por la variación senoidal de v_I alrededor del valor de reposo V_{IQ}. La tensión de salida correspondiente v_2 es también senoidal con un valor de cresta V_{2m} superpuesto al nivel de reposo

V_{2Q}. Asimismo, i_2 es la suma de una componente en continua I_{2Q} y una senoide de I_{2m} de valor de cresta. Lo más frecuente es que la amplitud de la componente senoidal de la tensión de salida V_{2m} sea mayor que V_{1m}, con lo que se consigue una ganancia de tensión (amplificación).

Esta breve introducción nos demuestra que la fuente de corriente con tensión gobernada puede emplearse como interruptor o como amplificador. En las próximas secciones analizaremos el funcionamiento físico y las características de los FET y demostraremos que estos dispositivos poseen propiedades de fuente de corriente.

4-2. TRANSISTORES DE UNIÓN DE EFECTO CAMPO

En la Fig. 4-3 vemos la estructura básica de un JFET de canal n[1]. Los terminales de *drenaje* y de *fuente* los constituye el contacto óhmico en los extremos de una barra semiconductora de tipo n. Se puede obligar que los portadores mayoritarios, electrones, fluyan a lo largo de la barra aplicando una tensión entre drenaje y fuente. El tercer terminal, denominado *puerta* se forma conectando eléctricamente las dos zonas sombreadas p^+. La zona tipo n comprendida entre las dos p^+ se denomina *canal* y por ella circulan los portadores mayoritarios entre fuente y drenaje.

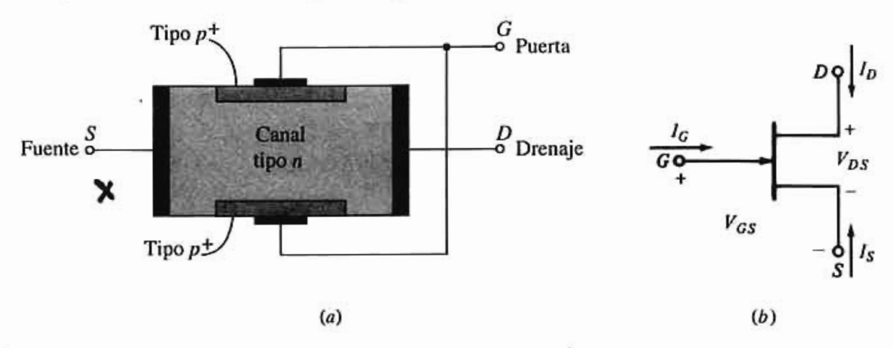


Figura 4-3. (*a*) Estructura, y (*b*) símbolo del transistor de unión de efecto campo, de canal n (JFET).

En la Fig. 4-3*b* se han señalado las convenciones normalizadas para los terminales positivos de corrientes y tensiones y en ella figura también el símbolo de un JFET de canal n. La estructura y símbolo para un JFET de canal p los podemos ver en la Fig. 4-4.

Las estructuras representadas en las Figs. 4-3 y 4-4 permiten describir la actuación de los JFET. La Fig. 4-5 corresponde a la sección recta de un JFET planar integrado de canal n. La vista superior muestra cómo se hacen los contactos de aluminio con las regiones de fuente, drenaje y puerta.

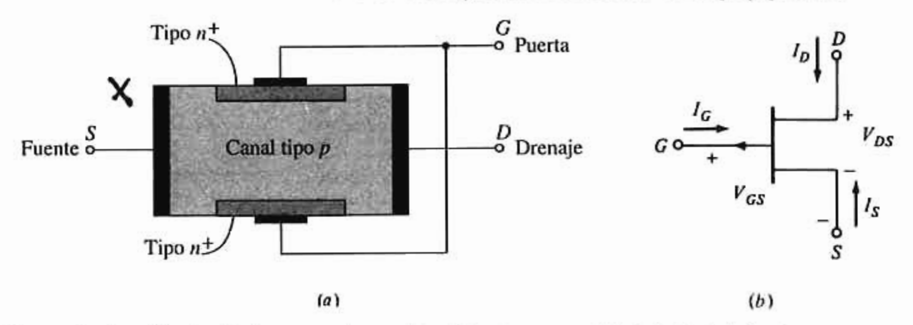


Figura 4-4. Transistor de unión de efecto campo, de canal p. (*a*) estructura, y (*b*) símbolo del circuito.

[1] La estructura actual y fabricación del JFET figuran en el capítulo 5.

Funcionamiento del JFET

Consideremos la representación gráfica del dispositivo de canal *n* de la Fig. 4-3, reproducido para mayor conveniencia en la Fig. 4-6*a*. El diagrama esquemático de la Fig. 4-6*b* corresponde al dispositivo de la Fig. 4-6*a*, en configuración de fuente común. Aun cuando nuestro estudio está dirigido hacia un dispositivo de canal *n* es aplicable igualmente al caso de canal *p* si admitimos que las polaridades de las tensiones y el sentido de las corrientes de éste son opuestos a los de un JFET de canal *n*.

Observemos que las regiones de puerta y el canal forman una unión *pn* que en su funcionamiento como JFET se mantiene con polarización inversa. Una tensión puerta-fuente negativa polariza en inversa la unión, al igual que lo hace una tensión positiva drenaje-fuente. Hay que recordar que a ambos lados de una unión *pn* con polarización inversa (la región de deplexión) hay zonas de carga espacial (Sec. 2-1). Los portadores de corriente se han propagado a través de la unión dejando sólo iones positivos descubiertos en el lado *n* e iones negativos en el *p*. Cuando crece la polarización inversa de la unión también lo hace el espesor de la región de cargas descubiertas inmóviles. Ahora podemos justificar el uso de la región de puerta p^+. En la Sec. 2-13 vimos que la región de deplexión se extiende más en la zona de menor dopado. Así el uso de p^+ forma una capa de carga espacial que está casi totalmente en el canal *n*. La conductividad de esa región es nominalmente cero por la falta de portadores de corriente. Por tanto el ancho efectivo del canal de la Fig. 4-6 irá disminuyendo al aumentar la polarización inversa. A una determinada tensión

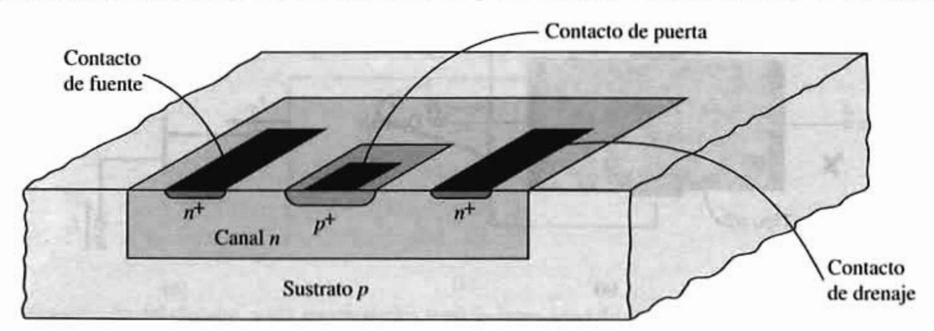


Figura 4-5. Estructura de un JFET integrado, planar de canal *n*.

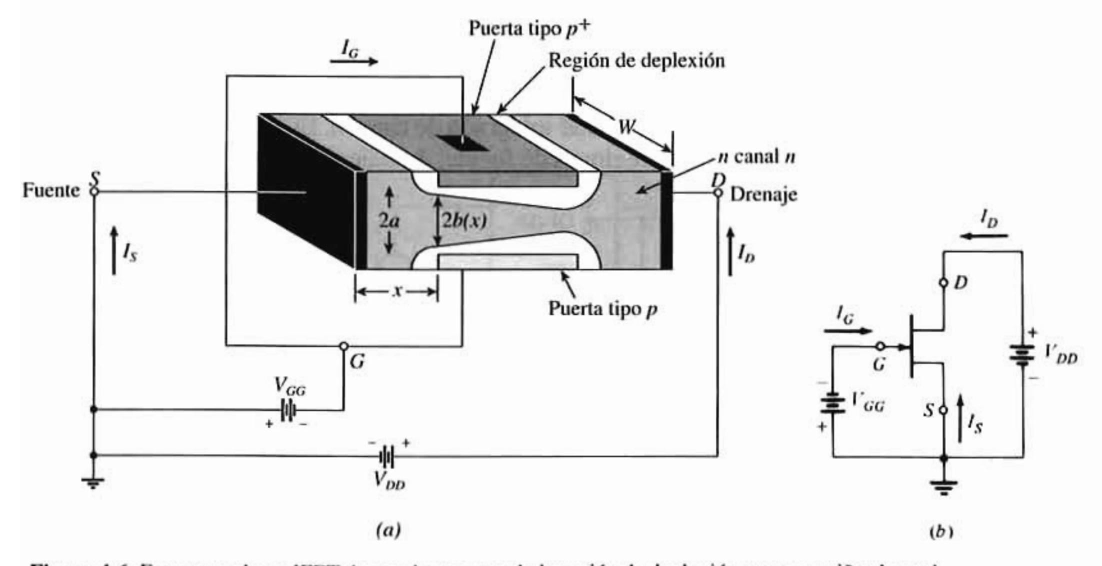


Figura 4-6. Estructura de un JFET de canal *n* mostrando la región de deplexión que constriñe el canal.

puerta-fuente $V_{GS} = V_p$ llamada *tensión de estricción* el ancho del canal queda reducido a cero porque han sido eliminadas del mismo todas las cargas libres. En consecuencia, para una determinada tensión drenaje-fuente, la corriente de drenaje será función de la tensión de polarización inversa de la unión de puerta. Para describir este dispositivo se emplea la voz de *efecto campo* porque el gobierno de la corriente es el efecto de la extensión del campo asociado con la región de deplexión al aumentar la polarización inversa.

4-3. CARACTERÍSTICA TENSIÓN-CORRIENTE DE UN JFET

La característica de drenaje de un FET discreto típico de canal *n* representada en la Fig. 4-7 da I_D en función de V_{DS} con V_{GS} como parámetro. Para apreciar cualitativamente el porqué estas curvas tienen la forma representada consideremos primeramente el caso en el que $V_{GS}=0$. Para $I_D=0$ el canal entre las uniones de puerta está completamente abierto. En respuesta a la aplicación de una pequeña tensión V_{DS} la barra de tipo *n* actúa como una simple resistencia semiconductora, y la corriente I_D crece linealmente con V_{DS}. Al aumentar la corriente, la caída óhmica de tensión a lo largo del canal tipo *n* polariza en inverso la unión de puerta y la porción conductora del canal empezará a estrecharse. Debido a la caída óhmica a lo largo del propio canal la estricción no es uniforme, siendo tanto más pronunciada cuanto más alejada de la fuente como puede verse en la Fig. 4-6. Existe una tensión V_{DS} a la cual el canal se cierra. Esta tensión, no claramente definida es la que en la Fig. 4-7 empieza a doblar la curva de corriente tendiendo a adquirir un valor constante. En principio no es posible cerrar completamente el canal anulando en consecuencia I_D. Ciertamente, si se llegara a esto no existiría la caída óhmica necesaria para proporcionar la polarización inversa requerida. Obsérvese que cada curva característica tiene una región *óhmica* o no *saturada* para pequeños valores de V_{DS} en la que I_D es proporcional a V_{DS}. Cada curva tiene también una región de corriente constante o de saturación para valores grandes de V_{DS} en la que I_D se ve poco afectada por V_{DS}.

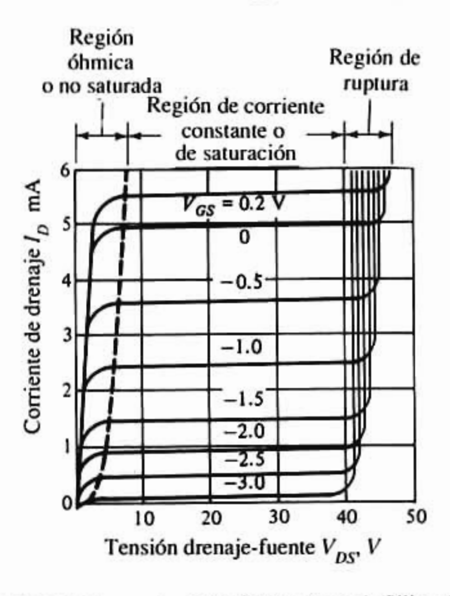


Figura 4-7. Característica de salida del JFET de canal *n* 2N4869 (Cortesía de Siliconix Inc.).

Con $V_{GS} = 0$ la tensión necesaria para polarizar en inverso la unión viene suministrada por V_{DS}. Si se aplica una V_{GS} negativa, la región de deplexión resultante reduce el ancho del canal incluso con $V_{DS} = 0$.

Así la estricción tiene lugar con un valor menor de V_{DS} y el valor máximo de I_D queda rebajado como se aprecia en la Fig. 4-7. Con $V_{GS} = V_p$, la tensión de estricción, $I_D = 0$ ya que el canal queda completamente cerrado para cualquier valor de $V_{DS} \geq 0$.

Obsérvese que también se señala una curva para $V_{GS} = +0{,}2$ V que corresponde a polarización directa. Recuérdese que la corriente de puerta es muy pequeña ya que la tensión es menor que la tensión umbral $V\gamma = 0{,}5$ V para el silicio. La corriente de puerta cuando $V_{GS} \leq 0$ es virtualmente nula y frecuentemente se desprecia.

En la Fig. 4-7 se distinguen cuatro zonas de trabajo de los JFET, que son las de: resistencia óhmica, saturación, ruptura y corte, cada una de las cuales vamos a tratar con más detalle.

La región óhmica

En la región de resistencia variable de un JFET, V_{DS} es pequeña pero I_D puede ser apreciable. La situación corresponde a la de un interruptor cerrado. Vamos a describir analíticamente la relación tensión-corriente en esta región.

Supongamos en primer lugar que se aplica una pequeña tensión V_{DS} entre drenaje y fuente. La pequeña corriente de drenaje I_D no tendrá efecto apreciable en el perfil del canal. En estas condiciones podemos considerar que la sección transversal A del canal es uniforme en toda su longitud. Por tanto $A = 2\,bW$ siendo $2b$ la anchura del canal correspondiendo a una corriente de drenaje nula para un valor dado de V_{GS} y siendo W la dimensión del canal normal a la dirección de b como se indica en la Fig. 4-6.

Puesto que no circula corriente en la región de deplexión mediante la ley de Ohm [Ec. (1-21)] obtendremos la corriente de drenaje:

$$I_D = AqN_D\mu_n\mathcal{E}_x = 2bWqN_D\mu_n\frac{V_{DS}}{L} = 2bqN_D\mu_n\left(\frac{W}{L}\right)V_{DS} \tag{4-1}$$

siendo L la longitud del canal. La Ec. (4-1) describe la característica tensión-corriente de la Fig. 4-7 para valores muy pequeños de V_{DS} y pone de manifiesto que en estas condiciones el FET actúa como una resistencia óhmica cuyo valor lo determina V_{GS}. La relación V_{DS}/I_D en el origen se denomina resistencia de drenaje $r_{DS\,(ON)}$. Con $V_{GS} = 0$, lo que hace $b = a$, obtendremos de la Ec. (4-1):

$$r_{DS(ON)} = \frac{1}{2aqN_D\mu_n}\cdot\left(\frac{L}{W}\right) \tag{4-2}$$

El parámetro $r_{DS\,(ON)}$ tiene importancia en las aplicaciones como interruptor ya que es un índice de cuánto se desvía el FET de un interruptor ideal en el que la resistencia ON es cero. En las especificaciones de los fabricantes se citan valores de $r_{DS\,(ON)}$ que van desde unos pocos ohmios hasta varios centenares para los FET y MOSFET comerciales de canal n. Puesto que la movilidad de los huecos es menor que la de los electrones $r_{DS\,(ON)}$ es mucho más alta para los FET de canal p que para los de canal n. Esta mayor movilidad significa una mayor rapidez de conmutación y estos factores contribuyen a que prevalezcan los dispositivos del canal n sobre los de canal p.

El concepto de que en la región óhmica el JFET es una resistencia variable con la tensión se puede deducir de la Ec. (4-1) y Fig. 4-6 de la siguiente forma: El ancho b del canal es función de la tensión de polarización inversa V_{GS} Un aumento de $|V_{GS}|$ disminuye b e I_D para un valor dado de V_{DS}. En consecuencia, la pendiente de la característica I_D en función de V_{DS} en su origen decrece al aumentar $|V_{GS}|$.

Obsérvese que I_D depende de la relación W/L. Esta cantidad es importante en el diseño del FET ya que sirve de factor de escala para la corriente del dispositivo. Para una determinada densidad de dopado el ajuste de W/L permite fabricar en un mismo chip FETs con distintas capacidades de conducción de corrientes. Además, según la Ec. (4-2) se puede controlar $r_{DS\,(ON)}$ seleccionando la relación W/L.

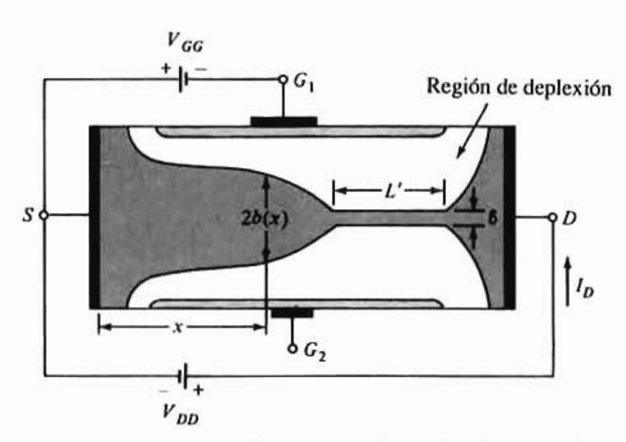


Figura 4-8. Después del punto de estricción, al aumentar V_{DS} aumenta L', pero δ e I_D se mantienen prácticamente constantes. (G_1 y G_2 están unidos entre sí.)

La región de saturación o de estricción

Consideremos el caso en el que se emplee V_{DS} para crear un campo eléctrico $\mathscr{E}_x$ a lo largo del eje x para un valor dado de $|V_{GS}| < |V_p|$. Si circula una corriente de drenaje apreciable I_D el extremo de la puerta próximo al drenaje está más polarizado inversamente que el extremo de fuente, y por tanto los límites de la región de deplexión no son paralelos al eje del canal sino que convergen como se ve en la Fig. 4-8. Seguidamente comentaremos cualitativamente lo que sucede en el canal a medida que aumenta la tensión de drenaje y se aproxima la estricción.

Al aumentar V_{DS} aumentan $\mathscr{E}_x$ e I_D mientras disminuye $b(x)$ debido al estrechamiento del canal, y por tanto la densidad de corriente $J = I_D/2b(x)\,W$ también aumenta. Vemos que no se puede producir un estrechamiento total ($b = 0$) puesto que si tal sucediera J llegaría a ser infinito lo que es físicamente imposible. Si J fuera creciendo sin límite, según la Ec. (4-1) también crecería $\mathscr{E}_x$ puesto que μ_n permanece constante. Sin embargo se ha comprobado experimentalmente que la movilidad es función de la intensidad del campo eléctrico y se mantiene constante sólo si $\mathscr{E}_x < 10^3$V/cm en silicio tipo n. Para campos moderados de 10^3 a 10^4V/cm la movilidad es aproximadamente inversamente proporcional a la raíz cuadrada del campo aplicado. Para campos más elevados como en el caso de la estricción μ_n es inversamente proporcional a $\mathscr{E}_x$. En esta región la velocidad de desplazamiento de los electrones ($v_x = \mu_n\mathscr{E}_x$) se mantiene constante y ya no es válida la ley de Ohm. En la Ec. (4-1) se ve que tanto I_D como b se mantienen constantes lo que explica la zona de corriente constante en las características V-I de la Fig. 4-7.

¿Qué ocurre si V_{DS} se aumenta hasta más allá de la contracción permaneciendo V_{GS} constante? Como se ha explicado antes, el ancho mínimo del canal $b_{min} = \delta$ tiene un valor constante no nulo. Este valor mínimo se da en el extremo del drenaje de la barra. Cuando aumenta V_{DS} este aumento de tensión incrementa $\mathscr{E}_x$ en la sección del canal adyacente a la fuente. Refiriéndonos a la Fig. 4-8, la región de velocidad limitada L' crece con V_{DS} mientras que δ se mantiene fijo.

Hay que tener cuidado para no confundir el distinto significado entre estricción y saturación al tratar de dispositivos semiconductores. A lo largo de la porción de corriente constante de las características, la estricción se refiere al hecho de que V_{DS} se emplea para cerrar el canal casi enteramente. La tensión de estricción V_p se refiere a la tensión aplicada a la puerta que bloquea totalmente el canal independientemente de V_{DS}. En un FET, la saturación se refiere al valor limitador de la velocidad de desplazamiento. Así pues, el número de portadores que pueden ser transportados a través del canal por unidad de tiempo queda

limitado o saturado, e I_D permanece constante. Éste es un significado de saturación verdaderamente distinto del visto en el Cap. 3 para el BJT.

La característica de corriente constante de la Fig. 4-7 muestra que el FET se aproxima a la fuente de corriente ideal gobernada por tensión de la Fig. 4-1 en donde v_1, i_2 y v_2 corresponden a V_{GS}, I_{DS} y V_{DS} respectivamente.

Ruptura

La máxima tensión que se puede aplicar entre dos terminales cualquiera de un FET coincide con la mínima tensión capaz de producir ruptura por avalancha, a través de la unión de puerta (Sec. 2-11). En la Fig. 4-7 se ve que se produce la avalancha a un valor menor de $|V_{DS}|$ cuando la puerta tiene polarización inversa que cuando $V_{GS} = 0$. Esto es debido al hecho de que la tensión de polarización inversa de la puerta se suma a la de drenaje aumentando en consecuencia la tensión efectiva en la unión de puerta. Las especificaciones de los fabricantes (Apéndice B-5) indican cuál es la tensión de ruptura entre drenaje y fuente estando la puerta cortocircuitada con la fuente. Esta tensión se designa BV_{DSS} y su valor va desde unos cuantos volt en dispositivos integrados hasta más de 50 V en FETs de potencia.

Corte

En un FET real, aun estando en corte, o sea con $|V_{DS}| > |Vp|$ subsiste la misma corriente de fuga de drenaje I_{DS} (OFF). La corriente inversa de fuente denominada también corriente de corte de puerta y designada I_{GSS} es la corriente puerta-fuente con el drenaje cortocircuitado con la fuente para $|V_{GS}| > |V_p|$. Los fabricantes especifican los valores máximos de $I_{DS\,(OFF)}$ e I_{GSS}. Cada una de estas puertas puede valer entre 1pA en circuitos integrados y decenas de nanoamperios en FET discretos. A la temperatura de 150 °C estos valores deben multiplicarse aproximadamente por 1.000.

Observemos que en corte, con $|V_{GS}| > |V_p|$, $I_D \approx 0$ y V_{DS} puede ser grande. Éste es el comportamiento de un interruptor abierto.

4-4. CARACTERÍSTICA DE TRANSFERENCIA DEL JFET

La característica tensión-corriente de la Fig. 4-7 indica que en la región de saturación el valor de la corriente de drenaje I_D depende de la tensión V_{GS} de polarización inversa. La *característica de transferencia* relaciona I_D con V_{GS} a un valor constante de V_{DS}. La Fig. 4-9 corresponde a la característica de transferencia del FET de canal *n* 2N4869 con $V_{DS} = 10$ V. La corriente de drenaje a $V_{GS} = 0$ se designa con el símbolo I_{DSS} que para el 2N4869 es de 5 mA. Para los JFET fabricados comercialmente, I_{DSS} va desde alguna decena de microamperios hasta centenares de miliamperios. Los valores más bajos de I_{DSS} son propios de los JFET integrados, y los más altos de los dispositivos de potencia.

Las características de transferencia pueden expresarse analíticamente como en la Ec. (4-3)

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_p}\right)^2 \tag{4-3}$$

V_{GS} y V_p son negativas en un JFET de canal *n* y positivas en uno de canal *p*, por tanto la Ec. (4-3) es válida para ambos tipos.

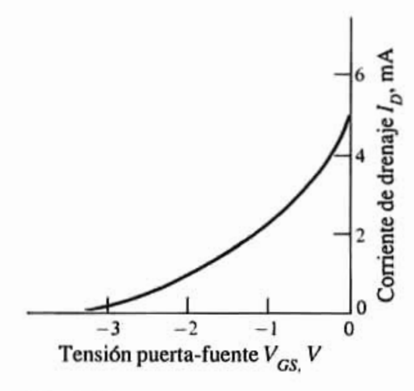


Figura 4-9. Característica de transferencia (I_c en función de V_{GS}) del JFET 2N4869 de canal *n* con V_{DS} = 10 V.

La característica de transferencia demuestra nuevamente el comportamiento como fuente controlada del JFET. Si consideramos V_{GS} como entrada e I_D como salida, la Ec. (4-3) y la Fig. 4-9 describen una fuente de corriente gobernada por tensión: el funcionamiento como tal es la base de los circuitos amplificadores JFET.

4-5. EL MESFET

El MESFET es un JFET construido en arseniuro de galio (GaAs) con una región de puerta metal-semiconductor (un diodo Schottky). Los principios de funcionamiento y características del MESFET son similares a los del JFET de silicio descrito en las Sec. 4-2 a 4-4. La movilidad de los electrones en el GaAs es de 5 a 10 veces mayor que en el silicio lo que le permite operar a frecuencias mayores que las toleradas por los dispositivos de silicio. Como la movilidad de huecos en el GaAs es menor que en el silicio, los MESFET de canal *n* tienen muchas aplicaciones.

Inicialmente el MESFET se empleó en circuitos de microondas con una frecuencia de trabajo comprendida generalmente entre 1 y 10 gigahertz (GHz). A partir de 1984 se han fabricado comercialmente circuitos lógicos rápidos con MESFET. Estos circuitos lógicos se diseñan para que sean compatibles con la familia lógica bipolar de gran velocidad denominada *lógica de emisor acoplado* (ECL). (Sec. 6-14).

4-6. EL MOSFET DE ACUMULACIÓN

En un transistor de unión de efecto campo, la sección efectiva del canal está gobernada por un campo eléctrico aplicado al canal a través de una unión *pn*. Empleando un electrodo de puerta metálico separado del canal semiconductor por una capa de óxido se obtiene un dispositivo de efecto campo básicamente distinto. Esta disposición metal-óxido-semiconductor (MOS) permite controlar las características del canal por un campo eléctrico creado al aplicar una tensión entre la puerta y el sustrato. Un dispositivo de esta índole se denomina MOSFET o Transistor MOS. Su importancia queda patente por el hecho de fabricarse más circuitos integrados con MOS que con cualquier otro elemento semiconductor.

Existen dos tipos de transistores MOS. El MOSFET de *deplexión* cuyo comportamiento es similar al del JFET; con tensión de puerta nula y una tensión del drenaje dada, la corriente alcanza su máximo, decreciendo luego con la tensión de puerta aplicada (de la polaridad apropiada) como en la Fig. 4-7. El segundo tipo, llamado MOSFET de *acumulación* no acusa ninguna corriente cuando la tensión de puerta

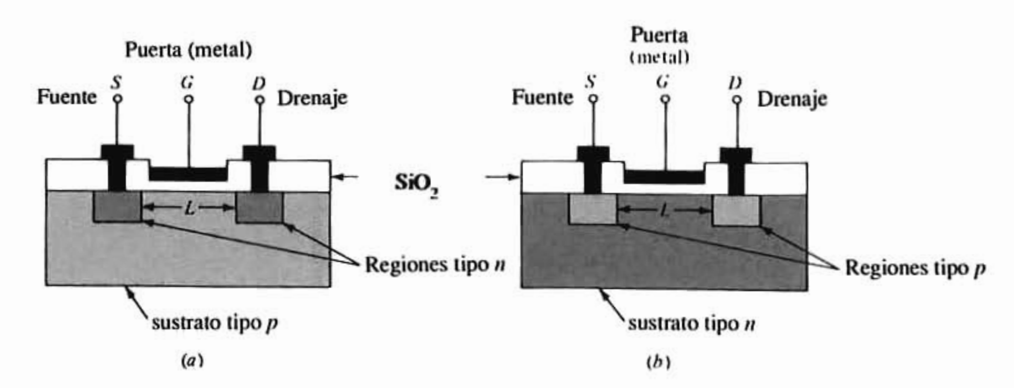


Figura 4-10. Estructura de MOSFET de acumulación: (*a*) de canal *n*, y (*b*) de canal *p*.

es nula, aumentando la corriente de salida al aumentar la tensión de puerta. Ambos tipos pueden ser de canal *p* o de canal *n*. En esta y en la próxima sección consideraremos las características de un tipo de acumulación de canal *n* y en la Sección 4-7 las de un MOS de deplexión.

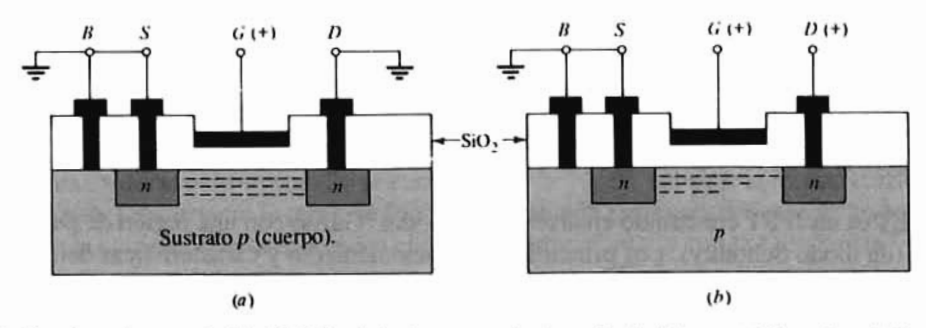


Figura 4-11. Transistor de acumulación NMOS polarizado mostrando el canal inducido, con (*a*) $V_{DS} = 0$, y (*b*) $V_{DS} > 0$.

Estructura del MOS de acumulación

La Fig. 4-10*a* representa esquemáticamente la estructura de un MOSFET de acumulación de canal *n* y en la Fig. 4-10*b* la de uno de canal *p*. Los elementos representados en la Fig. 4-10 se conocen comúnmente como transistores NMOS y PMOS respectivamente. Como se ve en la Fig. 4-10*a* las dos zonas de tipo *n* embebidas en el sustrato tipo *p* (el cuerpo) son los electrodos de fuente y de drenaje. La región comprendida entre fuente y drenaje es el canal que está cubierto con una fina capa de dióxido de silicio (SiO_2). La puerta la forma el electrodo metálico situado sobre la capa de óxido. Actualmente en la fabricación del MOSFET se utiliza una capa conductora de polisilicio[2] para la puerta en lugar del metal dibujado en la Fig. 4-10. Sin embargo, los principios físicos que determinan el funcionamiento del MOSFET son los mismos para ambos tipos de puerta.

La parte metálica de la puerta junto con la capa aislante de óxido y el canal semiconductor forman un condensador plano paralelo. Debido a la capa aislante de dióxido a este dispositivo se le llama también Transistor de efecto campo y puerta aislada (IGFET). Esta capa aislante determina una resistencia de entrada extraordinariamente alta para el MOSFET (de 10^{10} a 10^{15} Ω).

[2] Por polisilicio se entiende un silicio dopado en el que las partes individuales de la estructura cristalina están orientadas al azar. Su comportamiento es similar al de un metal.

Comportamiento físico del MOSFET de acumulación

En la Fig. 4-11*a* se ve un transistor NMOS en el que la fuente y el sustrato están conectados a tierra y la tensión drenaje-fuente V_{DS} se sitúa en cero. La tensión positiva aplicada a la puerta crea un campo eléctrico dirigido perpendicularmente a través del óxido. Este campo acaba en cargas negativas «inducidas» en la proximidad de la superficie semiconductora como se ve en la Fig. 4- 11*a*. Puesto que el sustrato tipo *p* contiene muy pocos electrones las cargas positivas superficiales son principalmente electrones procedentes de la fuente y drenaje de tipo *n*. Estas cargas móviles negativas, que son portadores minoritarios en el sustrato tipo *p*, forman una capa de inversión, que se forma únicamente si V_{GS} supera el nivel umbral V_T.[3] Las cargas inducidas bajo el óxido forman un canal *n*. A medida que crece la tensión de puerta hacia V_T también crece el número de cargas negativas inducidas en el semiconductor, y en consecuencia aumenta la conductividad del canal. Aplicando una tensión positiva entre drenaje y fuente nace una corriente en el canal inducido entre drenaje y fuente. Así, la corriente de drenaje se acrecienta por la tensión positiva de puerta, y al dispositivo se le llama MOSFET de acumulación.

Consideremos ahora la situación en la que V_{DS} aumenta desde cero manteniéndose V_{GS} a un valor positivo constante mayor que V_T (es decir, que $V_{GS}-V_T > 0$). Con valores pequeños de V_{DS} ($V_{DS} < V_{GS}- V_T$) un aumento de V_{DS} va acompañado de un aumento de la corriente de drenaje I_D. El comportamiento del MOSFET es el de una resistencia y a esta zona se le denomina *región óhmica*. A medida que crece V_{DS} la caída de tensión a lo largo del canal también crece y por tanto disminuye la tensión a través del óxido de puerta y el lado de drenaje del canal $V_{GD} = V_{DS} - V_{GS}$. Esta diferencia de tensión reducida rebaja el campo a través del extremo de drenaje del dieléctrico, lo que se traduce en menos inversión de cargas en la porción del canal inducido. El canal se está cerrando e I_D crece mucho más despacio que el aumento de V_{DS} en la región óhmica cerca del origen. Idealmente una vez llegado a la estricción, un nuevo incremento de V_{DS} no afecta a I_D habiéndose llegado a la corriente de saturación. Esta *región de saturación* es de naturaleza similar a la velocidad de saturación en un JFET. El valor de I_D que se alcanza en saturación depende de V_{GS}. Los aumentos de $V_{GS} > V_T$ aumentan los valores de saturación de I_D.

4-7. CARACTERÍSTICAS TENSIÓN-CORRIENTE DE UN MOSFET DE ACUMULACIÓN

Los fabricantes de transistores MOS integrados no facilitan curvas de las características tensión-corriente. Cuando se precisan o se desean, se deducen de las expresiones analíticas del funcionamiento del MOSFET en cada región.

Expresiones analíticas de las características tensión- corriente

Existirá un canal de inversión entre fuente y drenaje siendo $V_{DS} = 0$ sólo si $V_{GS} < V_T$. Con $V_{GS} < V_T$ no habrán cargas libres en el extremo de drenaje del canal, e $I_D = 0$. Así V_T es análogo a la tensión de estricción de un JFET. La condición de que $V_{GS} < V_T$ e $I_D = 0$ supone que el MOSFET está en corte lo que corresponde a un interruptor abierto.

Región óhmica

Como ya se ha descrito en la Sección anterior, cuando $V_{GS} > V_T$ la conductividad del canal viene

[3] En este capítulo no debe confundirse la tensión umbral con la equivalente de temperatura descrita en la Sec. 1-6.

gobernada por V_{DS} en la región óhmica (también llamada *de no saturación* o *triodo*). Precisando más, la región óhmica queda definida por $V_{GS} - V_T > V_{DS}$ (o bien $V_{GD} = V_{GS} - V_{DS} > V_T$. Un análisis teórico de la región óhmica [4] conduce al resultado de que la característica de drenaje viene dada por

$$I_D = k\left(\frac{W}{L}\right)[2\,(V_{GS} - V_T)\,V_{DS} - V_{DS}^2] \tag{4-4}$$

siendo L la longitud del canal, W el ancho del canal medido perpendicularmente a L (Fig. 4-10 y 4-11), y k un parámetro en microamperios por tensión al cuadrado. Este parámetro es $k = \mu_n C_o/2$ siendo μ_n la movilidad de los electrones y C_o la capacidad de puerta por unidad de superficie (e igual a $\in/T_{ox}$, relación entre la permitividad y el espesor de la capa de óxido). Es de notar que V_T depende también de C_o así como la densidad de dopado del drenaje y fuente tipo *n* y sustrato tipo *p*.

Región de saturación

Idealmente en la región de saturación en la que $V_{GS} - V_{VT} < V_{DS}$ (pero mayor que cero) I_D es constante e independiente de V_{DS}. El valor de I_D depende sólo de la tensión efectiva de control $V_{GS} - V_T$ como se da en la Ec. (4-5).

$$I_D = k\left(\frac{W}{L}\right)(V_{GS} - V_T)^2 \equiv I_{DS} \tag{4-5}$$

en la que el sub-índice *S* añadido a I_D indica que se toma en consideración la corriente de drenaje en saturación.

La línea divisoria entre las regiones óhmica y de saturación viene dada por $V_{GS} - V_T = V_{DS}$. Sustituyendo este valor en la Ec. (4-4) se obtiene la Ec. (4-5). La curva de trazos de la Fig. 4-12 que señala la separación entre ambas regiones viene dada por

$$I_D = k\left(\frac{W}{L}\right)V_{DS}^2 \tag{4-6}$$

De las Ec. (4-4) y (4-5) se desprenden algunas observaciones notables. En primer lugar, la relación *W/L* es un parámetro importante que sirve como factor de escala para la corriente de drenaje. Así, dos (o más) MOSFET de igual valor V_T pero de distinta capacidad de corriente pueden fabricarse en un mismo chip empleando dos (o más) valores distintos de *W/L*. En segundo lugar, el parámetro *k* tiene unos valores típicos comprendidos entre 10 y 50 $\mu A/V^2$ en los NMOS comerciales actuales. En consecuencia sólo se obtienen valores altos de I_D (varios miliamperios) en dispositivos de relación *W/L* alta, es decir, dispositivos que ocupen mucha superficie.

Las características tensión-corriente de la Fig. 4-12 se deducen de las Ecs. (4-4) y (4-5) para un MOSFET de acumulación de canal *n* con $k = 20\ \mu A/V^2$, $W/L = 1$ y $V_T = 2V$. La línea divisoria entre las regiones óhmica y de saturación señalada en la Fig. 4-12 se obtiene trazando la parábola de la Ec. (4-6). Obsérvese que si multiplicamos *W/L* por un factor *F*, I_D queda también multiplicada por el mismo factor para los mismos valores de V_{DS} y V_{GS}.

La característica de transferencia del MOSFET es una gráfica de I_D en función de V_{GS} con un valor constante de V_{DS} en la región de saturación. La curva de la Fig. 4-13 es la característica de transferencia del MOSFET de la Fig. 4-12.

---

[4] Véanse las Referencias 1 al 5 al final de este capítulo.

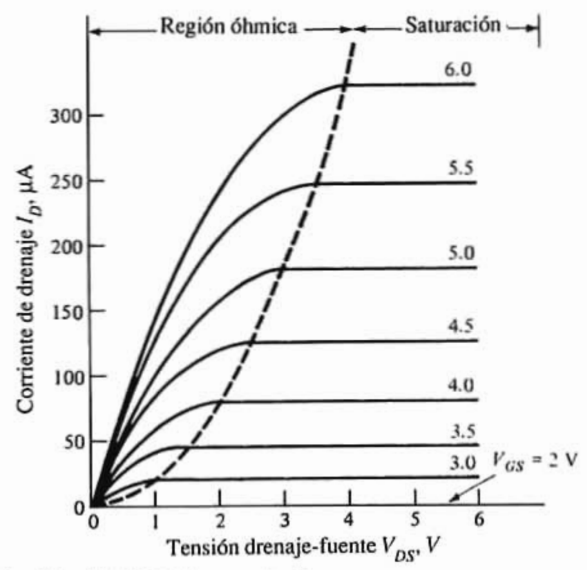


Figura 4-12. Características de salida del NMOS de acumulación.

Las características de la Fig. 4-12 corresponden a un MOSFET ideal. En realidad I_D crece ligeramente con V_{DS} en la región de saturación, debido a la «modulación de longitud del canal» que es un efecto análogo a la modulación del espesor de base en un BJT. En la Fig. 4-14 se ve que si prolongamos las características reales hacia el segundo cuadrante, todas ellas concurren en $V_{DS} = -1/\lambda$. Debido a su semejanza con el efecto Early en los BJT, la cantidad $1/\lambda$ se denomina también *tensión Early*, cuyos valores típicos van desde 0,01 a 0,03 V^{-1}. Para tener en cuenta la modulación de longitud del canal, se modifica la Ec. (4-5) introduciendo el factor $(1 + \lambda V_{DS})$ como consta en la Ec. (4-7).

$$I_D = k \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \tag{4-7}$$

Corrientemente el término $(1 + \lambda V_{DS})$ es despreciable en circuitos digitales, pero puede tener su importancia en circuitos analógicos.

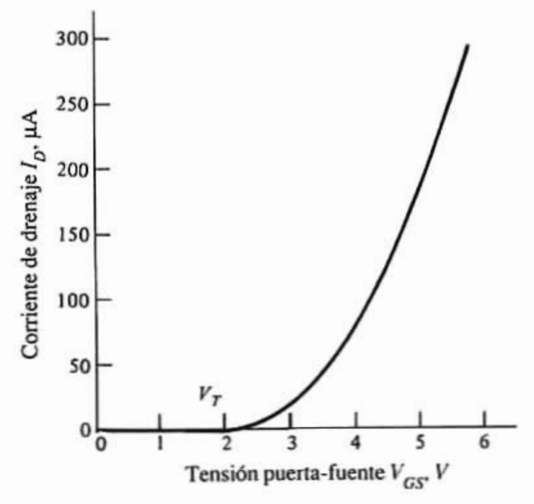


Figura 4-13. Característica de transferencia del transistor de acumulación NMOS de la Fig. 4-12.

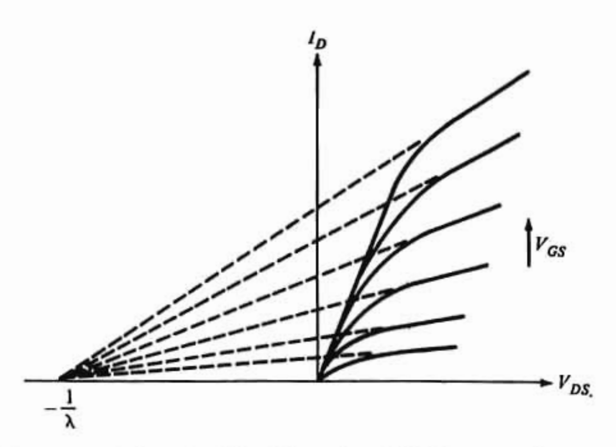


Figura 4-14. Prolongación de las características de salida del transistor NMOS mostrando el efecto de la modulación de longitud del canal.

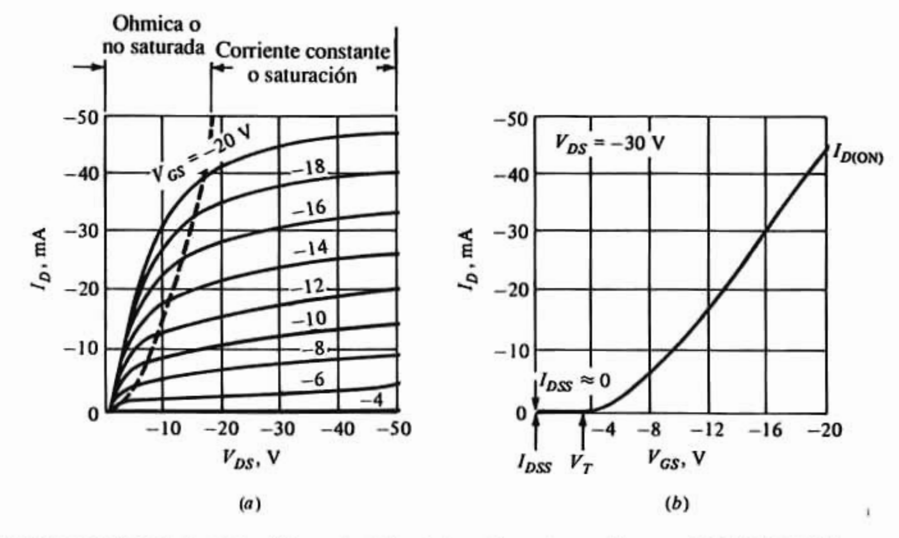


Figura 4-15. (*a*) Características de drenaje y (*b*) característica de transferencia para V_{DS} = —30 V del PMOS de acumulación 3N133 (Cortesía de Siliconix Inc.).

Características del MOSFET de acumulación de canal *p*

El transistor PMOS representado en la Fig. 4-10*b* consta de dos zonas tipo *p* en un sustrato tipo *n*. Los principios físicos de este MOSFET son los mismos que los del NMOS. Las Ecs. (4-4) a (4-7) son aplicables una vez reconocido que todas las polaridades de las tensiones y los sentidos de las corrientes de un PMOS son opuestas a las correspondientes en un NMOS. Asimismo, al calcular el parámetro *k* debe sustituirse μ_n por la movilidad de huecos μ_p.

En la Fig. 4-15*a* se ven las características tensión-corriente de un transistor discreto PMOS y en la Fig. 4-15*b* su característica de transferencia. Obsérvese que la forma general de estas curvas es similar a las del NMOS de las Figs. 4-12 y 4-13. Sin embargo, véanse los distintos niveles de corrientes y tensiones en estos elementos. En la fabricación de MOSFET discretos, las dimensiones pueden ser mayores de lo

que conviene en los MOSFET integrados. En consecuencia, pueden obtenerse transistores MOS discretos para mayor corriente que puedan funcionar con mayores tensiones aplicadas.

Comparación entre transistores PMOS y NMOS

Cronológicamente en los sistemas MOS se emplearán los transistores de acumulación de canal *p* por ser de fabricación más fácil, tener mejor rendimiento y ser más fiables que los de canal *n*. Las posteriores mejoras en la fabricación han dado el dominio de los NMOS y, salvo la tecnología CMOS (Sec. 4-15), los dispositivos PMOS han quedado casi totalmente obsoletos, debido a las razones expuestas en el párrafo siguiente.

La movilidad de los huecos en el silicio con intensidades de campo normales es de unos 500 $cm^2/(Vs)$. Por otra parte, la movilidad de los electrones es de unos 1.300 $cm^2/(Vs)$. Con esto, en dispositivos de iguales dimensiones: (1) la corriente en un transistor PMOS es menos de la mitad que en un NMOS, y (2) la resistencia ON de un MOSFET de canal *p* es de casi tres veces la de uno de canal *n*. A su vez, para tener los mismos valores de corriente y de resistencia que en un transistor NMOS debe aumentarse la relación W/L de un PMOS para tener en cuenta la menor movilidad de los huecos [Ec. (4-5)]. Por ello, los dispositivos PMOS requieren una superficie tres veces mayor que la de un transistor NMOS equivalente y a igual complejidad los circuitos NMOS son más pequeños que los PMOS, y debido a su mayor densidad de componentes son también más rápidos en funciones de conmutación. La velocidad de actuación está limitada principalmente por la constante de tiempo RC, y C es directamente proporcional a la sección recta de la unión. Estas razones hacen que se empleen casi exclusivamente los dispositivos NMOS.

4-8. EL MOSFET DE DEPLEXION

Se puede formar un segundo tipo de transistor MOS si entre las zonas tipo *n* de drenaje y de fuente se difunde en el sustrato un canal *n*. Consideremos el funcionamiento de ese canal *n* en la estructura de la Fig. 4-16. El signo menos de la Fig. 4-15 representa los electrones libres en el canal próximos a la superficie del óxido. Con $V_{DS} = 0$ una tensión de puerta negativa induce cargas positivas en el canal. La recombinación de las cargas positivas inducidas con las negativas existentes en el canal provoca la deplexión de portadores mayoritarios, de donde le viene el nombre de «MOSFET de Deplexión».

Si la tensión de puerta se hace más negativa pueden eliminarse los portadores mayoritarios y con ello desaparece el canal. En estas condiciones la corriente de drenaje es nula. El valor menos negativo de V_{GS} con el que el canal queda libre de portadores mayoritarios constituye la *tensión umbral* V_T.

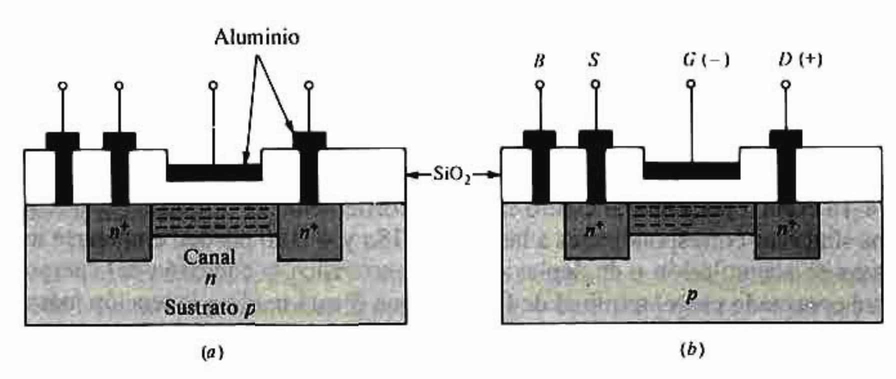


Figura 4-16. Estructura de un MOSFET de canal *n* en modo deplexión, con (*a*) $V_{GS} = 0$, y (*b*) $V_T < V_{GS} < 0$.

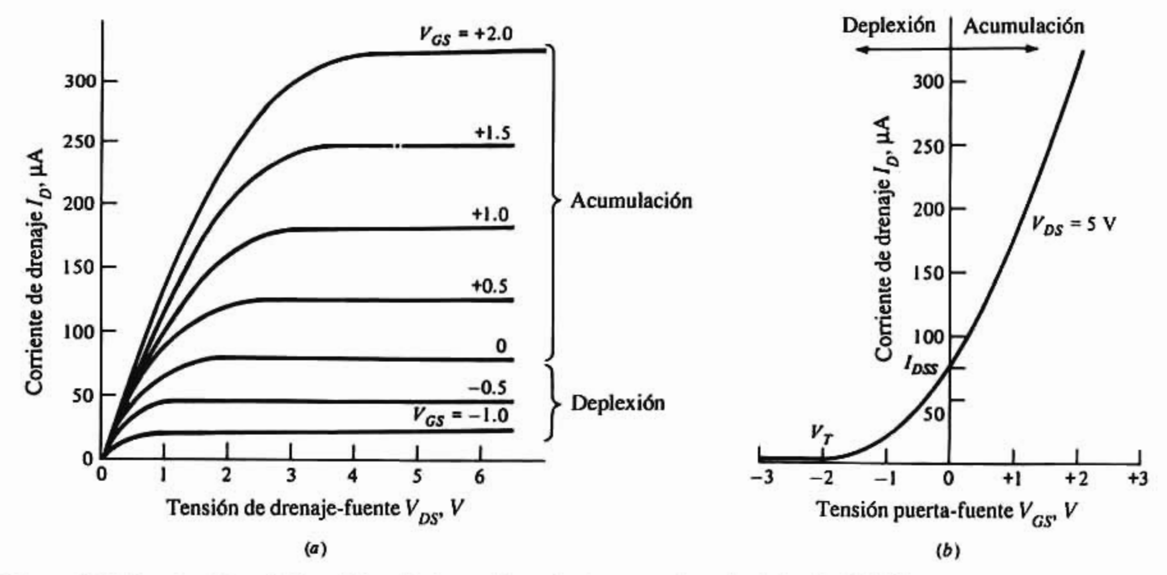


Figura 4-17. Características (*a*) de salida y (*b*) de transferencia, de un transistor de deplexión NMOS.

Con $V_{GS} = 0$, la aplicación de una tensión V_{DS} positiva provoca una corriente de drenaje apreciable designada I_{DSS}. Al ir disminuyendo V_{GS} hacia el umbral disminuye también la corriente de drenaje. Para un valor dado de V_{GS}, los valores crecientes de V_{DS} saturan la corriente de drenaje pues el canal se contrae. El caso es similar al de saturación de los dispositivos de acumulación. Obsérvese en la Fig. 4-15*b* que debido a la caída de tensión en el canal motivada por I_D la zona del canal más próxima al drenaje se debilita más que la zona vecina a la fuente. Este fenómeno es análogo a la estricción de los JFET en el extremo del canal más próximo al drenaje (Fig. 4-6).

Los MOSFET de deplexión poseen ambas zonas: óhmica y de saturación. Estas zonas están representadas analíticamente en las Ecs. (4-5) y (4-6). Obsérvese, sin embargo, que en el transistor de deplexión NMOS, *V_T es negativo.*

Un MOSFET del tipo descrito puede también funcionar a modo de acumulación: basta aplicar una tensión de puerta positiva de forma que se induzcan cargas negativas en el canal tipo *n*. Las cargas negativas inducidas añadidas hacen aumentar (acumulación) el número de portadores mayoritarios presentes. Con V_{GS} positivo la corriente de drenaje I_D es mayor que I_{DSS}. Esto puede verse en la Fig. 4-17*a* en la que se ven las características tensión-corriente de un MOSFET de deplexión de canal *n* con $k = 20\ \mu A/V^2$, $W/L = 1$, y $V_T = -2$. *V*. La función de transferencia para este dispositivo con $V_{DS} = 5V$ se describe en la Fig. 4-17*b*. Obsérvese que en la Fig. 4-17 no están incluidos los efectos de la modulación de longitud del canal [Ec. (4-7)].

4-9. SÍMBOLOS DE LOS CIRCUITOS MOSFET

En la Fig. 4-18 están representados cuatro símbolos corrientemente utilizados de circuitos MOSFET de canal *n*. Los símbolos correspondientes a las Figs. 4-18*a* y 4- 18*b* pueden emplearse indistintamente para dispositivos de acumulación o de deplexión. Si no se indica la conexión del cuerpo o sustrato se supone que está conectado con el terminal de fuente o que *B* está unido a la tensión más negativa. Esta conexión polariza en inverso la unión *pn* formada por las regiones de drenaje y de fuente y el sustrato. En muchos casos la tensión más negativa (0 V) es a tierra. Cuando en un mismo circuito se emplean elementos de acumulación y de deplexión conjuntamente se distingue el MOSFET de deplexión empleándose el

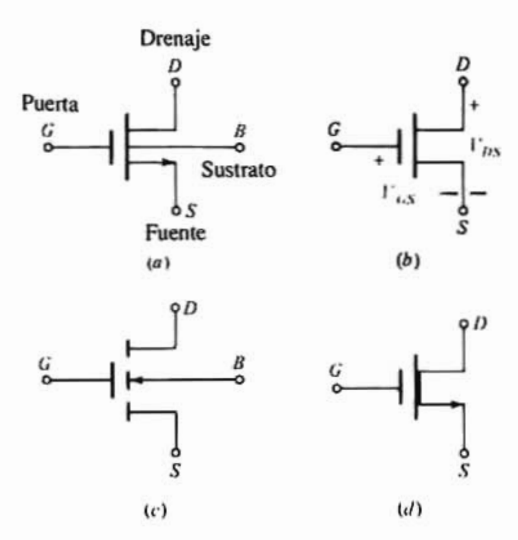


Figura 4-18. Símbolos de circuito para un transistor NMOS. Los transistores tanto en su modo de acumulación como en el de deplexión pueden representarse en las formas *a* y *b*. Los símbolos *c* y *d* representan MOSFET en los modos de acumulación y de deplexión respectivamente. Para los dispositivos PMOS se cambia el sentido de las flechas (obsérvese que en la parte *b* frecuentemente se prescinde de la flecha).

símbolo de la Fig. 4-18*d*. Más frecuentemente se emplea la Fig. 4-18*b* como símbolo de circuito MOSFET de canal *n* con las conexiones normales al sustrato.

El sentido de las corrientes en los terminales es propio del circuito, así, en un MOSFET de canal *n*, I_D es positivo, e I_S negativo. Puesto que I_G es prácticamente nulo, $I_D = I_S$. La caída de tensión entre drenaje y fuente se señala V_{DS} y entre puerta y fuente V_{GS}. Ambas cantidades son positivas en un MOSFET de acumulación de canal *n*. Para funcionar en el modo de deplexión se requiere que V_{GS} sea negativo y V_{DS} positivo.

Para los MOSFET de canal *p* se emplean los símbolos de la Fig. 4-18 con el sentido de las flechas invertido. Las corrientes y tensiones de los terminales son el negativo de las cantidades correspondientes al MOSFET de canal *n*. En el MOSFET de canal *n* normal se cortocircuita la fuente y el sustrato, y éstos a su vez van conectados a la tensión más positiva para asegurar que la unión formada por el cuerpo tipo *n* se mantenga con polarización inversa.

4-10 ANALISIS EN CONTINUA DE LOS FET

Las técnicas descritas en esta Sección se aplican igualmente a los JFET y a los MOSFET. Además, los métodos de análisis son válidos tanto para el dispositivo de canal *p* como para los de canal *n*.

Recta de polarización

Consideremos el circuito de la Fig. 4-19 en donde se emplea la resistencia de fuentes R_s para fijar V_{GS} sin necesidad de un suministro adicional de potencia (Fig. 4-6). Puesto que $I_G = 0$ no hay caída de tensión alguna a través de R_G y la ley de Kirchhoff aplicada al lazo puerta-fuente es:

$$V_{GS} = -I_D R_S \qquad \text{or} \qquad I_D = \frac{-V_{GS}}{R_S} \tag{4-8}$$

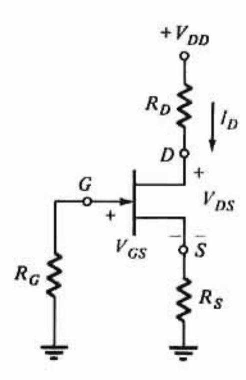


Figura 4-19. Etapa JFET auto-polarizada.

La Ec. (4-8) corresponde a una línea recta llamada *recta de polarización*, dibujada en la Fig. 4-20 junto con la característica de transferencia del JFET. La intersección entre ambas líneas determina los valores de operación (reposo) de la corriente de drenaje I_{DQ} y de la tensión puerta-fuente V_{GSQ}.

La tensión drenaje-fuente V_{DSQ} se calcula por la ley de Kirchhoff aplicada al lazo drenaje-fuente, y tendremos

$$-V_{DD} + I_D R_D + V_{DS} + I_D R_S = 0 \tag{4-9}$$

Sustituyendo I_{DQ} en la Ec. (4-9) tendremos el valor de reposo de la tensión V_{DSQ} entre drenaje y fuente que existe en el circuito. Obsérvese que la Ec. (4-9) define la recta de carga del circuito. Situando la recta de carga sobre la característica de salida se puede también determinar V_{DSQ} de la intersección de ambas líneas para V_{GSQ}.

Ejemplo 4-1

Consideremos el circuito de la Fig. 4-21*a* donde se emplea un MOSFET de acumulación de canal *n* cuya característica de transferencia es la de la Fig. 4-13*b* repetida por conveniencia en la Fig. 4-22. Determinar I_{DQ}, V_{DSQ} y la tensión de salida V_{OQ}.

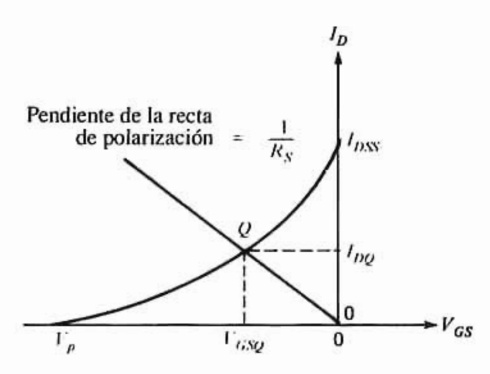


Figura 4-20. La recta de polarización, determinada por R_S se ha trazado sobre la característica de transferencia. La intersección Q es el punto de reposo, y la corriente de drenaje y la tensión puerta-fuente existentes en el circuito se indican con I_{DQ} y V_{GSQ} respectivamente.

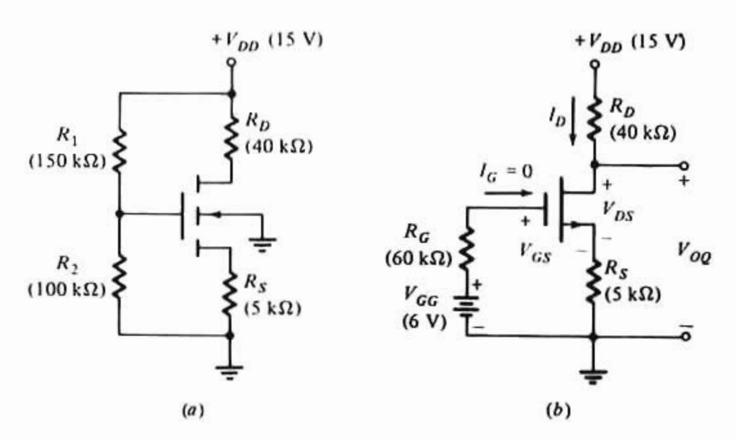


Figura 4-21. (*a*) Circuito MOSFET de acumulación auto- polarizada; (*b*) Equivalente al anterior en el que el circuito de polarización de puerta (V_{DD}, R_1 y R_2) se sustituye por su equivalente de Thèvenin V_{GG} y R_G.

Solución

En primer lugar, sustituir las resistencias de polarización de puerta R_I y R_2 y la tensión de drenaje V_{DD} por su equivalente de Thèvenin como se ve en la Fig. 4-21*b*. (Obsérvese la analogía entre esto y el análisis del circuito BJT del Ejemplo 3-4.)

La ecuación de la recta de polarización se deduce de la expresión de Kirchhoff para el lazo puerta-fuente de la Fig. 4-21*b*.

$$V_{GS} - V_{GG} - I_D R_S \qquad \text{or} \qquad I_D = -\frac{1}{R_S} V_{GS} + \frac{V_{GG}}{R_S}$$

Es conveniente expresar las corrientes en miliamperios y las resistencias en kiloohmios y así lo haremos en los cálculos numéricos. Sustituyendo valores

$$I_D = -\frac{V_{GS}}{5} + \frac{6}{5}$$

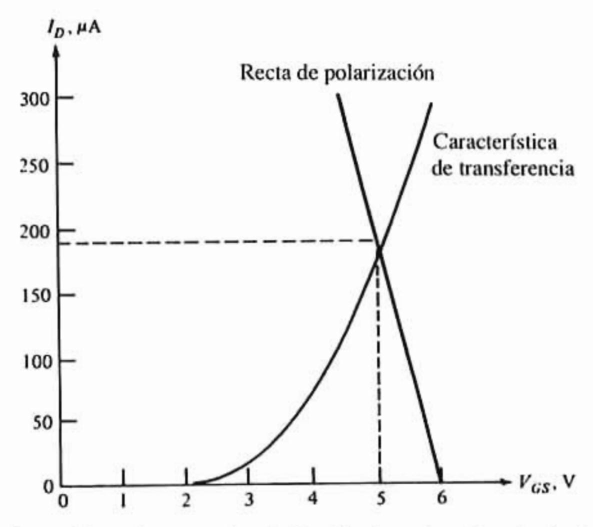


Figura 4-22. Característica de transferencia y recta de polarización de un transistor de efecto campo Metal-Oxido- Semiconductor para el Ejemplo 4-1.

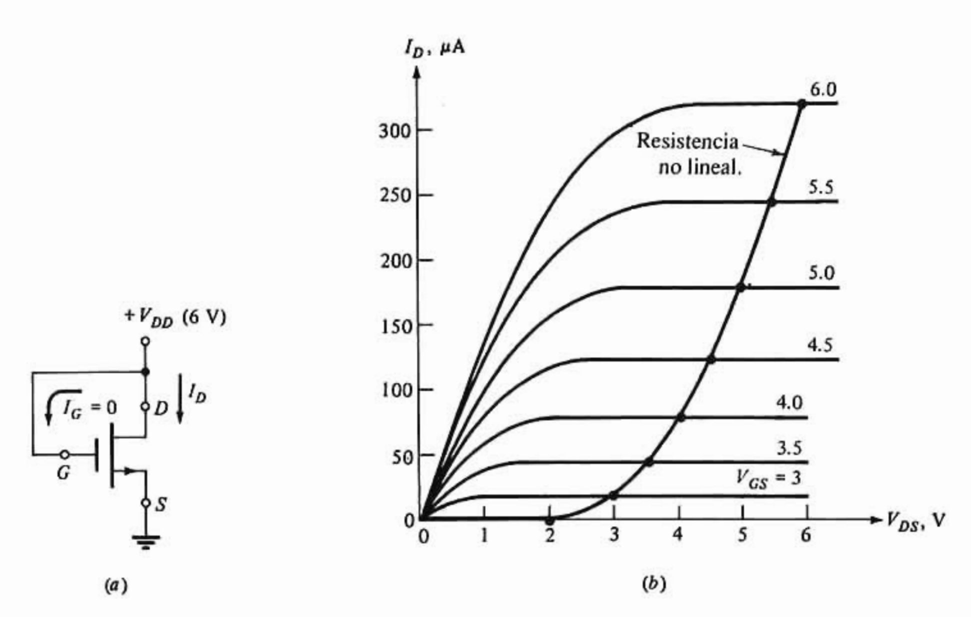


Figura 4-23. (*a*) Transistor NMOS de acumulación conectado como una resistencia; (b) característica de resistencia no lineal del circuito anterior.

La recta de polarización resultante puede verse en la Fig. 4-22, de donde

$$I_{DQ} = 0.19 \text{ mA}$$

De la Ec. (4-9) y sustituyendo valores

$$V_{DSQ} = 15 - 0.19 \times 40 - 0.19 \times 5 = 6.45 \text{ V}$$

La tensión entre drenaje y tierra es

$$V_{OQ} = V_{DSQ} + I_{DQ}R_S = 6.45 + 0.19 \times 5 = 7.40 \text{ V}$$

4-11. EL MOSFET COMO RESISTENCIA

En la introducción a este capítulo ya se indicó que una de las ventajas del MOSFET es que se puede usar como condensador, como resistencia y como elemento activo de tres terminales. En la Sección 4-5 se demostró que la capa aislante de óxido entre puerta y canal formaba un condensador plano-paralelo. Ahora veremos el empleo del MOSFET de acumulación a manera de resistencia.

Con las conexiones de la Fig. 4-23*a* el MOSFET tiene la característica de salida de la Fig. 4-23*b*. Conectando la puerta al drenaje se tiene $V_{GS} = V_{DS}$. La característica de resistencia indicada en la Fig. 4-23*b* es el lugar geométrico de los puntos en los que $V_{GS} = V_{DS}$. Como resulta evidente de la figura esta conexión del MOSFET da una resistencia no lineal. Obsérvese que el MOSFET trabaja en la región de saturación ya que $V_{GS} - V_T < V_{DS}$; además, con esta conexión, $V_{DS} = V_{GS} = V_T$ aún cuando $I_D = 0$.

En el siguiente ejemplo veremos el método para trazar la recta de carga de un MOSFET con una resistencia de drenaje no lineal.

Ejemplo 4-2

En el circuito de la Fig. 4-24*a* se emplea un MOSFET, *Q*1, con las características de salida de la Fig. 4- 24*b*. La carga MOSFET Q2 tiene la característica de resistencia que se muestra en la Fig. 4-23*b*. Trazar la característica de transferencia $v_o = V_{DSI}$ en función de $v_i = V_{GSI}$.

Solución

En primer lugar hay que construir la recta de carga y a partir de ella determinar V_{DSI} *al variar* V_{GSI}. *Recordando que la recta de carga es la representación gráfica de la ley de Kirchhoff para el lazo de drenaje, tendremos.*

$$V_{DS1} + V_{DS2} = V_{DD} \qquad \text{or} \qquad V_{DS1} = V_{DD} - V_{DS2} \tag{4-10}$$

Puesto que $I_G = 0$ tanto para *Q*1 como para *Q*2, $I_{DI} = I_{D2}$.

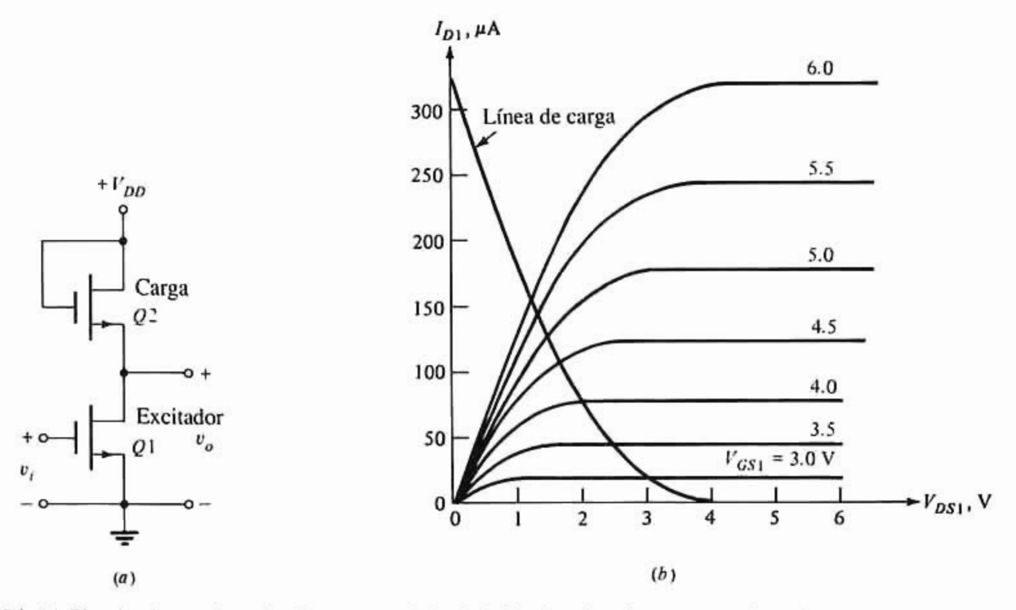


Figura 4-24. (*a*) Circuito de transistor de efecto campo Metal-Oxido-Semiconductor con resistencia de carga MOSFET no lineal; (*b*) Característica de salida MOSFET con línea de carga no lineal, para el Ejemplo 4-2.

La característica de carga de la Fig. 4-23*b* representa a I_{D2} *en función de* V_{DS2}. En esta figura vemos que cuando I_{D2} = 320 μA, $V_{GS2} = V_{DS2}$ = 6 V. En consecuencia V_{DSI} = 6 - 6 = 0 V. Esto determina un punto de la recta de carga de la Fig. 4- 24*b* (I_{DI} = 320 μA, V_{DSI} = 0 V). De igual forma, cuando I_{D2} = 80 μA, V_{GS2} = V_{DS2} = 4 V, el punto I_{DI} = 80 μA, V_{DSI} = 6 - 4 = 2 V también pertenece a la recta de carga de la misma figura. Así pues, para cada valor de I_{D2} de la Fig. 4-23*b* en el que $V_{GS2} = V_{DS2}$ se encuentra un valor de V_{DS2}, y este par de valores determinan un punto de la recta de carga de la Fig. 4-24*b* debido a las condiciones impuestas por las leyes de Kirchhoff.

Ya construida la recta de carga (Fig. 4-24*b*) podemos determinar V_{DSI} (la salida) en función de V_{GSI} (la entrada). Para valores de $v_i = V_{GSI} \leq V_T$ = 2 V, la corriente I_{DI} es nula y V_{DSI} = 4 V. Aumentando v_i hasta 5 V, tendremos V_{DSI} = 1,5 V determinado por la intersección de la recta de carga y la característica de V_{GSI} = 5 V. La característica de transferencia representada en la Fig. 4-25 se halla determinando el valor de V_{DSI} en la intersección de la recta de carga con la característica de cada valor de V_{GSI}.

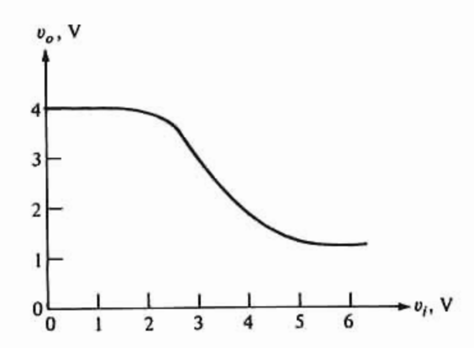


Figura 4-25. Característica de transferencia de tensión (v_o en función de v_i) para el Ejemplo 4-2.

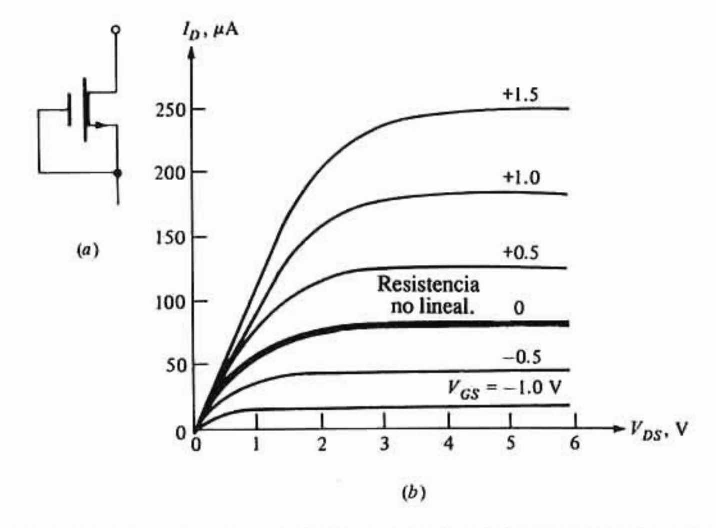


Figura 4-26. (*a*) MOSFET modo-deplexión conectado como resistencia. (*b*) Característica de resistencia no lineal ($V_{GS} = 0$).

Los dispositivos de deplexión pueden conectarse como indica la Fig. 4-26*a* para obtener las características de resistencia. En este circuito $V_{GS} = 0$ ya que los terminales de puerta y de fuente están conectados entre sí. La característica de resistencia resultante, con $V_{GS} = 0$, es la señalada con trazo más grueso entre las características del MOSFET de la Fig. 4-26*b*. El análisis de circuitos MOSFET utilizando resistencias de carga MOSFET de deplexión es semejante a lo dado en el Ejemplo 4-2. En los problemas que figuran al final de este capítulo se incluyen varios de estos circuitos.

4-12. EL FET COMO INTERRUPTOR

Los transistores de efecto campo metal-óxido-semiconductor se emplean mucho en circuitos digitales por su forma de trabajar a manera de interruptor. Para exponer el funcionamiento del MOSFET como interruptor gobernado emplearemos el circuito de la Fig. 4-24*a* y el Ejemplo 4-2. La onda de tensión de entrada tiene la forma en escalón representada en la Fig. 4-27*a*. Para $t < T$ la tensión de entrada es de 1,5 V, y por tanto, de la característica de transferencia de la Fig. 4-25 deducimos que $v_o = 4$ V. La corriente I_{DI} es cero como se desprende de la recta de carga de la Fig. 4-24*b*. Esta es la característica de un interruptor abierto ya que la tensión a través de él es «apreciable» mientras que la corriente es nula.

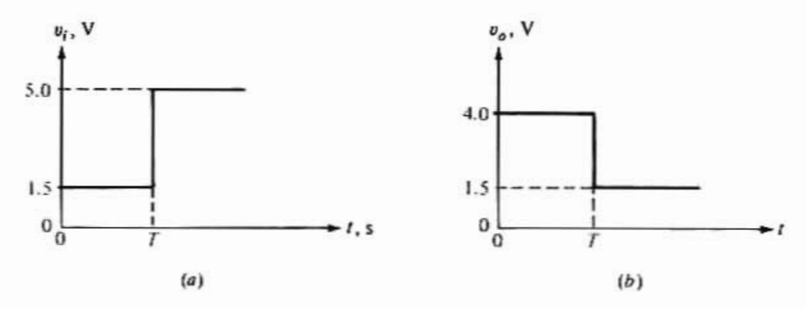


Figura 4-27. (*a*) Onda de entrada en escalón de tensión (v_i) aplicada al circuito de la Fig. 4-24*a*, y (*b*) Onda de tensión v_o resultante.

Para $t > T$ la tensión de entrada es de 5 V resultando v_o = 1,5 V (Fig. 4-25) e I_{DI} = 125 μ*A* (Fig. 4-24*b*). Esta situación se aproxima a la de un interruptor cerrado ya que existe una corriente apreciable con poca tensión entre terminales (drenaje y fuente). La onda de salida es la de la Fig. 4-27*b*.

Los dos estados posibles del interruptor pueden deducirse de la característica de transferencia dada en la Fig. 4-25. Mientras $v_i \leq V_T$ = 2 V, la tensión de salida es de 4 V y la corriente nula según la Fig. 4-24*b*.

Las tensiones de entrada superiores a unos 5 V apenas introducen variaciones ni en v_o ni en I_{DI}. En consecuencia la corriente de salida depende casi exclusivamente de la característica de carga y la V_{DD} del drenaje. La pequeña variación de la tensión de salida al variar la de entrada queda patente en el «allanamiento» de la característica de transferencia de la Fig. 4-25 con $v_i \geq 5$ V.

Un interruptor real no puede cambiar de estado instantáneamente (Fig. 4-27*b*). Trataremos de la respuesta transitoria en la Sección 6-6.

Ejemplo 4-3

El circuito de la Fig. 4-28*a* utiliza un MOSFET de deplexión de las características de la Fig. 4-28*b*: (*a*) Esbozar la onda de salida correspondiente a la de entrada dada en la Fig. 4-28*a*, suponiendo que R_D = 36 kΩ. (*b*) ¿Cuáles serán los nuevos niveles de salida si R_D es de 50 kΩ?

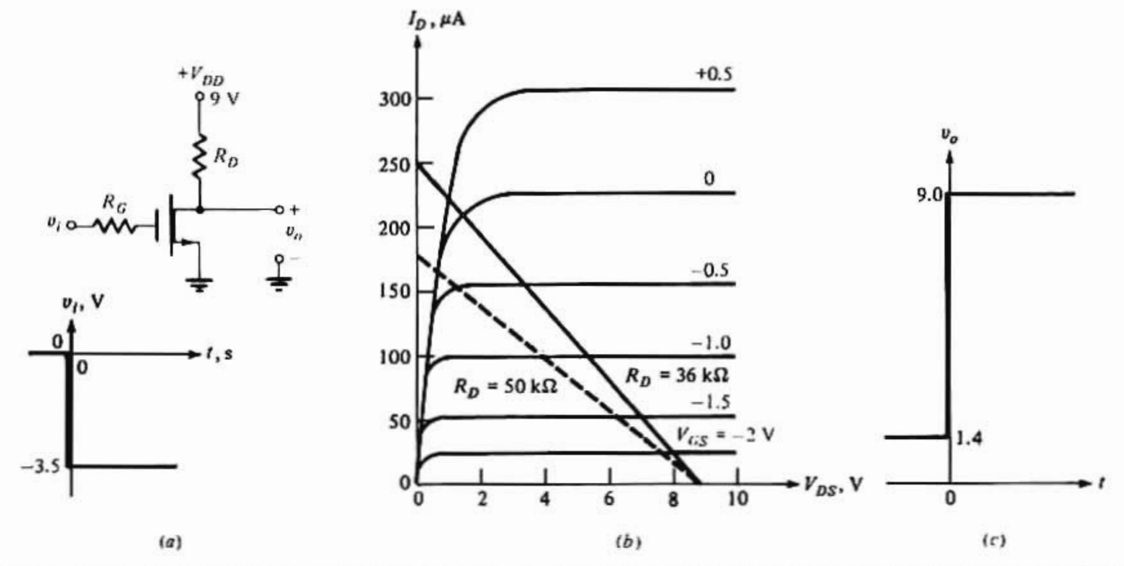


Figura 4-28. (*a*) Circuito MOSFET modo-deplexión y onda de tensión de entrada; (*b*) características de salida. Las rectas de carga corresponden a V_{DD} = 10 V y R_D = 36 kΩ (línea continua) y R_D = 50 kΩ (línea de trazos). (*c*) Onda de tensión de salida.

Solución

(a) Sobre las características de salida de la Fig. 4- 28b se traza la recta de carga para $V_{DD} = 9\ V$ y $R_D = 36\ k\Omega$. Cuando $t < 0$ la tensión de entrada es también cero, y según la intersección de la recta de carga y la característica $V_{GS} = 0$ tendremos $V_{DS} = v_o = 1,4$ V. Análogamente la tensión de salida valdrá 9 V cuando $v_I = V_{GS} = -3,5$ V. Siendo la onda resultante la de la Fig. 4-28*c*. (*b*) Pasando R_D a valer 50 kΩ la recta de carga pasa a ser la línea de trazos de la misma figura. Para $t > 0$ el MOSFET está en corte ya que v_i es mayor que $|V_T|$. Por tanto, $v_o = 9$ V. Con $v_i = 0$ como es el caso cuando $t < 0$, la tensión de salida es de 0,8 V deducidos de la intersección entre la línea de trazos y $V_{GS} = 0$.

Observamos que con un valor fijo de V_{DD}, al aumentar R_D disminuye la tensión a través del interruptor «cerrado». Sin embargo, también decrece la corriente puesto que I_D vale aproximadamente V_{DD}/R_D.

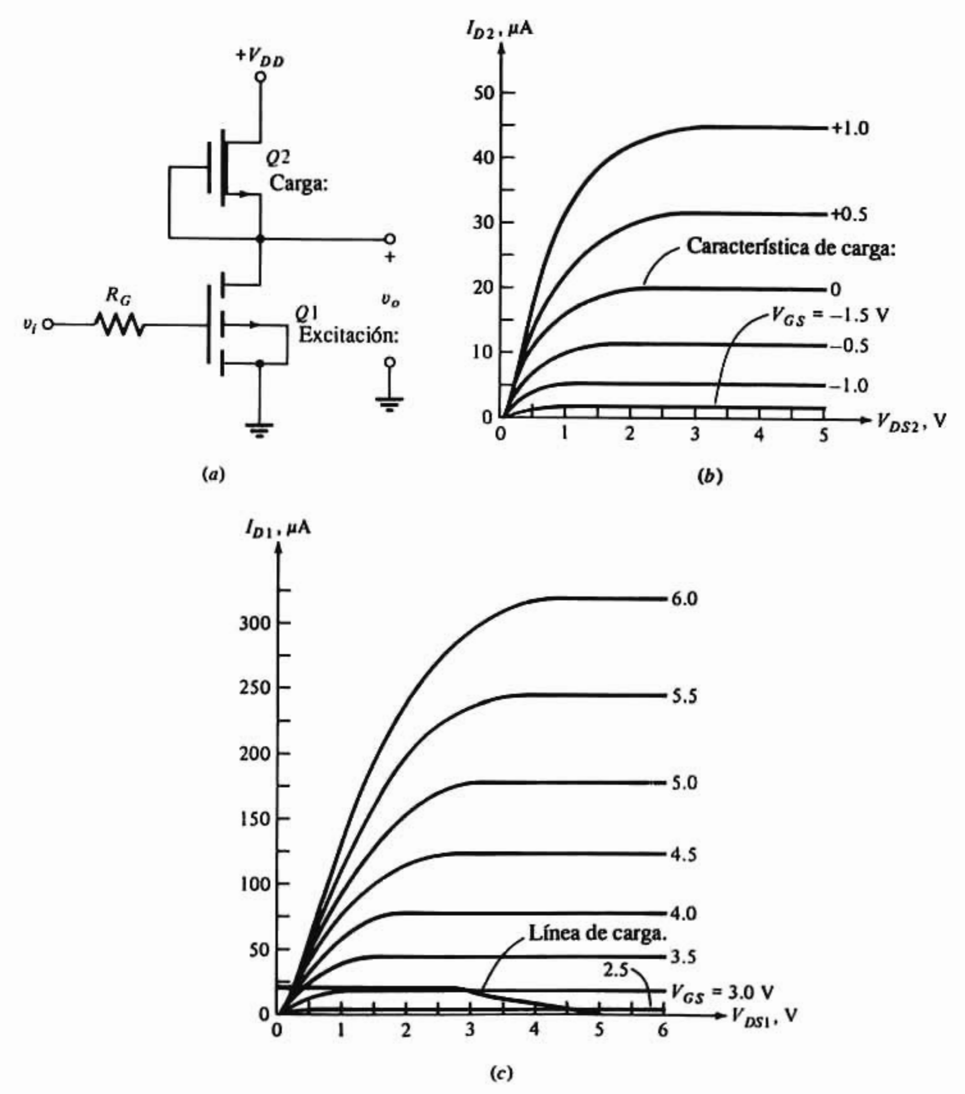


Figura 4-29. (*a*) Circuito para el Ejemplo 4-4 empleando un transistor de acumulación NMOS, con un transistor de deplexión NMOS conectado como carga; (*b*) característica de la resistencia de carga de deplexión; (*c*) línea de carga correspondiente a la parte *b* superpuesta a las curvas de salida de *Q*1.

Ejemplo 4-4

El circuito de la Fig. 4-29*a* emplea un MOSFET de deplexión *Q*2 como carga del MOSFET de acumulación *Q*1. Esta configuración es de uso corriente en circuitos integrados digitales. El MOSFET de carga *Q*2 tiene $k = 20\ \mu A / V^2$, $W/L = 1/4$ y $V_T = -2$ V y sus características de salida son las representadas en la Fig. 4-29*b*. Las características del MOSFET de acumulación son las dadas originalmente en la Fig. 4-12 que corresponden a un dispositivo con $k = 20\ \mu A/V^2$, $W/L = 1$ y $V_T = 2$ V, y que para mayor comodidad se reproducen en la Fig. 4-29*c*. Trazar la función de transferencia v_o en función de v_i de este circuito.

Solución

En la Fig. 4-29*b* vemos la característica de carga para $V_{GS2} = 0$ de la que resulta la recta de carga de la Fig. 4-29*c*. La construcción de la recta de carga sigue el procedimiento empleado para formar la Fig. 4-24*b* valiéndose del hecho de que $I_{D1} = I_{D2}$ y $V_{DS1} + V_{DS2} = V_{DD} = 5$ V [Ec. (4-10)]. Puesto que $I_{D2} = 20\ \mu A$ cuando V_{DS2} está comprendido entre 5 y 2 V, $I_{D1} = 20 \mu A$ al pasar V_{DS1} de 0 a 3 V. Al bajar V_{DS2} desde 2 a 0 V, V_{GS1} aumenta de 3 a 5 V e $I_{D1} = I_{D2}$ decrece desde 20 a 0 μA. Estos valores de V_{D1} en función de V_{DS1} forman la recta de carga en la Fig. 4-29*c*. La función de transferencia representada en la Fig. 4-30 se obtiene variando $v_i = V_{GS1}$ y hallando los correspondientes valores de $v_o = V_{DS1}$ de la intersección de la recta de carga con la característica tensión-corriente de *Q*1. Con $v_i \leq 2$ V, *Q*1 está en corte y $v_o = 5$ V (la intersección de la recta de carga con la característica de salida tiene lugar a $V_{DS1} = 5$ V) e $I_{D1} = 0$. Al aumentar v_i el punto de trabajo se desplaza a lo largo de la recta de carga hacia el eje I_D. Para cada valor de v_i determinaremos el correspondiente valor de v_o. Por ejemplo, con $v_i = 2{,}5$ V, $v_o = 4{,}7$ V y análogamente, para $v_i = 3$ V, $v_o = 3$ V. Cuando v_i supera los 3,5 V las características de salida se agrupan alrededor de la recta de carga y v_o tiende hacia 0,2 V.

La característica de transferencia puede obtenerse analítica o experimentalmente, aplicando a la entrada una onda en forma de diente de sierra. Así se puede hacer variar v_i linealmente con el tiempo: en consecuencia la variación de v_o con el tiempo es la función de transferencia (véase el ejemplo 2-3).

La función de transferencia de la Fig. 4-30 demuestra que el circuito de la Fig. 4-29*a* goza de las propiedades de un interruptor gobernado. Este circuito muestra un perfil más escarpado en la región de transición abierto-cerrado que el de la función de transferencia del circuito de acumulación de la Fig. 4-24. Las consecuencias prácticas de esta diferencia las analizaremos en la Sección 6-5.

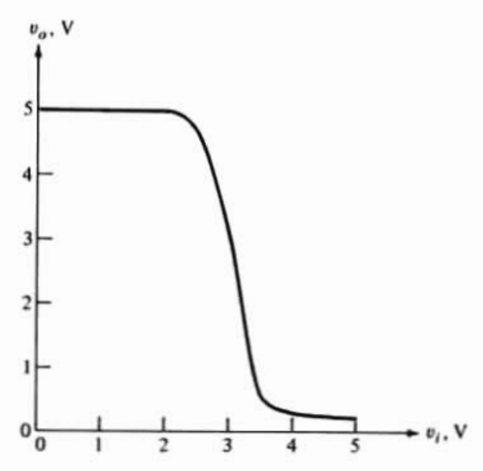


Figura 4-30. Característica de transferencia de tensión del circuito de la Fig. 4-29*a* y Ejemplo 4-4.

4-13. EL FET COMO AMPLIFICADOR

Los circuitos amplificadores con transistores de efecto campo se valen de la naturaleza de estos dispositivos como fuente de corriente gobernada por tensión. Como ya se ha comentado anteriormente en este mismo capítulo, en la región de saturación I_D depende sólo de V_{GS} (aproximadamente) lo que permite su funcionamiento como fuente gobernada. Estudiaremos el empleo del FET como amplificador considerando el circuito en fuente común de la Fig. 4-31, en la que la señal que se pretende amplificar es v_o, mientras que V_{GG} proporciona la polarización inversa necesaria entre puerta y fuente del JFET. Las características tensión-corriente del JFET son las de la Fig. 4-32 sobre las que se han superpuesto la recta de carga correspondiente a $V_{DD} = 30$ V y $R_D = 6$ kΩ. El valor de V_{GG} se ha elegido en 1,5 V de forma que el transistor queda polarizado en el punto Q, resultando $V_{DSQ} = 19$ V e $I_{DQ} = 1{,}8$ mA.

La tensión instantánea puerta-fuente es $v_{GS} = v_s - V_{GG}$. Suponiendo que v_s sea una senoide con 0,5 V de pico, la variación de v_{GS} con el tiempo mostrada en la Fig. 4-32 será una senoide superpuesta al nivel de reposo. Las formas de onda resultantes para i_D y v_{DS} se han trazado al lado de las características.

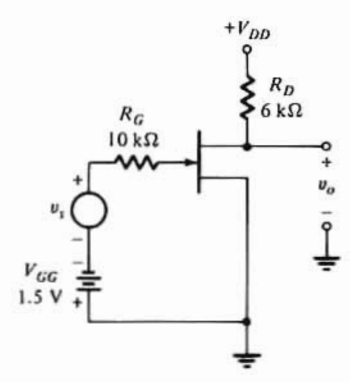


Figura 4-31. Etapa amplificadora JFET en fuente común.

Observemos que ambas cantidades pueden considerarse como unas senoides superpuestas a los respectivos valores en continua. Por tanto:

$$v_{GS} = -V_{GG} + v_{gs} = -1.5 + 0.5 \text{ sen } \omega t \tag{4-11}$$

$$i_D = I_{DQ} + i_d = 1.75 + 0.75 \text{ sen } \omega t \quad \text{mA} \tag{4-12}$$

$$v_o = v_{DS} = V_{DSQ} + v_{ds} = 19.5 - 4.5 \text{ sen } \omega t \tag{4-13}$$

Observemos en la Ec. (4-12) y en la Fig. 4-32 que la señal de salida es mayor que la de la entrada, cumpliéndose así la amplificación. El signo negativo de la Ec. (4-13) indica la fase inversa de la señal de salida de tensión en relación a la señal de entrada. Esto supone que al aumentar v_{GS} disminuye v_{DS} teniendo en cuenta la capacidad de suministro de potencia de la fuente gobernada. Esta situación es análoga a la del amplificador BJT descrito en la Sec. 3-9.

La ganancia en tensión $|A_V|$ es la relación entre la amplitud de la señal de salida V_{om} y la de la señal de entrada V_{sm}. En el circuito de la Fig. 4-31, la ganancia es $|A_V| = 4{,}5/0{,}5 = 9$. Obsérvese que sólo queda amplificada la señal de entrada. La mayor potencia de señal a la salida (en relación a la de entrada) se obtiene sólo a expensas de la potencia de polarización $V_{DD} I_{DQ}$ suministrada. Efectivamente, en este circuito la potencia de polarización es significativamente más alta que la de entrada.

Es de notar que el JFET se polariza hacia la media de las características. Si elegimos el punto de funcionamiento muy próximo a la región óhmica o cerca de la tensión umbral, la senoide de salida quedaría

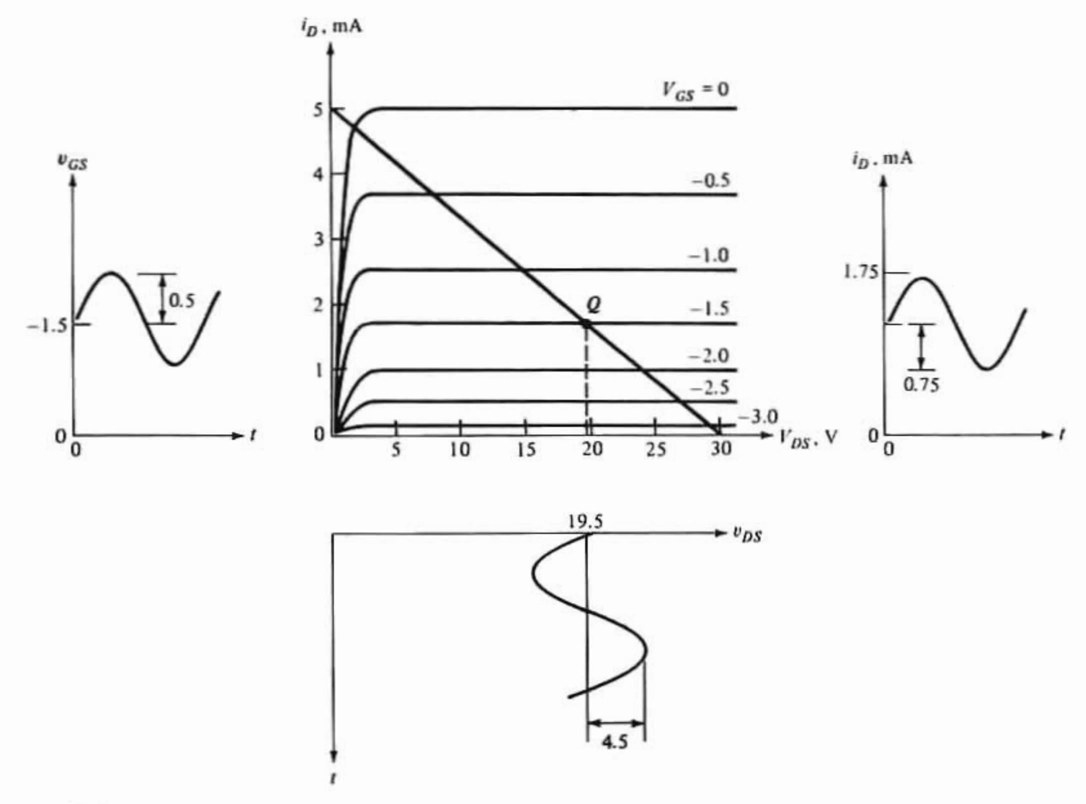


Figura 4-32. Características de salida del JFET de la Fig. 4-31. La recta de carga corresponde a $V_{DD} = 30$ V y $R_D = 6k\Omega$. El punto Q se ha fijado en $V_{GG} = -1.5$ V. Las señales senoidales superpuestas en los niveles de reposo se han representado para i_D, v_{DS} y v_{GS}.

cortada durante el semiciclo positivo o negativo de la señal de entrada. De igual forma, con el punto de trabajo en Q de la Fig. 4-32, la máxima señal de entrada que se puede amplificar sin distorsión apreciable queda reducida a los valores de v_{GS} correspondientes a la parte de la recta de carga por encima del umbral y por debajo de la región óhmica. (Compárese esto con lo expuesto en la Sección 4-1.)

El comportamiento del FET como amplificador puede relacionarse con la característica de transferencia del circuito. En la Fig. 4-30 queda demostrado que los segmentos casi horizontales representan aproximadamente un interruptor abierto o cerrado. La parte de curva comprendida entre ambos segmentos indica que un cambio en v_i provoca un cambio en v_o. En particular, a lo largo de la mayor parte de esta zona, la variación de v_o es mayor que la de v_i, lo que indica una amplificación. De hecho se puede determinar la ganancia del circuito determinando la pendiente de la característica de transferencia en el punto de trabajo.

En esta Sección se ha tratado del circuito JFET. Como tanto los MOSFET de acumulación como los de deplexión tienen unas características tensión- corriente similares, pueden considerarse ambos como fuentes de corriente gobernadas por tensión, y por tanto pueden emplearse tanto el uno como el otro a manera de amplificadores, pudiendo aplicarse a ellos todo lo comentado anteriormente.

4-14. MODELOS FET DE PEQUEÑA SEÑAL

El circuito equivalente de pequeña señal, válido tanto para el JFET como para el MOSFET se utiliza

para relacionar entre sí las variaciones incrementales de las corrientes y tensiones del transistor alrededor del punto de reposo. En la Sección 4-13 vimos que i_D, v_{DS} y v_{GS} tienen todos ellos una componente en continua y otra en alterna superpuestas. La componente en alterna representa la variación alrededor del punto de trabajo provocada por la aplicación de una señal senoidal. Así, empleando la misma notación que para el BJT (Sec. 3-9) tendremos:

$$\begin{aligned} i_d &= i_D - I_{DQ} = \Delta i_D \\ v_{ds} &= v_{DS} - V_{DSQ} = \Delta v_{DS} \\ v_{gs} &= v_{GS} - V_{GSQ} = \Delta v_{GS} \end{aligned} \tag{4-14}$$

El modelo de baja frecuencia

El modelo FET de pequeña señal es un circuito que se emplea para mostrar la relación existente entre i_D, v_{DS} y v_{GS}. En la Fig. 4-33 está representado el circuito equivalente de baja frecuencia del FET. No se señalan en la figura los elementos capacitivos, es decir, de almacenamiento de energía, ya que tales elementos sólo influyen en su comportamiento con frecuencias altas (véase Sec. 3-10).

Los elementos de la Fig. 4-33 están relacionados con los procesos físicos que tienen lugar en el FET. La fuente de corriente gobernada por tensión $g_m\, v_{gs}$ señala dependencia de i_d sobre v_{gs} cuando el FET funcione en la región saturada. El parámetro g_m es la pendiente de la característica de transferencia (Fig. 4-9) calculada en reposo. La resistencia de salida r_{ds} es la pendiente de la característica de salida evaluada en el punto de trabajo. Físicamente, este parámetro se atribuye a la modulación de la longitud del canal (Sec. 4-7). Los circuitos abiertos ($r \rightarrow \infty$) que aparecen entre g y s y entre g y d indican que la unión formada por la puerta y el canal de un JFET está polarizada en inversa. Como ya se ha indicado antes (Secc. 2-9) el efecto de la gran resistencia incremental de una unión con polarización inversa sobre el funcionamiento del circuito, casi siempre se puede despreciar. En el MOSFET los trayectos entre puerta y fuente y entre puerta y drenaje discurren a través de la capa aislante de óxido, y por tanto, la resistencia extremadamente alta de ese itinerario no tiene influencia alguna sobre el funcionamiento del elemento y del circuito.

El valor de g_m se puede determinar analíticamente de las expresiones de la corriente de drenaje en las Ecs. (4-3) y (4-5) para el JFET y el MOSFET respectivamente. La transconductancia g_m es

$$g_m \equiv \left.\frac{\partial i_D}{\partial v_{GS}}\right|_{v_{DS}=V_{DSQ}} = \left.\frac{i_d}{v_{gs}}\right|_{v_{ds}=0} \tag{4-15}$$

Puesto que i_D representa la corriente de drenaje total y v_{GS} la tensión total puerta-fuente (véase Fig. 4-32) la Ec. (4-3) se convierte en

$$i_D = I_{DSS}\left(1 - \frac{v_{GS}}{V_p}\right)^2$$

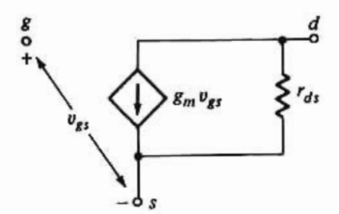


Figura 4-33. Circuito equivalente a baja frecuencia y pequeña señal de un transistor de efecto campo.

y empleando la Ec. (4-15) tendremos

$$g_m = \frac{-2I_{DSS}}{V_p}\left(1 - \frac{V_{GSQ}}{V_p}\right) \tag{4-16}$$

Recuérdese que para los JFETS de canal n, V_n y V_{GS} son ambas negativas e I_{DSS} positiva. En los dispositivos de canal p, V_p y V_{GS} son positivas e I_{DSS} negativa. Además $|V_{GS}| < |V_p$. Por tanto V_{GSQ}/V_p es positivo y menor que la unidad, y I_{DSS}/V_p es negativo. En consecuencia g_m es siempre positivo tanto para el JFET de canal n como para el canal p.

La Ec. (4-3) calculada en el punto de trabajo permite escribir 1- (V_{GSQ}/V_p) en la forma $\pm\sqrt{(I_{DQ}/I_{DSS})}$ con lo que la Ec. (4-16) se transforma en

$$g_m = \pm\frac{2}{V_p}\sqrt{I_{DQ}I_{DSS}} \tag{4-17}$$

Como ya se ha demostrado que g_m es siempre positivo, puede escribirse esta ecuación en la forma alternativa

$$g_m = -\frac{2I_{DSS}}{V_p}\sqrt{\frac{I_{DQ}}{I_{DSS}}} = g_{mo}\sqrt{\frac{I_{DQ}}{I_{DSS}}} \tag{4-18}$$

El término $g_m = 2I_{DSS}/V_p$ es el valor de g_m cuando $V_{GSQ} = 0$ con lo que $I_{DQ} = I_{DSS}$.

Análogamente, en un transistor NMOS, g_m se puede expresar

$$g_m = 2\sqrt{k\left(\frac{W}{L}\right)I_{DQ}} \tag{4-19}$$

[La derivación de la Ec (4-19) se deja a manera de ejercicio para el lector en el Problema 4-39.]

Como r_{ds} refleja el efecto de la modulación de longitud del canal, se emplea la Ec. (4-7) para relacionar i_D y v_{DS}. En el MOSFET la conductancia de salida g_{ds} se expresa:

$$g_{ds} \equiv \frac{1}{r_{ds}} = \left.\frac{\partial i_D}{\partial v_{DS}}\right|_{v_{GS}=V_{GSQ}} = \left.\frac{i_d}{v_{ds}}\right|_{v_{gs}=0} \tag{4-20}$$

Aplicando la Ec. (4-20) en conjunción con la Ec. (4-7) tendremos

$$g_{ds} = \lambda k\left(\frac{W}{L}\right)(V_{GSQ} = V_T)^2 = \frac{\lambda I_{DQ}}{1 + \lambda V_{DSQ}} \tag{4-21}$$

De donde

$$r_{ds} = \frac{1 + \lambda V_{DSQ}}{\lambda I_{DQ}} \tag{4-22}$$

Para los FET integrados, normalmente se calcula la Ec. (4-22) con $V_{DSQ} = 0$ con lo que queda reducida a

$$r_{ds} = \frac{1}{\lambda I_{DQ}} \tag{4-23}$$

La forma normal de trabajo de un FET integrado es con una tensión drenaje- fuente del orden de unos pocos volt. Por tanto, el término V_{DSQ} de la Ec. (4-22) es mucho menor que la unidad y así la Ec. (4-23) es una buena aproximación de la Ec. (4-22). Para los FET discretos, especialmente si se emplean con niveles de tensión y de potencia moderados, r_{ds} se calcula por la Ec. (4-22). (Para el JFET de canal n

2N4869 empleado en el Ejemplo 4-5 véanse las Figs. 4-7 y 4- 32).

La Ec. (4-22) también es válida para el JFET ya que el término de modulación de longitud de canal $(1 + \lambda\, v_{DS})$ puede también introducirse en la Ec. (4-3).

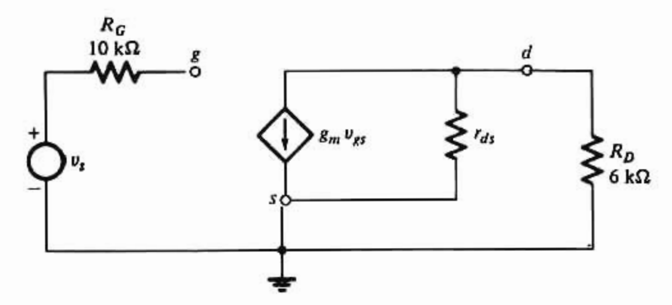


Figura 4-34. Equivalente en pequeña señal del circuito de la Fig. 4-31.

Ejemplo 4-5

Hallar la ganancia de tensión de la etapa amplificadora de la Fig. 4-31. Los datos del JFET son: I_{DSS} = 5 mA, V_p = 3,6 V y λ = 0,01 V^{-1}.

Solución

El circuito equivalente es el de la Fig. 4-34 en la que el JFET está representado por el modelo dado en la Fig. 4-33. De la recta de carga y las características expuestas en la Fig. 4-32 se deducen: I_{DQ} = 1,8 mA, V_{CSQ} = -1,5 V y V_{DSQ} = 19 V. De la Ec. (4-15) tendremos

$$g_m = \frac{2 \times 5}{3.6}\left(1 - \frac{1.5}{3.6}\right) = 1.62 \times 10^{-3}\ \mho = 1.62\ \text{mA/V}$$

El valor de r_{ds} deducido de la Ec. (4-22) es

$$r_{ds} = \frac{1 + 0.01 \times 19.5}{0.01 \times 1.80} = 66.4\ \text{k}\Omega$$

La tensión de salida es $v_o = -\,g_m R_L\, v_{gs}$ donde R_L es $r_{ds} \,||\, R_D$ y $v_{gs} = v_s$. El valor de R_L es

$$R_L = \frac{6 \times 66.4}{6 + 66.4} = 5.50\ \text{k}\Omega$$

y

$$A_V = \left|\frac{v_o}{v_s}\right| = g_m R_L = 1.62 \times 5.50 = 8.91\ \text{V}$$

Este valor de la ganancia obtenido analíticamente está de acuerdo con el determinado gráficamente en la Sec. 4-13.

Ejemplo 4-6

La tensión de alimentación V_{DD} en el circuito de la Fig. 4-21*a* y del ejemplo 4-1 varía en + 0,3 V. ¿En cuánto varía V_{DSQ} debido al cambio en V_{DD}? Empléese el modelo de pequeña señal tomando r_{ds} = 50 kΩ.

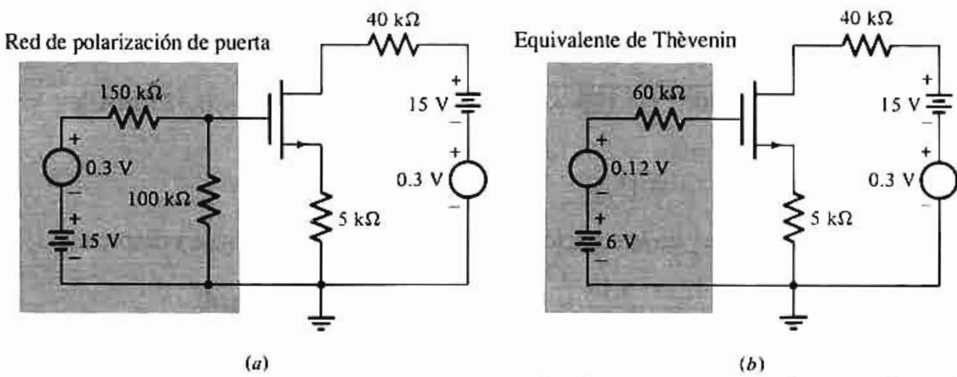


Figura 4-35. (*a*) Circuito de transistor metal-óxido-semiconductor de efecto campo, mostrando un cambio en la tensión de alimentación a manera de fuente de señal (0,3 V). (*b*) Circuito de la parte *a* habiendo sustituido la red de polarización de puerta por su equivalente de Thèvenin.

Solución

El cambio en la tensión de alimentación puede representarse como en la Fig. 4-35*a*. Obteniendo el equivalente de Thèvenin del circuito de polarización de puerta, la etapa MOSFET queda representada como aparece en la Fig. 4-35*b* (véase también la Fig. 4-21*b*). Es difícil determinar las pequeñas variaciones de la tensión de alimentación tanto en la recta de polarización de la Fig. 4-22 como de las características de salida del transistor. Por tanto, es conveniente considerar estas variaciones como una pequeña señal (incremental) en continua aplicada al circuito. En la Fig. 4-36*a* puede verse el modelo de pequeña señal. La Fig. 4-36*b* muestra la conversión de una fuente de corriente $g_m v_{gs}$ en paralelo con r_{ds} en una fuente de tensión $g_m r_{ds} v_{gs} = \mu v_{gs}$ en serie con r_{ds}. Al símbolo μ se le llama *factor de amplificación*[5]

$$\mu = g_m r_{ds} \tag{4-24}$$

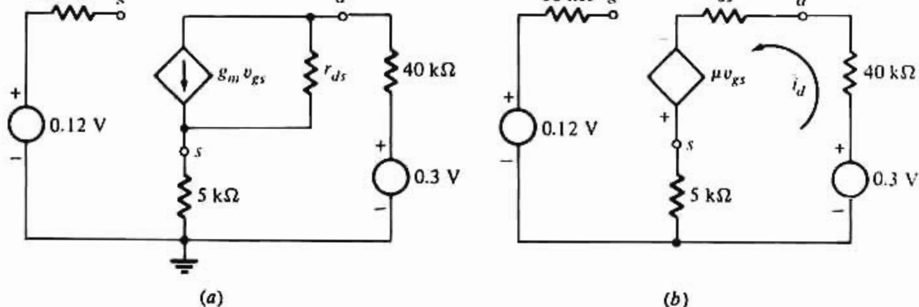


Figura 4-36. (*a*) Modelo de pequeña señal para el circuito de la Fig. 4-35*b*. (*b*) Circuito de la parte *a* con la fuente de corriente $g_m v_{gs}$ en paralelo con r_{ds}, convertida en su fuente de tensión equivalente.

De la Fig. 4-36*b* y aplicando la ley de Kirchhoff al lazo de puerta y drenaje tendremos

$$v_{gs} = 0.12 - 5i_d$$

y

$$-0.3 + 40\, i_d + 50 i_d - \mu v_{gs} + 5 i_d = 0$$

[5] No debe confundirse μ como factor de amplificación con la movilidad de portadores.

El valor de μ se obtiene calculando primero g_m. Del ejemplo 4-1 tendremos $I_{DQ} = 190$ μA y con k = 20 μA/V² y $W/L = 1$ junto con la Ec. (4-17) tendremos

$$g_m = 2\sqrt{20 \times 10^{-6}(1)\,190 \times 10^{-6}} = 1.23 \times 10^{-4}\ ℧ = 0.123 \text{ mA/V}$$

y

$$\mu = 0.123 \times 50 = 6.15.$$

Sustituyendo la expresión de v_{gs} en la ecuación de Kirchhoff del lazo de drenaje y despejando i_d se obtiene

$$i_d = \frac{0.3 + 0.12 \times 6.15}{90 + 5\,(1 + 6.15)} = 8.25 \times 10^{-3} \text{ mA} = 8.25\ \mu\text{A}$$

y la tensión v_{ds} será

$$\begin{aligned} v_{ds} &= -40 i_d + 0.3 - 5 i_d \\ &= -40 \times 8.25 \times 10^{-3} + 0.3 - 5 \times 8.25 \times 10^{-3} \\ &= -0.0713 \text{ V} = -71.3 \text{ mV} \end{aligned}$$

y la tensión total $v_{DS} = V_{DSQ} - v_{ds} = 6{,}45 - 0{,}0713 = 6{,}39$ V. Este resultado señala que con un cambio del 2% en V_{DD}, v_{DS} cambia en un 1,1%.

Modelo de alta frecuencia

A altas frecuencias se deben añadir al circuito equivalente de pequeña señal FET los efectos de las capacidades relacionadas con la unión polarizada en inverso y con la capa de óxido (Fig. 4-37). Debido a que existe unión entre puerta y fuente y entre puerta y drenaje, cada una de las capacidades C_{gs} y C_{gd} contiene una componente de la capacidad relativa a la región de deplexión. Además, estas capacidades contienen componentes atribuidas al condensador formado por la capa de óxido, la región de contacto metálico y la capa semiconductora. Para los cálculos con papel y lápiz es conveniente combinar estos efectos como en la Fig. 4-37. El modelo empleado para cálculos simulados representa estos efectos mediante elementos capacitivos.

4-15. DISPOSITIVOS CMOS

En circuitos digitales integrados se emplea mucho un dispositivo compuesto de dos transistores FET; uno NMOS y otro PMOS. Estos transistores compuestos han ido adquiriendo importancia en su aplicación en circuitos analógicos. La combinación de transistores NMOS y PMOS en un mismo chip se denomina

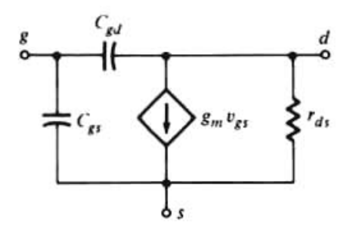


Figura 4-37. Modelo FET de alta frecuencia y pequeña señal.

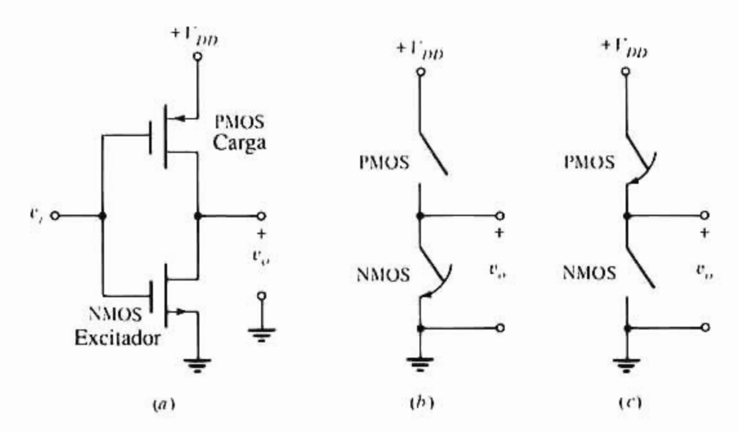


Figura 4-38. (*a*) Interruptor complementario metal-óxido-semiconductor conteniendo el excitador NMOS y la carga PMOS. Representación del interruptor ideal del circuito CMOS de la parte *a* cuando el transistor NMOS de la parte *b* está en conducción y, (*c*) cuando el transistor PMOS conduce.

MOS complementario o simplemente CMOS. (La fabricación de tales dispositivos y los circuitos que los utilizan constituyen la *tecnología CMOS*.) En esta Sección pretendemos facilitar una breve introducción a la configuración del CMOS para poder informar sobre las propiedades del circuito en que se utilizan. En diversas secciones de la primera, segunda y cuarta partes del texto se trata de aplicaciones específicas de la tecnología CMOS.

El circuito CMOS de la Fig. 4-38*a*, usado en aplicaciones digitales consta de un transistor NMOS (excitador) al que está conectado un transistor PMOS a manera de carga. Los terminales de puerta de ambos transistores están conectados entre sí. Supongamos que la tensión umbral V_T es la misma para los dos e igual a $V_{DD}/2$. Aplicando una tensión positiva $v_i > V_T$ simultáneamente se cierra (ON) el transistor NMOS y se corta el PMOS (recuérdese que se precisa una tensión de puerta positiva en un transistor de canal *n* y negativa en el canal *p*). Estando conectados en serie los terminales de drenaje y de fuente de los dos transistores no circula corriente alguna por el NMOS (por estar el PMOS cortado). Por tanto la tensión de salida es prácticamente nula. Esta situación está esquematizada en la Fig. 4-37*b* en la que el interruptor cerrado representa al NMOS y el abierto al PMOS.

Análogamente, cuando se aplica una tensión de entrada negativa (o cero) el PMOS se cierra (pasa a ON) pero el NMOS se corta. La disposición de los interruptores en la Fig. 4-38*c* equivale (aproximada-

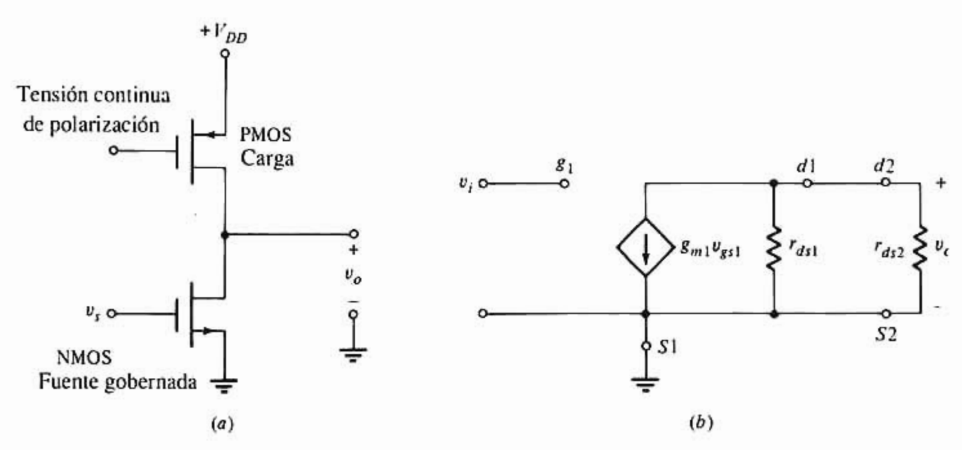


Figura 4-39. (*a*) Configuración del circuito, y (*b*) equivalente de baja frecuencia de la etapa amplificadora CMOS.

mente) a esta situación. Nuevamente, al estar uno de los transistores en corte no circula ninguna corriente por el circuito. La tensión de salida es alta: V_{DD} en el caso ideal de la Fig. 4-38*c* y aproximadamente V_{DD} en el de la Fig. 4-38*a*.

La acción descrita es la de apertura y cierre de un interruptor mediante la tensión de entrada controlada. Sin embargo, como no hay corriente en ninguno de los dos estados del interruptor la potencia disipada por los transistores es prácticamente nula (ciertamente sólo se consume potencia en el CMOS durante el intervalo de conmutación). La extremadamente poca potencia consumida en los circuitos CMOS es la mayor motivación para su extenso empleo.

Los circuitos analógicos metal-óxido-semiconductor complementarios emplean frecuentemente la configuración representada en la Fig. 4-39*a*. El transistor PMOS proporciona la carga resistiva para el NMOS que funciona como fuente gobernada.

La Fig. 4-39*b* corresponde al modelo de pequeña señal (incremental) del circuito de la Fig. 4-39*a*. Obsérvese que no està la fuente $g_{m2}v_{gs2}$ en el modelo del PMOS debido a que $v_{gs2} = 0$ (la fuente y la puerta están ambas a tensión constante). La resistencia de carga r_{ds2} es normalmente del orden de decenas de kiloohmios. Si tuviéramos que emplear como carga una resistencia de valor r_{ds2}, esta ocuparía mucho más espacio del chip del que ocupa el transistor PMOS, lo que es una gran ventaja de la tecnología CMOS en circuitos analógicos.

Una segunda ventaja de este circuito es la doble función que desempeña el transistor PMOS: (1) proporciona al circuito la resistencia en continua (análogamente a la Fig. 4-26) y (2) provee la resistencia de carga en alterna (pequeña señal). Los valores de estas resistencias pueden ser notablemente distintos ya que las necesidades de la polarización y las del procesado de la señal difieren entre sí. Por ejemplo, supongamos que $r_{ds} = 20$ kΩ sea la necesaria para tener la ganancia de tensión deseada. Si esta resistencia tuviera que conducir una corriente de 0,5 mA, la caída de tensión a través de ella sería de $0{,}5 \times 20 = 10$ V. Frecuentemente una caída de tensión de esta envergadura exigirìa una tensión de alimentación mayor de la que puede admitir el dispositivo empleado. Sin embargo, el transistor PMOS permite emplear niveles de tensión más prácticos proporcionando al mismo tiempo la resistencia incremental de 20 kΩ necesaria para alcanzar la ganancia de tensión prevista. Recuérdese que r_{ds2} es la pendiente de la característica de salida en el punto de reposo y puesto que se está operando en la región de saturación donde la curva es casi horizontal, r_{ds2} puede adquirir valores altos, del orden de decenas de kiloohmios.

REFERENCIAS

1 Hodges, D.E. y H.G. Jackson: "Analysis and Design of Digital Integrated Circuits," McGraw-Hill Book Company, Nueva York, 1983.

2 Gray, P.R. y R.G. Meyer: "Analysis and Design of Analog Integrated Circuits," 2ª ed., John Wiley and Sons, Nueva York, 1984.

3 Yang, E.S.: "Fundamentals of Semiconductor Devices," McGraw-Hill Book Company, Nueva York, 1978.

4 Grebene, A.B.: "Bipolar and MOS Analog Integrated Circuits Design," John Wiley and Sons, Nueva York, 1984.

5 Muller, R.S. y T.I. Kamins: "Device Electronics for Integrated Circuits," John Wiley and Sons, Nueva York, 1977.

TEMAS DE REPASO

4-1. Citar tres propiedades de una fuente de corriente ideal gobernada por tensión.

4-2. (*a*) Esbozar la estructura básica de un JFET de canal *n*.
(*b*) Dibujar el símbolo del circuito de un JFET.

4-3. Dibujar la familia de características de drenaje de un JFET de canal *n* y explicar cualitativamente su forma.

4-4. Definir la tensión de estricción.

4-5. ¿Cómo se comporta un JFET ante: (*a*) pequeños valores de $|V_{DS}|$ y (*b*) grandes valores de $|V_{DS}|$?

4-6. Esbozar la sección de un transistor NMOS de acumulación.

4-7. Repetir el tema anterior para un transistor PMOS de acumulación.

4-8. (*a*) Esbozar las características de salida y de transferencia de un transistor NMOS de acumulación.
(*b*) Explicar cualitativamente la forma de las características del punto anterior.

4-9. ¿Por qué se prefieren los dispositivos NMOS a los PMOS?

4-10. Repetir el tema 4-8 para: (*a*) un transistor NMOS de deplexión y (*b*) un transistor PMOS de deplexión.

4-11. ¿Cuál es el significado de la tensión umbral V_T en un MOSFET: (*a*) en el modo de acumulación, y (*b*) en el modo de deplexión?

4-12. ¿Cuál es el significado de la relación W/L en la corriente de drenaje de un MOSFET?

4-13. (*a*) Explicar verbalmente qué se entiende por modulación de la longitud del canal.
(*b*) ¿Qué efecto tiene la modulación de la longitud del canal sobre la corriente de drenaje?

4-14. Explicar cómo se emplea la línea de polarización para determinar la tensión y la corriente de reposo en un circuito FET.

4-15. Dibujar los símbolos de circuitos empleados para los MOSFET con y sin sustrato conectado.

4-16. (*a*) Mostrar el diagrama del circuito de un dispositivo NMOS de acumulación conectado a manera de resistencia.
(*b*) Esbozar la característica de resistencia.

4-17. Repetir el tema anterior para un transistor NMOS de deplexión.

4-18. Explicar cómo puede emplearse un FET como interruptor.

4-19. Explicar cómo puede emplearse un FET como amplificador.

4-20. Dibujar el modelo de pequeña señal y baja frecuencia de un FET y explicar el significado de cada elemento.

4-21. (*a*) ¿Qué elementos deben añadirse al modelo del tema anterior para que el circuito equivalente sea válido a alta frecuencia?
(*b*) ¿Cuál es el origen físico de estos elementos?

4-22. (*a*) Dibujar el circuito equivalente de pequeña señal de una etapa en fuente común.
(*b*) ¿Por qué en este modelo no aparece la tensión de alimentación V_{DD}?

4-23. ¿Qué se entiende por Tecnología CMOS?

4-24. (*a*) Dibujar esquemáticamente el diagrama de circuito CMOS usado en aplicaciones digitales.
(*b*) Explicar las ventajas de este circuito.
(*c*) ¿Hay algunos inconvenientes? Si los hay, cítense.

4-25. Repetir el tema anterior para un circuito CMOS analógico.

5

Fabricación de circuitos integrados

Un circuito integrado está formado por un monocristal de silicio de superficie normalmente comprendida entre 1 y 10 mm de lado, que contiene elementos activos y pasivos. En este capítulo se describen cualitativamente los procesos empleados en la fabricación de tales circuitos. Estos procesos son: preparación de la oblea, crecimiento epitaxial, difusión de impurezas, implantación de iones, crecimiento del óxido, fotolitografía, grabado químico y metalización. Se emplea el proceso múltiple que ofrece una excelente identidad de resultados en la producción de un elevado número de circuitos integrados a bajo coste.

Cada paso de la fabricación contribuye a las propiedades y limitaciones de los circuitos producidos. Con los comentarios que siguen pretendemos dar una visión de conjunto de la tecnología de los circuitos integrados y las implicaciones de esta tecnología en el diseño de circuitos. Trataremos particularmente de la fabricación de bipolares y MOS.

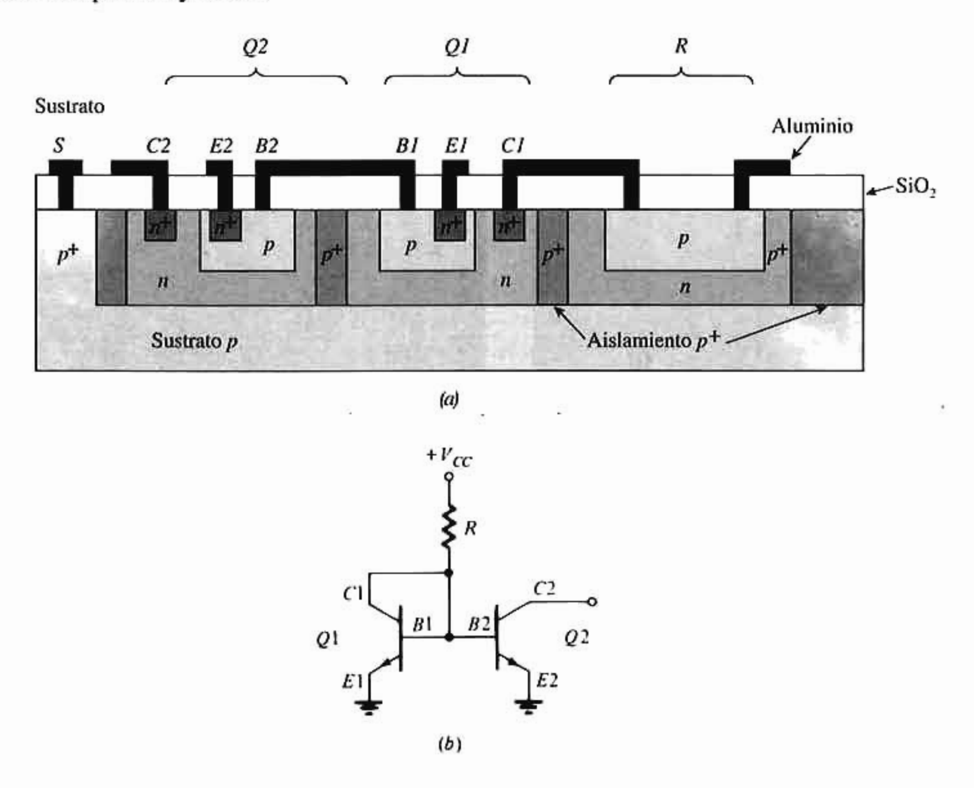


Figura 5-1. (*a*) Sección transversal de la disposición planar integrada de la fuente de corriente de la parte (*b*).

5-1. TECNOLOGÍA DE LOS CIRCUITOS INTEGRADOS MONOLÍTICOS (MICROELECTRÓNICA)

El término «monolítico» se deriva de las palabras griegas *mono* (que significa «único») y *lithos* (que significa «piedra»). Así un circuito integrado monolítico se construye en una única «piedra» o cristal de silicio. La palabra «integrado» se debe a que todos los componentes del circuito: transistores, diodos, resistencias, capacidades y sus interconexiones se fabrican como un ente único. Obsérvese que no se incluyen inductancias: una de las consecuencias de la construcción de circuitos integrados semiconductores es precisamente que no pueden conseguirse valores de inductancia prácticos.[1]

La variedad de procesos con los que se fabrican estos circuitos se desarrollan sobre un plano único y por tanto puede hablarse propiamente de *tecnología planar*. La Fig. 5-1*a* representa la estructura de un integrado bipolar, lo que es la materialización del circuito de la Fig. 5- 1*b*. (Esta es la fuente de corriente introducida primeramente en la Sec. 3-11.) El circuito NMOS de la Fig. 5-2*a* descrito primeramente en la Sec. 4-12 se construye como queda representado en la Fig. 5-2*b*. Como puede verse en las Figs. 5-1*a* y 5-2*b* estas estructuras están formadas por varias capas de material. Estas varias capas son: las regiones de silicio dopadas *n* y *p*, el dióxido de silicio (SiO_2) denominada también *capa de óxido*, y las zonas metálicas.

Las capas de silicio forman los elementos del sistema así como el *sustrato* o *cuerpo* en el que se construye el circuito integrado. Además las zonas de silicio se emplean para aislar unos de otros componentes. Para formar las capas de silicio se emplean tres procesos distintos que son el epitaxial, el de difusión y el de implantación de iones.

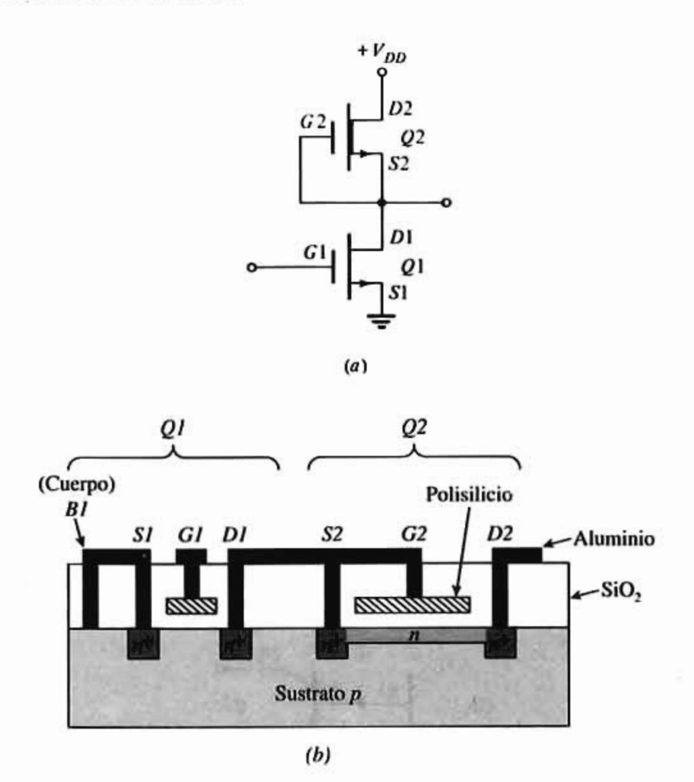
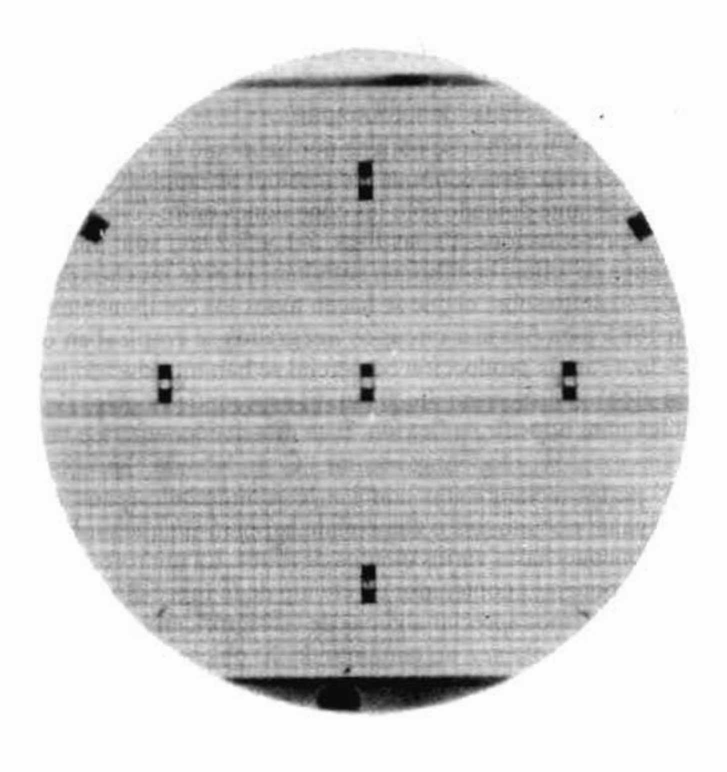


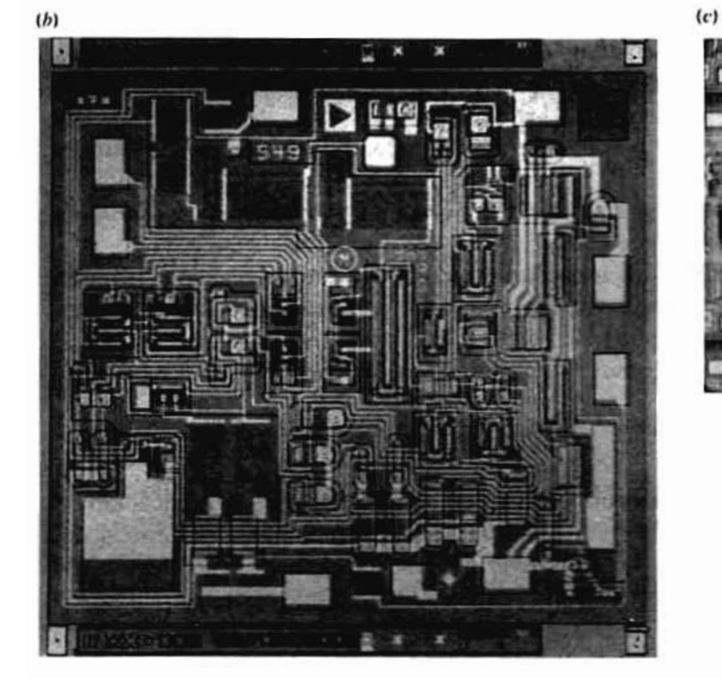
Figura 5-2. (*a*) Circuito MOS de canal *n* con carga de deplexión, y (*b*) disposición como circuito integrado.

[1] En las partes 3 y 4 presentaremos algunos circuitos con características similares (o idénticas) a las de los que contienen inductancias.

(*a*)



(*b*)



(*c*)



Figura 5-3. La oblea de 10 cm de la fotografía (*a*) contiene numerosos chips idénticos al (*b*). La micro-fotografía (*c*) es una pequeña parte del chip (*b*) muy ampliada.

La capa de óxido se utiliza para proteger la superficie del chip de los contaminantes externos y para permitir la formación selectiva de las regiones *n* y *p*. El óxido se elimina por corrosión química que descubre las partes de la superficie en las que se deberán formar esas regiones *n* y *p*. Las zonas a corroer se delimitan por técnicas de fotolitografía.

La fina capa metálica se obtiene normalmente por deposición química de vapor de aluminio sobre la superficie del chip. Para delimitar los trazados se emplea la fotolitografía y mediante corrosión se elimina el aluminio sobrante dejando sólo las conexiones entre componentes.

Las representaciones de las Figs. 5-1 y 5-2 son sólo parte de un conjunto más complejo; sobre una oblea única de silicio se fabrican simultáneamente muchos de tales circuitos. El cristal de silicio (oblea) forma el sustrato sobre el que se hacen todos los componentes del circuito.

En 1985 para fabricar circuitos integrados se empleaban obleas de 10 cm como la presentada en la Fig. 5-3*a*. (Para la producción comercial se han introducido las obleas de 15 cm de diámetro y se espera que en 1990 se dispongan de 20 cm. El espesor de la oblea de 0,2 a 0,3 mm, da la suficiente resistencia mecánica para impedir su flexión. Esta dimensión supera a la necesaria para alcanzar las características eléctricas exigidas a los componentes.) Completando el proceso de fabricación, la oblea se divide en 100 a 8.000 partes rectangulares con 1 a 10 mm de lado (para los más grandes). Cada una de estas partes constituye un circuito único como el de la Fig. 5-3*b* que puede contener, como poco, desde unas decenas de componentes hasta varios cientos de miles. La microfotografía de la Fig. 5-3*c* comprende unos pocos de los componentes contenidos en el chip de la Fig. 5-3*b*.

Ahora podemos apreciar algunas de las significativas ventajas de la tecnología microelectrónica. Si se fabrican de una sola vez un conjunto de 20 obleas de 20 cm equivale a fabricar simultáneamente hasta 160.000 circuitos integrados, y si el promedio de componentes por circuito fuera tan sólo de 700 el conjunto contendría más de 100 millones de componentes. Algunos de estos circuitos resultarán imperfectos debido a defectos de fabricación, pero aún cuando los buenos fueran tan sólo el 10% del total se habrían producido 16.000 chips de una sola vez.

La tecnología de los circuitos integrados presenta las siguientes ventajas respecto a las técnicas convencionales con elementos discretos interconectados:

1. Bajo coste (debido a las grandes cantidades producidas).
2. Tamaño reducido.
3. Gran fiabilidad. Todos los componentes se fabrican simultáneamente sin soldaduras y se reducen los fallos tanto eléctricos como mecánicos.
4. Mejores prestaciones. Debido a su bajo coste se pueden emplear circuitos más complejos para conseguir mejores características de funcionamiento.
5. Igualdad de características. Ya que todos los transistores se fabrican simultáneamente y por el mismo proceso, los parámetros correspondientes así como la variación de características con la temperatura tienen prácticamente los mismos valores.

5-2. EL PROCESO PLANAR

Tal como ya se ha indicado brevemente en la Sec. 5-1 la tecnología planar para la fabricación de circuitos integrados comprende seis o siete procesos independientes: (1) crecimiento del cristal del sustrato, (2) crecimiento epitaxial, (3) oxidación, (4) fotolitografía y grabado químico, (5) difusión, (6) implantación de iones y (7) metalización. Examinaremos cada uno de ellos con mayor detalle.

Crecimiento del cristal del sustrato

Un fino cristal de silicio se sujeta a una varilla y se introduce en un crisol con silicio fundido al que se

han añadido impurezas aceptadoras. Seguidamente se retira muy lentamente en condiciones muy controladas la varilla del silicio fundido. A medida que se va extrayendo se va formando un lingote de cristal tipo *p* de unos 10 cm de diámetro y unos 50 cm de longitud. Esta técnica se conoce como proceso Czochralski o simplemente CZ. Seguidamente se corta el lingote en obleas circulares de un espesor aproximado de 0,2 mm que formarán el sustrato sobre el que se fabricarán todos los componentes integrados. Una de las caras de la oblea se lapida y pule para eliminar las imperfecciones superficiales antes de proseguir con el siguiente paso.

Crecimiento epitaxial

En la fabricación de circuitos integrados se emplea el proceso epitaxial para crecer una capa de silicio como ampliación de la existente en la oblea del mismo material. Este crecimiento se lleva a cabo en un horno especial llamado reactor donde se introducen las obleas de silicio calentándolas hasta 900 a 1.000 °C. En la tecnología corriente, como origen del silicio a recrecer se emplea la reducción de los gases. $Si\,H_4$ o $Si\,Cl_4$. El primero de éstos tiene la ventaja de necesitar menos temperatura y tener un crecimiento más rápido que con el segundo.

La reacción química para la reducción del $SiCL_4$ es

$$SiCl_4 + 2H_2 \xrightarrow{1200°C} Si + 4HCl \qquad (5\text{-}1a)$$

y para la del SiH_4

$$SiH_4 \xrightarrow[1000°C]{H_2 \text{ atmosférico}} Si + 2H_2 \qquad (5\text{-}1b)$$

Una capa epitaxial de tipo *n*, normalmente de 5 a 25 μm (1 μm = 10^{-6}m) de espesor[2] se crece sobre un sustrato de resistividad aproximada de 10 Ω cm, lo que corresponde a $N_A = 1{,}4 \times 10^{15}$ átomos/cm³. El proceso epitaxial descrito indica que se puede escoger la resistividad de la capa epitaxial de tipo *n* independientemente de la del sustrato. En general, para la capa tipo *n* se toman valores de 0,1 a 0,5 Ω cm.

Puesto que es necesario producir capas epitaxiales con una concentración dada de impurezas, hay que introducir impurezas tales como PH_3 para el dopado tipo *n* o B_2H_6 para el tipo *p* en los vapores de $SiCl_4$-hidrógeno. Existe un aparato para el control preciso y fácil de impurezas que consiste en un tubo largo de cuarzo envuelto por una bobina de inducción a radiofrecuencia. Las obleas se colocan en un soporte de grafito y éste se introduce en el reactor calentando el grafito hasta unos 1.200 °C. Un puesto de control introduce y elimina los varios gases requeridos para acrecentar debidamente las capas epitaxiales. Con esto se puede formar una unión abrupta *pn* semejante a la de la Fig. 2-1.

Oxidación

Para el éxito de la tecnología del silicio se requiere habilidad para depositar una capa de óxido sobre la superficie del silicio. Las características sobresalientes del SiO_2 como pasivador son:

1. Puede eliminarse con ácido fluorhídrico HF al que la capa de silicio es resistente.
2. Las impurezas empleadas para el dopado del silicio no penetran en el dióxido SiO_2. Así cuando se

[2] Puesto que la oblea tiene aproximadamente un espesor de 0,25 mm, la capa epitaxial es de una décima parte, o menos, que el sustrato.

emplean las técnicas del enmascaramiento (descritas en el apartado «fotolitografía») se puede lograr un dopado selectivo de zonas específicas del chip.

Muy frecuentemente la oxidación térmica del silicio se lleva a cabo en presencia de vapor de agua. La reacción química es:

$$Si + 2H_2O \longrightarrow SiO_2 + 2H_2 \tag{5-2}$$

El espesor de las capas de óxido está generalmente comprendido entre 0,02 y 2 μm, y el valor que se elija depende de la barrera necesaria para evitar la penetración del dopante. En el espesor de la capa de SiO_2 influyen varios factores tales como la temperatura del proceso, la concentración de impurezas y el tiempo de procesado.

A menudo se emplea como pasivador el nitruro de silicio, Si_3N_4, debido a sus propiedades para el enmascarado. Es frecuente emplearlo como separador entre dos capas de SiO_2. El nitruro impide la penetración del dopante en la capa subyacente de SiO_2 (esencial en los MOS). La capa exterior de dióxido de silicio obtenida por deposición química de vapor, recubre completamente el chip al que sirve de protección contra roces y daños mecánicos.

Fotolitografía

La técnica monolítica descrita en la Sec. 5-1 requiere la eliminación selectiva del SiO_2 para formar aberturas por donde puedan difundirse las impurezas. El procedimiento empleado para esta eliminación es el de fotocorrosión representado en la Fig. 5-4. Durante el proceso fotolitográfico se recubre la oblea con una película uniforme de una emulsión fotosensible. Se dibuja una representación amplia en blanco y negro de las zonas que han de quedar abiertas y cerradas, reduciéndose luego este dibujo fotográficamente. El negativo ya reducido a la dimensión adecuada se coloca a manera de máscara sobre la emulsión como se ve en la Fig. 5-4. Sometiendo la emulsión a los rayos ultravioletas a través de la máscara se polimeriza la fotorresina bajo las zonas transparentes de la máscara. Se retira luego dicha máscara y se «revela» la oblea mediante un producto químico (tal como el tricloroetileno) que disuelve las partes no expuestas (no polimerizadas) de la emulsión dejando la superficie como en la Fig. 5-4*b*. La emulsión que no se ha eliminado con el revelado se fija para que resulte resistente a los productos corrosivos que se emplearán a continuación. El chip se sumerge ahora en una solución corrosiva de ácido fluorhídrico que eliminará el óxido de las zonas a través de las que deberá difundirse el dopante. Las porciones de SiO_2 protegidas por la película no quedan afectadas por el ácido (Fig. 5-4*c*). Una vez difundidas las impurezas, la máscara restante se elimina mediante un disolvente químico (tal como el H_2SO_4 caliente) y por abrasión mecánica. En el proceso descrito se emplea una fotorresina negativa, aunque también se emplea la positiva en la que las partes del polímero expuestas son eliminadas con lo que se retiene el material no expuesto. Los siguientes pasos del proceso son independientes del tipo de fotorresina empleado.

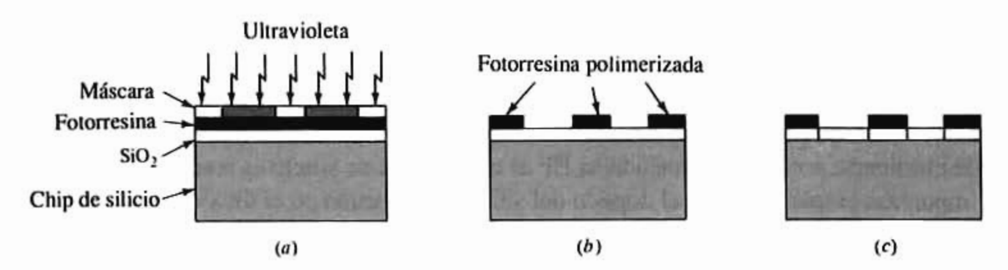


Figura 5-4. Técnica fotolitográfica: (*a*) enmascarado y exposición a una radiación ultravioleta, (*b*) fotorresina y (*c*) revelado.

La confección de una máscara fotográfica es una cuestión complicada y costosa. Una vez determinada la disposición del circuito se prepara un dibujo a gran escala en el que figure la localización de las aberturas en las que deberá eliminarse el SiO_2 para un determinado paso del proceso. Invariablemente la disposición del chip se obtiene con la ayuda de un ordenador. El dibujo se hace a escala de alrededor de 500/1 quedando de un tamaño más fácilmente manejable para el dibujante. Esta técnica permite controlar 1 μm en el proceso de producción, con una resolución entre líneas adyacentes de 2 μm.

El dibujo del circuito se subdivide en varios niveles, denominados *niveles de enmascarado*, que se usan en la fabricación del chip. Por ejemplo, en un dispositivo MOS la disposición de puertas está en un nivel, las ventanas de contacto de fuente y drenaje en otro, etc. Por procedimientos ópticos manejados por ordenador se convierte el dibujo en información digital y se transfiere a una lámina fotosensible. Esta lámina, en la que el modelo queda reducido unas 100 veces, puede usarse directamente sobre el chip o en combinación con una cámara para una segunda reducción de 5 a 10 veces. Las imágenes bidimensionales en las varias láminas constituyen las más caras empleadas para cada uno de los pasos siguientes en la fabricación de los circuitos integrados. (Implantación de iones, oxidación, metalización, etc.)

Los menores detalles que se pueden obtener con el proceso fotolitográfico descrito quedan limitados por la longitud de onda de la luz. Los haces de electrones tienen una onda mucho más corta que las radiaciones ópticas y son capaces de definir zonas mucho más pequeñas. Por lo que actualmente para la preparación de máscaras se emplea la litografía con haces de electrones. Un haz muy fino de electrones barre una máscara recubierta con una resina sensible a los electrones. De esta forma el diseño queda impreso en la máscara. Las ventajas de esta forma de preparar las máscaras consisten en una mayor precisión, la supresión de dos etapas de reducción fotográfica y la reducción de tiempo. En la producción industrial, el mayor coste del equipo necesario queda compensado por las ventajas que aporta.

Difusión

Históricamente la difusión de impurezas fue el paso decisivo en el proceso planar. Aun antes de la introducción de los circuitos integrados ya se empleaba este método en la producción de transistores discretos. La introducción de impurezas a concentraciones controladas se lleva a cabo en un horno de difusión a unos 1.000 ºC y durante una o dos horas. Un horno de difusión aloja normalmente 20 obleas en un soporte de cuarzo dentro de un tubo también de cuarzo. La temperatura debe regularse cuidadosamente de forma que sea uniforme en toda la zona. Las fuentes de impurezas pueden ser gases, líquidos o sólidos puestos en contacto con las superficies de silicio en el interior del horno. Como impurezas gaseosas generalmente se utilizan hidruros de boro, arsénico y fósforo. Un gas inerte (nitrógeno) conduce los átomos de impureza hasta la superficie de las obleas desde donde se difunde en el silicio.

Para mayor simplicidad de los dibujos, en todas las secciones transversales que figuran en los esquemas de este capítulo, las zonas de difusión lateral (Fig. 5-5*a*) figuran como verticales cuando en realidad si se

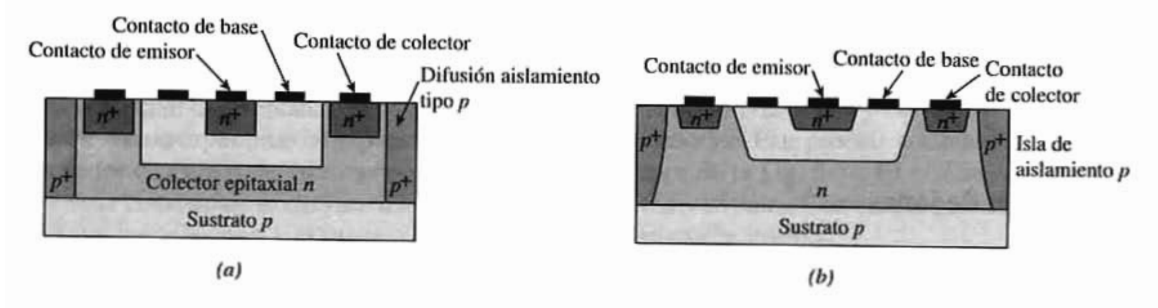


Figura 5-5. Sección transversal de un transistor integrado: (*a*) idealizado, y (*b*) real.

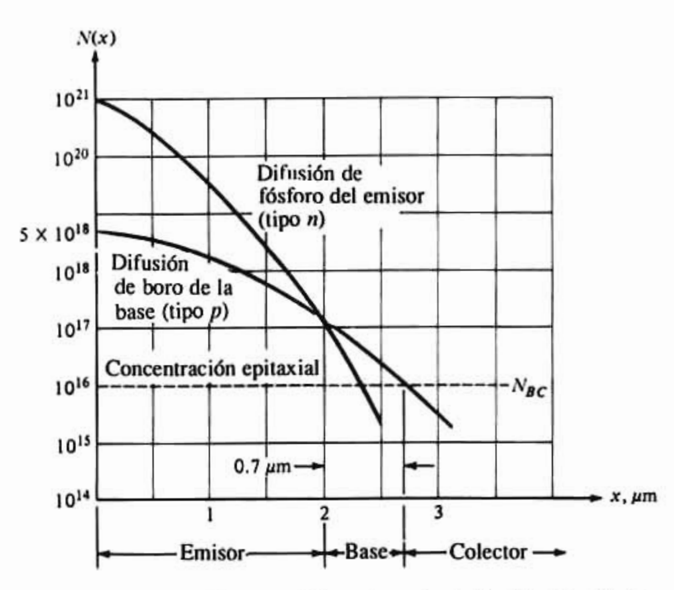


Figura 5-6. Perfil típico de impurezas en un transistor monolítico planar de doble difusión. Obsérvese que *N(x)*, en átomo por centímetro cúbico, está en escala logarítmica.

abre una ventana en la capa de SiO_2 y por ella se introducen impurezas, éstas se difundirán lateralmente la misma distancia que lo hacen verticalmente. Por tanto las impurezas avanzarán por debajo de la capa pasivadora de óxido y el perfil de las uniones debería trazarse más realísticamente como en la Fig. 5-5*b*.

En un transistor bipolar se emplean frecuentemente dos difusiones de impurezas. Para un dispositivo *npn* la primera es la difusión de la base tipo *p* en el colector recrecido epitaxialmente de tipo *n*. Y la segunda es la de la región emisor de tipo *n* en la base tipo *p*. La Fig. 5-6 representa el perfil de impurezas típico de un transistor monolítico *npn* con doble difusión.

La concentración N_{BC} en el colector epitaxial está representada por la línea de trazos de la Fig. 5-6. La concentración *N* de boro es alta (5×10^{18} átomos/cm³) en la superficie y va decreciendo dentro del silicio como puede verse en la figura. A la distancia $x = x_j$ en la que *N* se iguala a N_{BC} la densidad neta de impurezas es nula. Para $x < x_j$ la concentración neta de impurezas es positiva, y si $x > x_j$ será negativa. Por tanto x_j es la distancia desde la superficie a la que se forma la unión de colector. Para el transistor cuyo perfil de impurezas es el de la Fig. 5-6, $x_j = 2{,}7$ μm.

La difusión de emisor (fósforo) parte con una concentración superficial mucho más alta (próxima a la solubilidad sólida) de unos 10^{21} átomos/cm³ y penetra hasta 2 μm en donde se forma la unión de emisor. Esta unión se corresponde con la intersección de las distribuciones de impurezas de base y de emisor. Puede verse que el espesor de la base de este transistor monolítico es de 0,7 μm. Normalmente se trata la unión emisor-base como abrupta, mientras que la de base-colector se considera como linealmente gradual debido a la variación más lenta de la concentración en función de la distancia.

Implantación de iones

La implantación de iones es un segundo procedimiento para introducir impurezas. Un haz de iones apropiados (boro para el tipo *p* y fósforo para el tipo *n*) se aceleran con energías entre los 30 y los 200 ke V. La profundidad de penetración se determina por la energía de aceleración y por la concentración de iones

dopantes. Este procedimiento se emplea frecuentemente donde se requieran capas finas de silicio dopado como es en la región de emisor de un BJT, el canal en un MOSFET y la región de puerta de un JFET. En estas zonas finas la implantación de iones permite controlar mejor la concentración de dopado que el procedimiento de difusión. La capa de SiO_2 pasivada forma una verdadera barrera frente a los iones implantados con lo que sólo quedan dopadas las zonas definidas fotolitográficamente. También es ventajosa la implantación de iones porque se realiza a baja temperatura. En consecuencia, las regiones previamente difundidas (o implantadas) tienen menos tendencia a extenderse lateralmente.

Otra particularidad del proceso de implantación de iones es que el potencial de aceleración y la concentración de iones dopantes se regulan eléctricamente desde fuera del aparato en que se produce la implantación. Por el contrario, en el proceso de difusión debe controlarse la temperatura sobre toda la superficie dentro del horno. Todas estas ventajas han hecho que la implantación de iones se convierta en el principal procedimiento en la fabricación de circuitos integrados.

Metalización

La metalización se emplea para formar las interconexiones entre los componentes de un chip. Estas conexiones se forman depositando una tenue capa de aluminio (el conductor más frecuentemente usado) sobre toda la superficie del chip. La deposición se consigue por evaporación en alto vacío en el interior de un recipiente. Se calienta el aluminio hasta que se vaporice. Las moléculas gaseosas formadas irradian uniformemente en todas direcciones y cubren completamente la superficie de la oblea. Las trayectorias de las conexiones se definen con una máscara eliminando por corrosión el aluminio sobrante. En esta Sección hemos descrito la técnica planar relativa a la fabricación de circuitos monolíticos integrados. Hemos tocado los siete procesos citados al principio de la Sec. 5-2. En las cuatro secciones siguientes describiremos las secuencias en estos procesos necesarios para fabricar transistores, diodos, resistencias y condensadores.

5-3. FABRICACIÓN DE TRANSISTORES BIPOLARES

En esta sección pretendemos describir la fabricación del BJT planar para circuitos monolíticos mediante los procesos tratados en la Sec. 5-2. Para seguir la secuencia de fabricación nos centraremos en la construcción de dos transistores *npn* en la fuente de corriente de la Fig. 5-1*b*. En la Sec. 5-8 describiremos la fabricación de resistencias.

Fabricación de transistores

Una vez preparada la oblea (el sustrato tipo *p*) se crece una capa epitaxial tipo *n*, tal como se ve en la Fig. 5- 7*a*. Esta capa forma las regiones de colector de los transistores. Seguidamente se deposita una capa de óxido para cubrir la superficie. Ahora deben aislarse entre sí las regiones de ambos transistores. Para ello se forman tres ventanas en el SiO_2 (Fig. 5-7*b*) mediante fotolitografía y corrosión. Se difunde una región p^+ en la capa epitaxial expuesta hasta que alcance el sustrato. Este proceso establece una *isla aislada* alrededor de cada transistor como se ve en la vista superior de la Fig. 5-7*c*. El *aislamiento eléctrico se consigue conectando el sustrato a la tensión más negativa del circuito.* Con esto se garantiza que la unión *pn* entre los colectores y el sustrato permanezca con polarización inversa.

Una vez completada la difusión de aislamiento se recubre nuevamente la oblea con una capa de SiO_2. Con una nueva máscara se forman las ventanas en las que se difunden las bases de tipo *p* como se ve en la Fig. 5-7*d*, quedando definidas las regiones de las bases en la vista superior de la Fig. 5-7*e*.

Se recrece una capa de SiO_2 para cubrir la oblea después de la difusión de la base. Con una tercera máscara y un proceso de corrosión se elimina el SiO_2 como preparación para la difusión superficial de emisor (Fig. 5- 7*f*). Obsérvese que también se difunde una región n^+ en la región de colector de cada transistor. Aquí se hace el contacto en aluminio del colector, y la zona n^+ contribuye a formar un buen

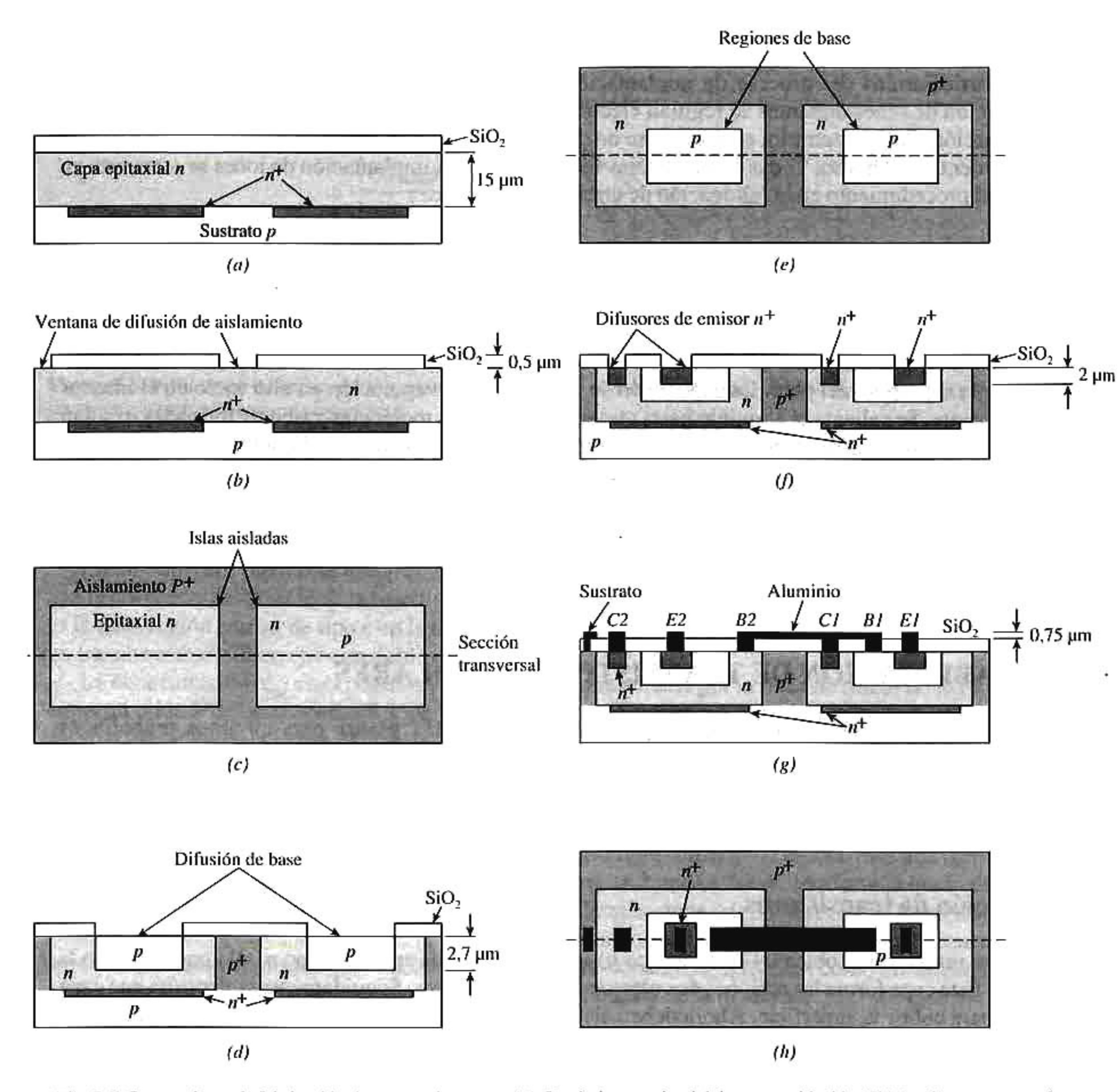


Fig. 5-7. Secuencias en la fabricación de un transistor *npn*. (*a*) Crecimiento epitaxial tipo *n*, y oxidación (SiO_2); (*b*) enmascaramiento y grabado para exponer la superficie tipo *n* para la difusión de aislamiento; (*c*) vista superior después de la difusión de aislamiento tipo *p*; (*d*) difusión de la base; (*e*) vista superior después de la difusión de base; (*f*) difusión de emisor n^+ (tanto los emisores de los transistores como las regiones de contactos de los colectores se difunden simultáneamente); (*g*) metalización y pasivación (SiO_2); (*h*) vista superior del chip mostrando los contactos y las interconexiones entre componentes. Obsérvese que la capa de SiO_2 se supone transparente para que sean visibles las regiones de base, emisor y colector. Las dimensiones señaladas son las normales en los circuitos integrados comerciales modernos.

contacto óhmico (véase la Sec. 5-7). Después de la difusión de colector se crece otra capa de SiO_2 sobre la superficie de la oblea.

El último paso del proceso es la metalización. La capa de óxido se graba con una cuarta máscara para descubrir la oblea allá donde se deseen los contactos. Para recubrir toda la superficie se vaporiza aluminio; el sobrante se elimina químicamente (una sexta máscara) dejando los contactos y las conexiones deseadas. En la sección transversal de la Fig. 5-7*g* y en la vista superior de la Fig. 5-7*h* puede verse el resultado de esta secuencia. La Fig. 5-7*g* es idéntica a la Fig. 5-1*a* para Q1 y Q2.

Las dimensiones señaladas en la Fig. 5-7 son las típicas empleadas en la fabricación comercial de BJT de «pequeña geometría». Al construirse ambos transistores simultáneamente y físicamente próximos, sus características eléctricas son prácticamente idénticas. Para fabricar transistores con propiedades eléctricas distintas, normalmente se modifica la geometría del dispositivo. En particular, para obtener BJT de mayor corriente (aumento de I_{ES}) se aumenta la superficie del emisor, con lo que todo el dispositivo queda aumentado. Empíricamente se acostumbra a limitar a 10:1 la relación entre las superficies de emisor de transistores muy próximos entre sí, y ello debido a las limitaciones del proceso de difusión.

En la fabricación de circuitos integrados comerciales corrientemente se emplea la implantación de iones en las zonas de emisor y de base. Estas regiones son muy tenues y puede regularse mejor su espesor mediante la implantación. Además, como la implantación se realiza a menor temperatura que la difusión se minimiza el inconveniente de la difusión lateral de base y emisor.

Capa enterrada

La fabricación del BJT indicada en la Fig. 5-7 casi siempre se modifica añadiendo un nuevo paso al proceso como en la Fig. 5-8 (y en la 5-7). Las dos regiones n^+, conocidas como *capa enterrada*, entre las capas *n* y *p* se depositan antes del crecimiento epitaxial. Recuérdese que con el símbolo n^+ se designa una región *n* con mayor concentración de dopado que otra designada simplemente como de tipo *n*. La utilización de las regiones n^+ cumple dos funciones: (1) mejora la formación de la capa epitaxial, y (2) la mayor densidad de electrones en la capa n^+ reduce la resistencia en serie entre la unión de colector y el terminal del propio colector (ver Sec. 3-7).

Fabricación del *pnp*

La gran mayoría de transistores bipolares integrados son *pnp*, si bien en algunos circuitos se necesitan los *npn*. Por ejemplo, en el par de emisor acoplado descrito en la Sec. 3-12. Las resistencias de colector

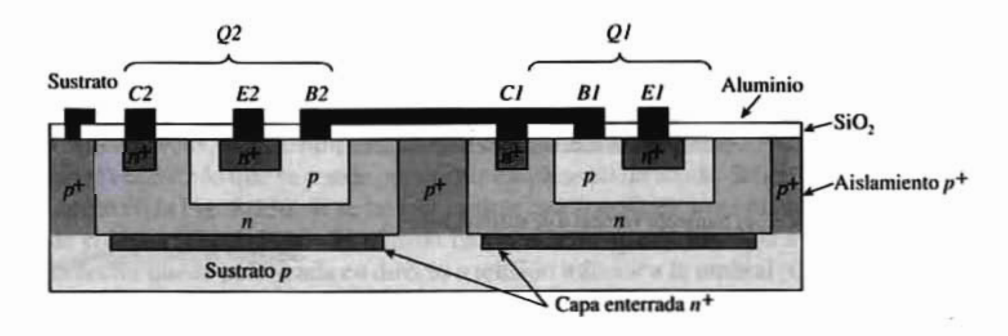


Figura 5-8. Transistores integrados mostrando la capa enterrada.

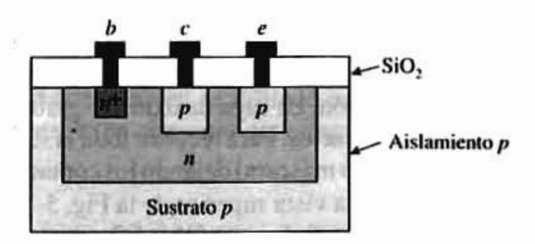


Figura 5-9. Sección transversal de un transistor lateral *pnp*.

generalmente se logran utilizando un par de transistores *pnp* en configuración de fuente de corriente. Las dos clases de tales transistores más corrientemente empleadas son el *pnp lateral* y el *pnp vertical*.

En la Fig. 5-8 puede apreciarse que la base, el colector y la región aislada forman un transistor *pnp* parásito. El término «lateral» se refiere al hecho de que los tres elementos están ubicados en un plano horizontal contrariamente al plano vertical de los transistores *npn*. Análogamente, un dispositivo *pnp* vertical parásito se forma por la base y el colector del transistor *npn* y el sustrato de tipo *p*. Estas observaciones conducen a la fabricación de los dos tipos de transistores *pnp* empleados en circuitos integrados.

El *pnp* lateral, cuya sección transversal es la de la Fig. 5-9, se forma implantando las regiones tipo *p* de emisor y de colector al mismo tiempo que se fabrican las bases de dispositivos *npn*. Asimismo se forman simultáneamente el contacto n^+ de base del transistor *pnp* y los emisores n^+ del BJT *npn*. Así vemos que tanto los transistores *npn* como los *pnp* se fabrican según las mismas secuencias del proceso. Todo lo que se necesita para el *pnp* son ventanas adicionales en las máscaras.

El transistor lateral *pnp* tiene un valor de β_F considerablemente menor que el del *npn*. Esto es debido a que el emisor de tipo *p* no puede inyectar portadores minoritarios en la base tipo *n* con la misma eficacia que lo hace el emisor tipo n^+ en la base tipo *p* de un BJT *npn*. Además, la mayor área de la base y el hecho de que algunos de los huecos inyectados migren hacia el sustrato hace que disminuya el número de huecos que llegan al colector. Por tanto, los transistores *pnp* laterales se emplean generalmente en circuitos con poca corriente de colector.

El transistor *pnp* vertical se emplea donde se requieran mayores corrientes y potencias. En la Fig. 5-10 está representado este dispositivo y en ella se ve que también puede fabricarse simultáneamente y con los mismos procesos empleados para los transistores *npn*. Los dos pasos simultáneos son: (1) la fabricación de las regiones *p* de emisor del transistor *pnp* y las bases de los *npn*, y (2) la fabricación de la región n^+ de base del sustrato *pnp* y los emisores de los transistores *npn*.

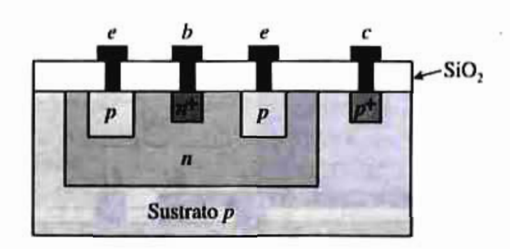
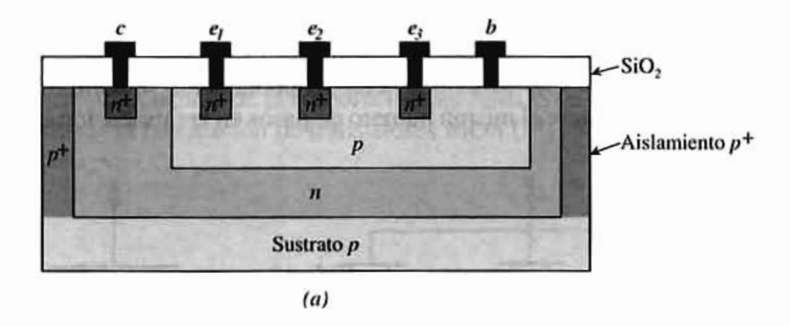


Figura 5-10. Sección transversal de un transistor vertical o de sustrato *pnp*.

Ya hemos hecho notar que el sustrato debe conectarse a la tensión más negativa del circuito. Por tanto, un transistor *pnp* vertical sólo se puede utilizar si su colector está a una tensión negativa fijada. A esta configuración se le denomina *seguidor de emisor* y será comentada en la Sec. 10-10.



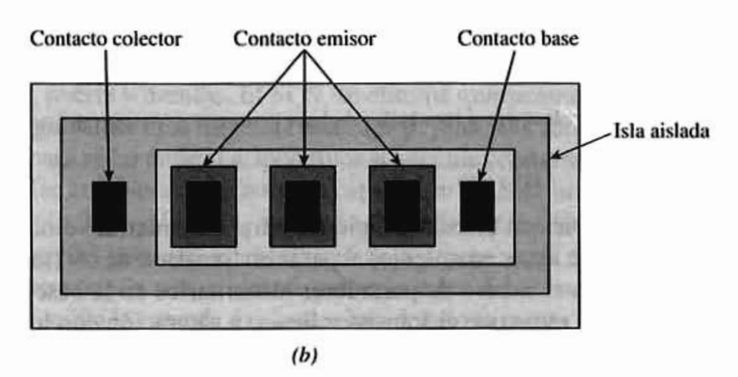


Figura 5-11. (*a*) Sección transversal, y (*b*) vista superior de un transistor de múltiples emisores.

Transistores de emisor múltiple

La densidad de componentes de un circuito integrado puede mejorarse utilizando racionalmente las dimensiones chip. Se puede ganar espacio empleando un conjunto de dos o más dispositivos en un mismo chip que compartan una o más regiones en común. Los transistores reunidos más comúnmente empleados son los de *emisor múltiple* cuya disposición, representada en la Fig. 5-11 es la base de la *lógica transistor-transistor* (TTL o T^2L) que se tratará en la Sec. 6-11. En la Fig. 5-11 cada línea de emisor puede considerarse como el emisor de un transistor separado y cada uno de ellos comparte con los demás una base y un colector comunes. Efectivamente, esta disposición simula las dos configuraciones equivalentes de la Fig. 5-12. Se han fabricado transistores de emisor múltiple con más de 60 líneas.

El transistor Schottky

Para aumentar la velocidad de funcionamiento del circuito es necesario evitar que los transistores entren en saturación (Sec. 3-8) lo que se puede conseguir empleando un diodo Schottky como enlace entre base y colector, como en la Fig. 5-13*a*. Si se intenta saturar este transistor aumentando la corriente de base, cae la tensión de colector, *D* conduce y la tensión base-colector queda limitada a unos 0,4 V. Puesto que la tensión de colector queda polarizada en directo a tensión inferior a la umbral (0,5 V) el transistor no entra en saturación (Sec. 3-6).

Como puede apreciarse en la Fig. 5-13*b* la metalización de aluminio para formar el terminal de base hace contacto también con la región *n* de colector (pero sin intervenir la región n^+). Esta simple disposición

forma un diodo metal- semiconductor entre base y colector. El dispositivo de la Fig. 5- 13*b* es equivalente al circuito de la Fig. 5-13*a*. Esto constituye un transistor Schottky que se representa con el símbolo de la Fig. 5-13*c*. Obsérvese que puesto de la unión metal-semiconductor se forma durante el proceso de metalización, este transistor requiere el mismo número de pasos en la fabricación que un dispositivo *npn*.

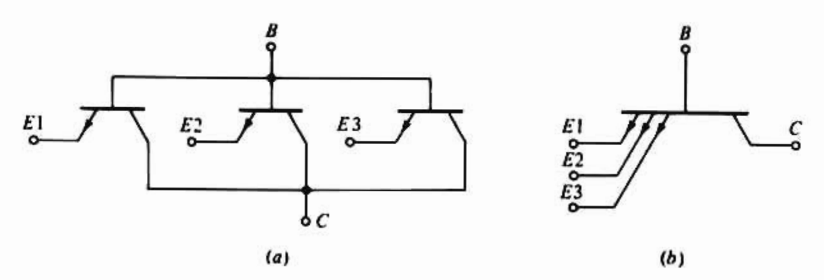


Figura 5-12. (*a*) Tres transistores con colectores y terminales de base comunes y (*b*) un transistor único de emisor múltiple equivalente.

El transistor Schottky se emplea en circuitos digitales para aumentar la velocidad de conmutación. Existe un cierto retraso (tiempo de almacenamiento) al pasar un transistor de ON (saturación) a OFF (corte) porque hay que eliminar primero el exceso de portadores minoritarios en la base. Conectando el diodo Schottky entre base y colector se evita que el transistor llegue a saturación con lo que prácticamente se anula el tiempo de almacenamiento. (Recuérdese que el almacenamiento de portadores minoritarios en un diodo Schottky es prácticamente nulo.)

Transistores Super-β

En un transistor monolítico *npn* el valor típico de β_F es del orden de 150. Este valor puede aumentarse hasta 2.000 o 5.000 mediante la implantación (o difusión) de la región de emisor en la región de base de tipo *p* (Fig. 5-7*f*). Los dispositivos fabricados de esta forma se denominan *transistores super*-β. Este mayor valor de β_F es consecuencia de ser la capa de base más fina de lo usual, lo que va acompañado de una disminución de la tensión de ruptura de la unión emisor-base. Por eso estos transistores se utilizan únicamente en circuitos en los que tal unión quede sometida a tensión baja.

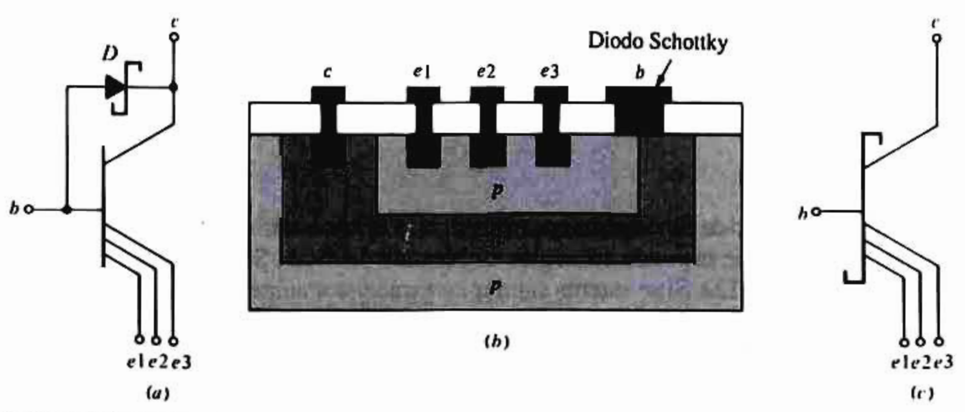


Figura 5-13. (*a*) Diodo Schottky conectado entre base y colector para formar un transistor Schottky; (*b*) su formación, y (*c*) símbolo del circuito de un transistor Schottky.

5-4. FABRICACIÓN DEL FET

Describiendo el proceso secuencia de la elaboración del NMOS de acumulación y de dispositivos de deplexión, queda explicada la fabricación de transistores MOS (Fig. 5-2). En esta Sección se incluye la construcción del JFET.

Fabricación del NMOS de acumulación

El primer paso consiste en recubrir completamente una oblea de tipo *n* con una capa de nitruro de silicio (Si_3N_4). En la Sec. 3-2 vimos que los dopantes empleados penetran menos fácilmente en el Si_3N_4 que en el SiO_2. El primer paso de máscara y corrosión se usa para definir una zona suficientemente amplia para abarcar la fuente, puerta y drenaje. El Si_3N_4 se elimina químicamente de la superficie exterior de la zona del transistor. Seguidamente se implanta una capa p^+ junto a la superficie expuesta del sustrato *p*. La implantación p^+ sirve para aislar entre sí dispositivos adyacentes como se explicó en la Sec. 5-3. Esta parte del proceso secuencial se completa creciendo una capa (1 μm) de SiO_2 sobre la región p^+ implantada, como se indica en la Fig. 5-14*a* (la región Si_3N_4 no queda afectada por la oxidación).

En la segunda parte del proceso se elimina el Si_3N_4 (pero no el SiO_2) sobrante por medio de una corrosión selectiva recreciendo térmicamente sobre la zona del transistor una fina capa de SiO_2 (Fig. 5-14*b*). Este proceso facilita la capa de óxido que hay debajo la puerta de los transistores.

Ahora se deposita silicio policristalino llamado más comúnmente polisilicio sobre la oblea. Un segundo proceso fotolitográfico define la zona de puerta y elimina el exceso de polisilicio. Las Figs. 5-14*c* y 5-14*d* representan la sección transversal y la vista superior del chip. Las puertas de polisilicio reducen la tensión umbral V_T por debajo de la obtenible con puertas de metal, y en consecuencia pueden emplearse tensiones de alimentación más bajas por lo que la mayoría de MOS integrados comerciales se fabrican con puertas de polisilicio.

Las regiones de fuente n^+ y de drenaje se obtienen normalmente por implantación de iones. El óxido del campo y la puerta de polisilicio impiden que los dopantes penetren por debajo de esas regiones. Sin embargo, sí penetran en la fina capa de óxido permitiendo la formación del drenaje y de la fuente. A consecuencia de la implantación de iones se auto-alinean puerta y fuente, y puerta y drenaje y puesto que estos electrodos no se superponen, las capacidades entre ellos C_{gs} y C_{gd} quedan muy reducidas.

Después de la implantación de fuente y drenaje se recubre toda la oblea con una capa protectora aislante (normalmente de SiO_2). Para definir las conexiones al dispositivo (incluido el cuerpo *B*) y dejar al descubierto por corrosión las superficies de contacto se emplea una tercera máscara. Luego se vaporiza aluminio sobre el total y con una cuarta máscara se perfilan las conexiones del circuito (Fig. 5-14*e* y 5-14*f*). Obsérvese que la Fig. 5-14*e* corresponde a *Q*1 de la Fig. 5-1*b*.

Autoaislamiento

La implantación p^+ de las Figs. 5-14*e* y 5-14*f* actúa como resistencia baja del contacto *B* al sustrato del MOSFET. Normalmente la fuente y el cuerpo están conectados entre sí como en la Fig. 5-14*e* con lo que el diodo fuente-sustrato está en corte. En un NMOS la polaridad de la tensión del drenaje es positiva respecto a la fuente y por tanto respecto al sustrato *p*. Por tanto, el diodo drenaje-sustrato está en corte (Fig. 5-14*e*). Evidentemente no se necesita ninguna isla aislada en un transistor MOS y la corriente queda confinada al canal entre *D* y *S*. En un BJT la difusión de aislamiento ocupa una proporción muy alta de la superficie del transistor, y esta carencia de límites del aislamiento hace que la densidad de empaquetado del MOSFET sea unas 20 veces mayor que en el transistor bipolar integrado.

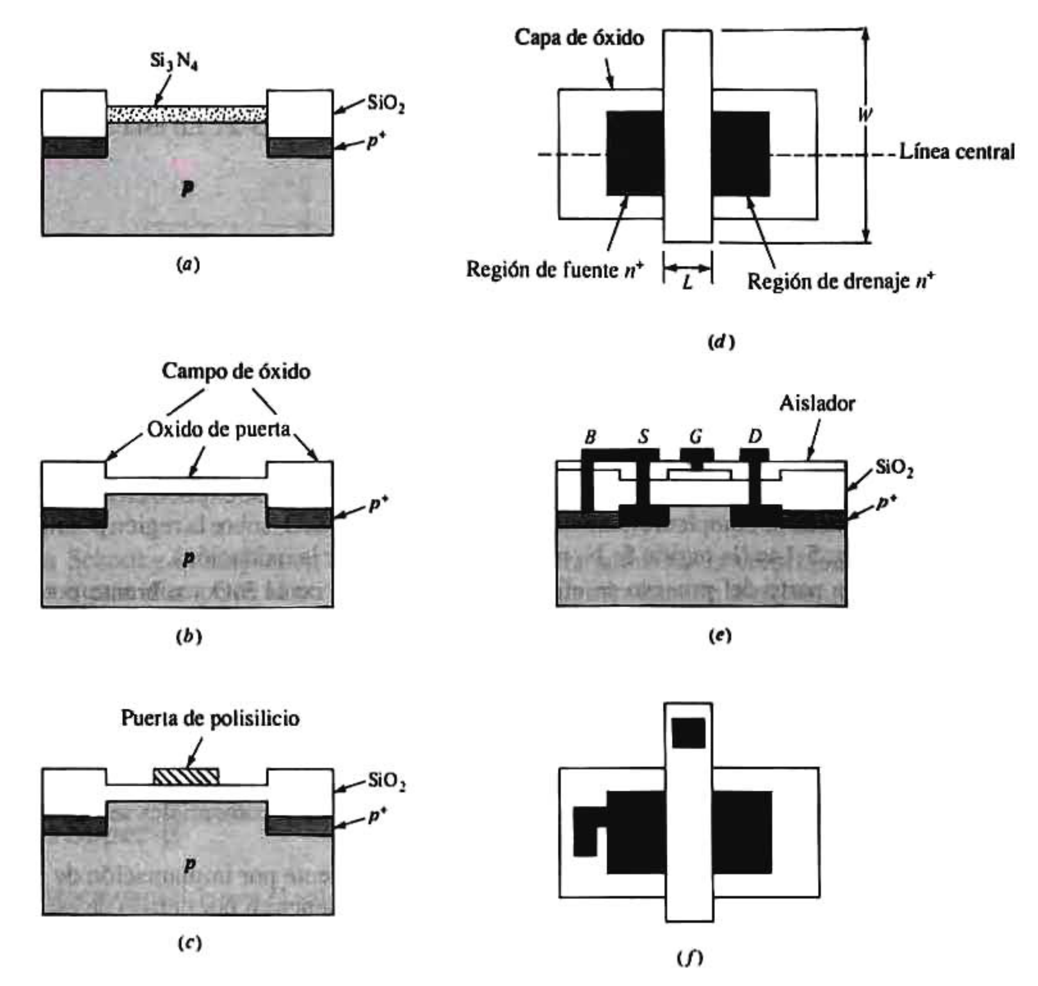


Figura 5-14. Fabricación del MOSFET de acumulación: (*a*) implantación de p^+ y crecimiento grueso de óxido; (*b*) grabado selectivo de Si_3N_4 y crecimiento fino de óxido; (*c*) deposición de la puerta de polisilicio; (*d*) vista superior mostrando la relación de aspecto (W/L) de la puerta y las regiones n^+ de drenaje y de fuente implantadas; (*e*) y (*f*) sección transversal y vista superior mostrando la metalización y la intercomunicación entre el sustrato y la fuente.

Transistores NMOS de deplexión

La fabricación de los MOSFET de deplexión es semejante a la de los de acumulación. El único paso adicional que se requiere es el de implantación del canal *n* (véase *Q*2 en la Fig. 5- 2*b*). Este se forma antes de la deposición de la capa de puerta de polisilicio y supone un paso más de máscara y corrosión.

El proceso NMOS de cuatro máscaras descrito es el más sencillo que se puede emplear. Para mejorar el rendimiento y tener un control más efectivo sobre las propiedades eléctricas del transistor, muchos procesos industriales emplean un mínimo de siete máscaras.

Largo y ancho de puerta

Normalmente para obtener transistores de distintas corrientes nominales sólo se puede ajustar la

geometría del dispositivo. Según la Ec. (4-5) la corriente de drenaje I_D varía con W/L, relación entre el ancho y la longitud de puerta. La mayor parte de los chips de alta densidad (VLSI) emplean elementos de las mínimas dimensiones alcanzables (2 μm en 1986). Para $W/L = 1$ tanto el ancho como el largo de puerta pueden ser de 2 μm. Para hacer que $W/L = 1/4$ como en el Ejemplo 4-4 se emplea el ancho mínimo y se aumenta L cuatro veces, resultando así una puerta de 2 × 8 μm.

Todos los dispositivos fabricados de esta forma son para corrientes débiles (50 a 300 μA como se ve en las Figs. 4-12 y 4-17). Para aumentar el nivel de corriente hasta por ejemplo 1 mA, se pueden construir MOSFET con $W/L = 4$ o $W = 8$ μm y $L = 2$ μm. Teóricamente se puede aumentar W/L para tener cualquier nivel de corriente deseado. Sin embargo al aumentar el área de la puerta se aumenta también la capacidad del dispositivo lo que a su vez afecta desfavorablemente sobre la velocidad de funcionamiento, y por ello es raro que se fabriquen MOSFET con una relación W/L mayor que 10.

Fabricación de JFET

Un FET de canal n se fabrica por el proceso de elaboración de un bipolar. La capa epitaxial que constituía el colector del BJT ahora se convierte en el canal n del JFET. Como se ve en la Fig. 5-15 las islas aisladas se difunden en la capa epitaxial n para separar los dispositivos individuales. La región de puerta p^+ es implantada (o difundida) en el canal n y se crece una tenue capa de óxido. Luego se recubre toda la oblea con SiO_2. El enmascarado y corrosión definen las superficies de contacto para los terminales. Frecuentemente las regiones n^+ se implantan debajo de las regiones de los contactos de drenaje y de fuente para tener unos buenos contactos óhmicos. Seguidamente se recubre el todo con una capa de aluminio y con una última máscara se perfilan las interconexiones deseadas. El proceso se completa eliminando por corrosión el aluminio en exceso.

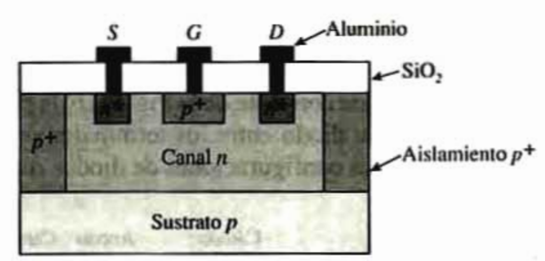


Figura 5-15. Fabricación y estructura del transistor de unión de efecto campo.

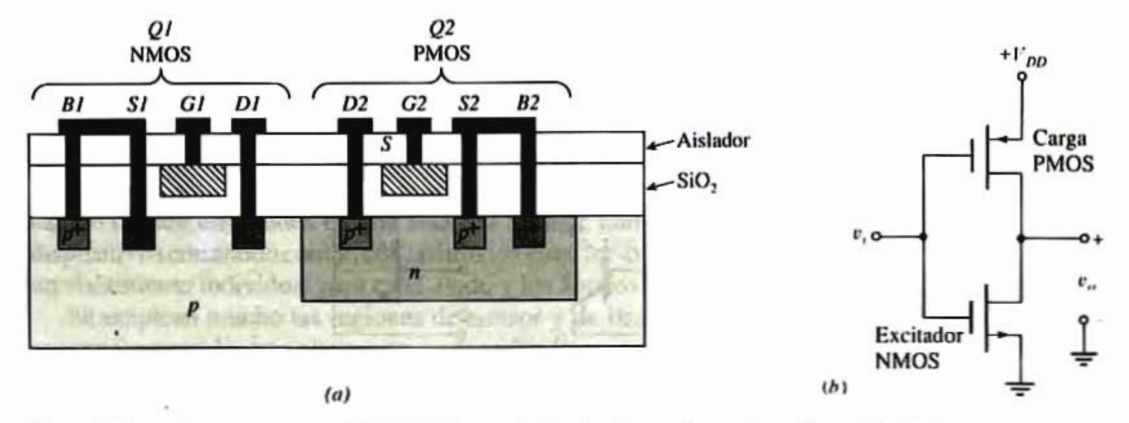


Figura 5-16. (*a*) Sección transversal del CMOS integrado empleado para formar la configuración de (*b*).

5-5. TECNOLOGÍA CMOS

Los circuitos complementarios metal-óxido-semiconductor requieren que los transistores NMOS y PMOS de acumulación se fabriquen ambos en un mismo chip. Para conseguirlo hacen falta por lo menos dos pasos adicionales. El circuito CMOS de la Fig. 4-38*a*, repetido para mayor comodidad en la Fig. 5-16*b* está fabricado como se representa en la Fig. 5-16*a*. En esta misma figura se ve que el transistor PMOS se ha construido en un asiento de tipo *n* implantado o difundido en el sustrato *p*. La región tipo *n* actúa de cuerpo *B*2 o de sustrato del transistor PMOS, y para obtener esa región se necesita por lo menos otra máscara y otra corrosión. El segundo paso adicional requerido es el de la implantación de iones de las regiones de fuente y drenaje tipo *p* del PMOS. El resto de los procesos para formar las regiones de óxido, las áreas de puerta de polisilicio y la metalización son idénticos a los correspondientes a los transistores NMOS de acumulación.

Como siempre, la configuración del circuito es la que determina la máscara de metalización. Por ejemplo, el inversor de la Fig. 5-16*b* necesita que se formen conexiones entre *D*1 y *D*2 así como entre *G*1 y *G*2.

Se disponen conexiones al sustrato separadas *B*1 y *B*2. Obsérvese que *B*1 está unido a *S*1 y conectado a la menor tensión (0 V en la Fig. 5-16*b*) mientras que *B*2 está conectado a *S*2 y mantenido a la mayor tensión positiva V_{DD}. Puesto que *B*1 es de tipo *p* y *B*2 de tipo *n* el diodo *pn* que se forma entre estas zonas está con polarización inversa, con lo que automáticamente el NMOS y el PMOS quedan aislados entre sí.

Hay que observar que el transistor PMOS ocupa menos espacio en el chip que el NMOS. Esto es porque la movilidad de los huecos es menos de la mitad que la de los electrones. El factor *k* de la Ec. (4-4) es directamente proporcional a la movilidad y para que ambos transistores conduzcan la misma corriente, *W*/*L* debe ser mayor en el PMOS que en el NMOS.

5-6. DIODOS MONOLÍTICOS

En la fuente de corriente de la Fig. 5-1*b* la base de *Q*1 está en cortocircuito con el colector, con lo que existe una unión diodo entre los terminales de emisor y de base. Esta es una de las cinco conexiones posibles. Las tres configuraciones de diodos más corrientes son las representadas en la Fig. 5-17, que se

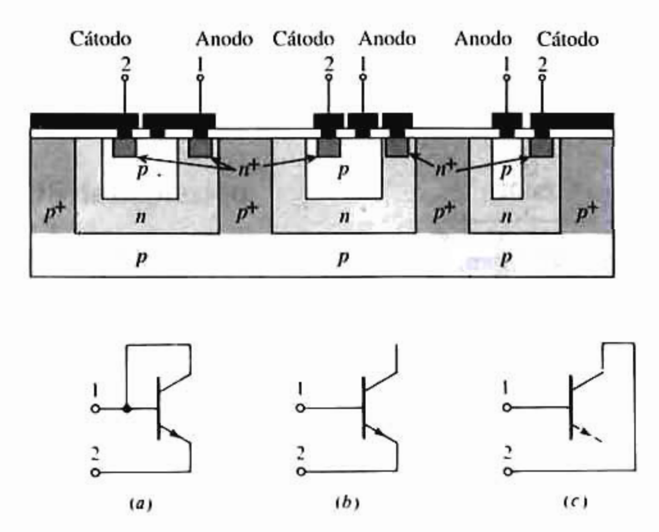


Figura 5-17. Sección transversal y conexiones de diodos integrados: (*a*) diodo emisor-base con el colector en cortocircuito con la base; (*b*) diodo emisor-base con el colector abierto; (*c*) diodo colector-base (no hay emisor difundido ni implantado).

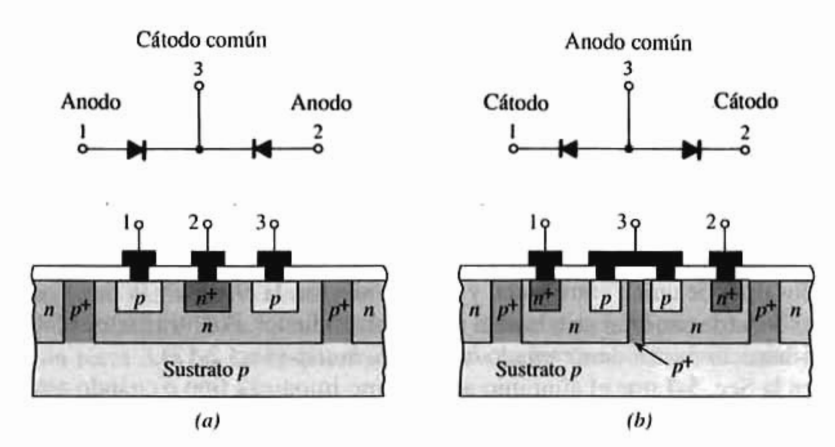


Figura 5-18. Pares de diodos: (*a*) cátodo común; (*b*) ánodo común.

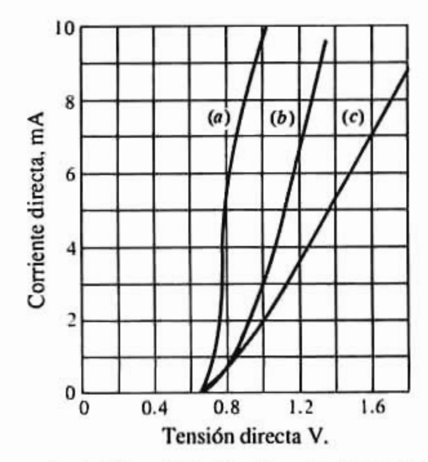


Figura 5-19. Características tensión-corriente típicas de los tres tipos de diodos de la Fig. 5-17: (*a*) Unión base-emisor con el colector cortocircuitado con la base; (*b*) diodo base-emisor (colector abierto); (*c*) unión colector-base (emisor abierto) (*Cortesía de Fairchild Semiconductor*).

obtienen a partir de una estructura de BJT empleando el diodo emisor-base con el colector en cortocircuito con la base (Fig. 5-17*a*), el diodo colector-base con el colector abierto (Fig. 5-17*b*) y el diodo colector-base con el emisor en circuito abierto (o no construido siquiera) (Fig. 5- 17*c*). La elección de uno u otro tipo de diodo depende de las aplicaciones y prestaciones deseadas. Los diodos colector-base son los que tienen mayor tensión de ruptura nominal (~12 V mínimo) y son adecuados para formar sistemas de diodos con cátodo común difundidos en una sola isla aislada, como en la Fig. 5-18*a*. También pueden construirse dispositivos con ánodo común con la difusión colector-base como en la Fig. 5-18*b*. Este último caso precisa un aislamiento individual para cada diodo y los ánodos se conectan por metalización.

Se emplean mucho las regiones de emisor y de base para formar diodos, siempre que las tensiones inversas requeridas por el circuito no excedan la menor tensión de ruptura base emisor (~7 V). Pueden formarse fácilmente dispositivos de ánodo común mediante la difusión de emisor y de base empleando un transistor de emisor múltiple en una sola zona aislada. Esta estructura es la misma que la de la Fig. 5-11. El colector puede conectarse a la base (Fig. 5-17*a*) o dejarlo abierto (flotante) como en la Fig. 5-17*b*.

Características del diodo

Las características directas tensión-corriente de los tres tipos de diodos citados anteriormente son las representadas en la Fig. 5-19. Puede observarse que el transistor conectado como diodo (emisor-base con el colector cortocircuitado con la base) provee la máxima conducción para una tensión dada. El tiempo inverso de recuperación de este diodo es tres o cuatro veces menor que el del diodo colector-base.

5-7. CONTACTO METAL-SEMICONDUCTOR

Son posibles dos tipos de unión entre metal y semiconductor: la *óhmica* y la *rectificadora*. La primera es la adecuada cuando ha de conectar un terminal a un semiconductor. Por otra parte el contacto rectificador es un diodo metal-semiconductor denominado *barrera Schottky* (Sec. 2-12).

Ya se indicó en la Sec. 5-1 que el aluminio actúa como impureza tipo *p* cuando está en contacto con el silicio. Si el aluminio se emplea como terminal de un silicio tipo *n* y se pretende tener un contacto óhmico, debe evitarse la formación de una unión *pn*. Por este motivo se hacen difusiones n^+ en las regiones *n* cerca de la superficie en que se deposita el aluminio (Fig. 5-7*g*). Por otra parte, si se prescinde de la difusión n^- y se deposita directamente el aluminio sobre el silicio tipo *n* se formará una estructura equivalente a una unión *pn* resultando un excelente diodo metal-semiconductor. En la Fig. 5-20*a* el contacto 1 es una barrera Schottky, mientras que el contacto 2 es óhmico (no rectificador) existiendo un diodo Schottky entre ambos terminales como se ve en la Fig. 5-20*b*.

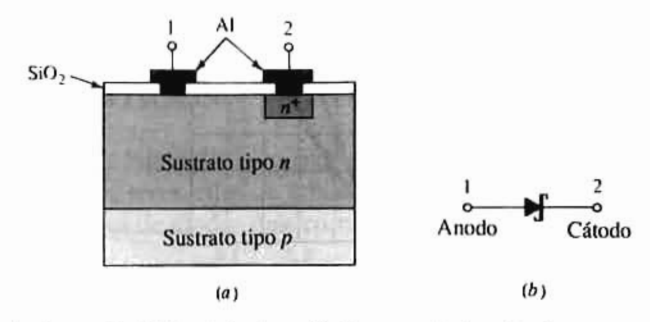


Figura 5-20. (*a*) DiodoSchottky integrado: El aluminio y la región ligeramente dopada *n* forman una unión rectificadora, mientras que la región fuertemente dopada n^+ y el metal forman un contacto óhmico; (*b*) Símbolo del diodo Schottky.

5-8. RESISTENCIAS INTEGRADAS

En los circuitos integrados monolíticos se obtienen las resistencias utilizando la resistividad de volumen de una de las regiones del transistor. La técnica más corriente es usar la región difundida o

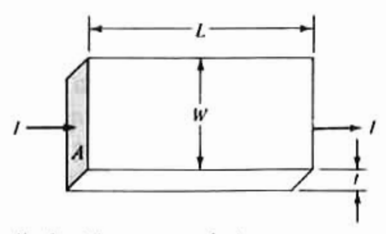


Figura 5-21. Relativo a la resistencia pelicular (ohms por cuadro).

implantada de tipo *p* del transistor bipolar. Aunque también puede usarse la capa epitaxial y la región n^+ del emisor. Con la tecnología MOS a veces se emplea la capa de polisilicio. También se emplea para formar resistencias el sustrato tipo *n* del transistor PMOS en la fabricación del CMOS. La técnica de deposición de una fina película es completamente distinta, y con ella se fabrican resistencias integradas. En esta sección describiremos brevemente estos métodos.

Resistencia pelicular

Las capas semiconductoras empleadas para formar resistencias son muy tenues, y por ello conviene introducir una magnitud llamada *resistencia pelicular*.

Si en la Fig. 5-21 el ancho *W* es igual a la longitud *L* tendremos un cuadro $L \times L$ de resistividad ρ, espesor *t* y sección recta $A = Lt$. La resistencia de este cuadro (en ohmio por cuadro, indicado con el símbolo Ω/□) es:

$$R_S = \frac{\rho L}{Lt} = \frac{\rho}{t} \tag{5-2}$$

Obsérvese que R_S es independiente del tamaño del cuadro. Normalmente la resistencia pelicular de las difusiones de base y de emisor cuyos perfiles aparecen en la Fig. 5-6 son de 200 y 5 Ω/□ respectivamente.

Resistencias difundidas

La Fig. 5-1*a* representa la fabricación de una resistencia difusa de base, y se repite en la Fig. 5-22*a*. El valor de la resistencia se puede calcular por

$$R = \frac{\rho L}{tW} = R_S \frac{L}{W} \tag{5-3}$$

en donde *L* y *W* son la longitud y el ancho del área difusa como se puede observar en la vista superior. Por ejemplo, una resistencia de 25 micras de ancho y 250 micras de longitud contiene 10 cuadros (de 25 × 25 micras) y su valor es de 10 × 200 = 2.000 Ω. Al calcular *R* se introducen correcciones empíricas para tener en cuenta los contactos extremos.

Obsérvese que en la Fig. 5-22*a* la capa epitaxial de tipo *n* (la región de colector) sirve para aislar la resistencia tipo *p* de los demás componentes del chip.

La estructura de una resistencia difusa en emisor de tipo n^+ es similar a la de difusión de base. Una difusión n^+ en la base tipo *p* se realiza simultáneamente con la difusión para los emisores del BJT en el chip. La región de base aísla la resistencia de los demás componentes.

Puesto que la resistencia pelicular de las regiones de base y de emisor vienen fijadas por el proceso de fabricación, las únicas variables disponibles para diseñar una resistencia son su ancho y su longitud. Raramente se emplean anchos menores de 5 μm porque los pequeños errores en la máscara o su colocación o en la precisión de la fotolitografía pueden suponer una variación significativa en el valor de la resistencia. Para aumentar la longitud y por tanto el valor de la resistencia puede emplearse el método señalado en la Fig. 5-22*b* que no ocupa mucho lugar en el chip.

La gama de valores que se pueden obtener en las resistencias de difusión está limitada por el espacio disponible en el chip. Los valores prácticos de resistencia van desde 20 Ω hasta 30 kΩ para las resistencias difundidas de base y entre 10 Ω y 1 kΩ para las de difusión de emisor. La tolerancia resultante de las

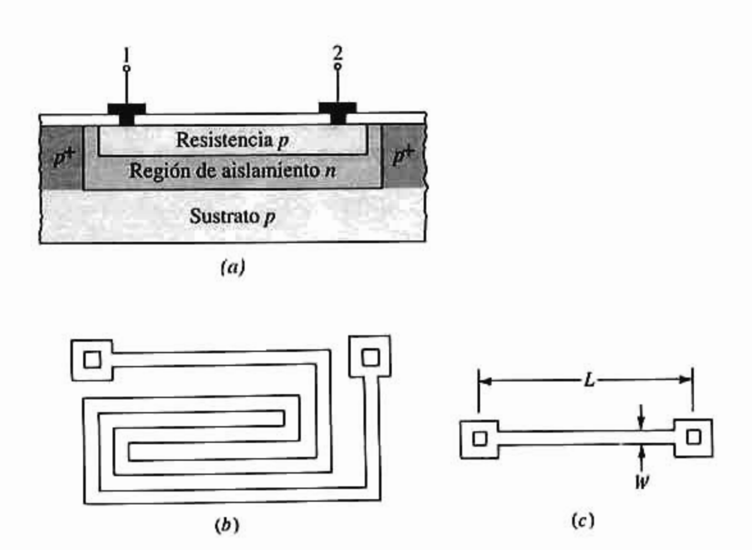


Figura 5-22. (*a*) Sección transversal; (*b*) vista superior de una resistencia difundida tipo *p*; (*c*) procedimiento para aumentar la longitud de la resistencia.

variaciones del perfil y de los errores geométricos pueden ser de hasta el ±20 % del valor nominal, con una relación de tolerancia del ±2 % para el ancho mínimo. Con un ancho de las resistencia del orden de las 50 μm la tolerancia mutua es de aproximadamente el 0,2 %. Por esta razón en el diseño de circuitos integrales conviene utilizar, cuando ello es posible, la *relación entre resistencias* mejor que el valor absoluto de éstas. El valor de las resistencias aumenta con la temperatura. En las resistencias de difusión de base esta variación es del orden de 2.000 ppm/ºC (partes por millón por grado centígrado), y de 600 ppm/ºC en las de emisor.

La Fig. 5-23 representa el circuito equivalente de la resistencia de difusión *R*, comprendidas las capacidades parásitas de las uniones base-aislamiento C_1 y de aislamiento-sustrato C_2. Además puede verse que existe un transistor parásito *pnp* con el sustrato como colector, el aislamiento tipo *n* como base y la resistencia del material tipo *p* como emisor. El colector tiene polarización inversa porque el sustrato tipo *p* está a la tensión más negativa. También es necesario que el emisor tenga polarización inversa para mantener el transistor parásito en corte. Estas condiciones se cumplen situando todas las resistencias en la misma región aislada y conectando toda la región de aislamiento tipo *n* en torno a las resistencias, al potencial más positivo existente en el circuito. Los valores típicos de β_F para este transistor parásito van desde 0,5 a 5.

Resistencias de iones implantados

Como sea que las regiones de base y de emisor frecuentemente se forman por implantación de iones, puede también emplearse este proceso para formar resistencias de la misma estructura que en la Fig. 5-22. Las resistencias de implantación tipo *n* se pueden fabricar mediante un proceso MOS similar al empleado para formar el canal en un transistor NMOS de deplexión. Las resistencias obtenidas por implantación de iones tienen valores comparables a los alcanzados con la difusión de base. Sin embargo, las tolerancias y las variaciones por la temperatura están bien por debajo de los que se obtienen por difusión. Los valores

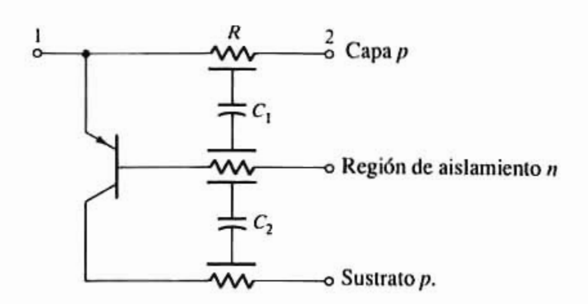


Figura 5-23. Circuito equivalente de una resistencia difundida.

de las resistencias implantadas se pueden ajustar hasta el 3 %, y el coeficiente de temperatura se puede rebajar hasta 100 ppm/ºC. También las tolerancias mutuas se pueden mejorar en un 25 % en comparación con las de difusión.

Resistencias epitaxiales

La resistencia pelicular de la región epitaxial de colector es de unas seis veces mayor que la de difusión de base, y por tanto es posible fabricar resistencias utilizando dicha capa epitaxial. Tales resistencias quedan definidas por la difusión del aislamiento que las rodea (Fig. 5-22). Este efecto resulta importante, y para mantener ajustados los valores de la resistencia debe controlarse cuidadosamente la difusión de aislamiento. La variación con la temperatura de las resistencias epitaxiales es de unos 3.000 ppm/ºC y las tolerancias absoluta y mutua son del orden del 30 y del 5 % respectivamente.

Resistencias de estricción

Observemos lo que sucede a la resistencia de la Fig. 5-22 si se le añade una difusión de emisor como en la Fig. 5-24. El material de tipo *n* no contribuye a la conducción, pues de hacerlo la corriente de 1 a 2 tendría que cruzar en sentido inverso al diodo *np* hacia el contacto 2. Es decir, que sólo circulará por el material *n* la pequeña corriente de saturación inversa del diodo. Al quedar reducida la sección recta de la zona conductora del material *p*, aumentará la resistencia. Se pueden formar resistencias de más de 50 kΩ, si bien su valor real no es fácilmente controlable (tolerancias absolutas de ±50 % con tolerancias mutuas de ±10 %). Las resistencias de estricción son no-lineales puesto que dependen de la tensión aplicada, situación análoga a la de la variación con la tensión del canal de un FET.

A estas resistencias deben aplicarse las mismas limitaciones que a la tensión de ruptura inversa base-emisor BV_{BEO} (~6 V) ya que su construcción es idéntica a la de una unión base-emisor, prescindiendo

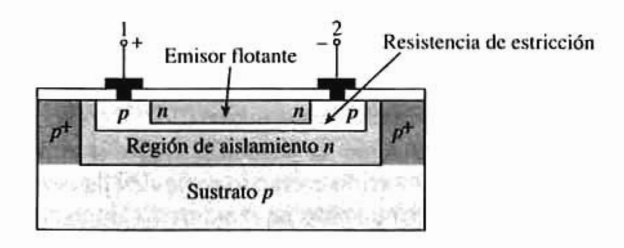


Figura 5-24. Corte transversal de una resistencia de estricción.

del terminal de emisor. Esto no es problema serio ya que tales resistencias se emplean normalmente en la polarización a baja tensión a través de la unión base-emisor con polarización directa.

Con resistencias epitaxiales de estricción se pueden conseguir en poco espacio valores altos de resistencia para operar a tensiones más altas. La estructura es la de una resistencia epitaxial de tipo *n* dentro de la que se hace una difusión o implantación de tipo *p*. La base tipo *p* limita la conducción a la capa epitaxial aumentando así la resistencia. La unión entre la base *p* y la capa epitaxial es esencialmente la unión colector-base de un transistor. Esta unión tiene una tensión inversa de ruptura mayor que la de la unión emisor-base.

Resistencias MOS

Los circuitos metal-oxido-semiconductor utilizan generalmente resistencias difundidas o implantadas del tipo descrito anteriormente. Pueden emplearse también otras tres estructuras de resistencia: la primera de ellas es la resistencia de *polisilicio* que se forma al mismo tiempo que la región de puerta del transistor MOS. Las tolerancias y los coeficientes de temperatura de estas resistencias son comparables a los de las resistencias difundidas.

Otro tipo de resistencia hace uso de la difusión tipo *n* que forma el sustrato del transistor PMOS en la tecnología CMOS. Efectivamente, esto es análogo a la resistencia epitaxial en la tecnología bipolar. Estas resistencias tienen un coeficiente de temperatura alto y unas tolerancias pobres.

El tercer tipo de resistencia es el transistor MOS en sí mismo. Cuando se polariza en la región óhmica, el MOSFET se comporta como una resistencia (no lineal). Además, como se ha descrito en la Sección 4-11 y en el Ejemplo 4-4, tanto los MOSFET de acumulación como los de deplexión, se emplean en la región de saturación como resistencias no lineales.

Resistencias de película delgada

Para fabricar resistencias en circuitos integrados puede emplearse la técnica de depositar por vaporización una fina película. El metal (que generalmente es nicrom [NiCr]) se deposita con un espesor menor de 1 μm sobre la capa de SiO_2 empleando máscara y corrosión para conseguir el trazado deseado. La resistencia metálica así formada se cubre con una capa aislante en la que se practican las aperturas necesarias para los contactos óhmicos. Los valores normales de la resistencia pelicular de estas capas de nicrom está comprendida entre 40 y 400 Ω/□, resultando unas resistencias de 20 a 50.000 Ω. El coeficiente de temperatura y las tolerancias son comparables a los de las resistencias obtenidas por implantación.

Para fabricar resistencias de película fina se emplean también otros materiales tales como el tantalio, llegándose a unos valores de resistencia tan altos como de 2 kΩ/□ y unos coeficientes de temperatura tan bajos como 10 ppm/ºC.

Las resistencias de difusión o de implantación no pueden ajustarse una vez fabricadas. Sin embargo en las de película fina puede hacerse con precisión cortando parte de ella con un rayo láser, aunque este procedimiento es muy costoso y sólo se usa cuando se requieren valores muy precisos. Una de estas aplicaciones es la fabricación de los filtros activos (Sec. 16-7) que se emplean en las comunicaciones telefónicas modernas.

5-9. CONDENSADORES INTEGRADOS

Los condensadores en los circuitos integrados se fabrican empleando la capacitancia de la región de deplexión de una unión *pn* con polarización inversa.

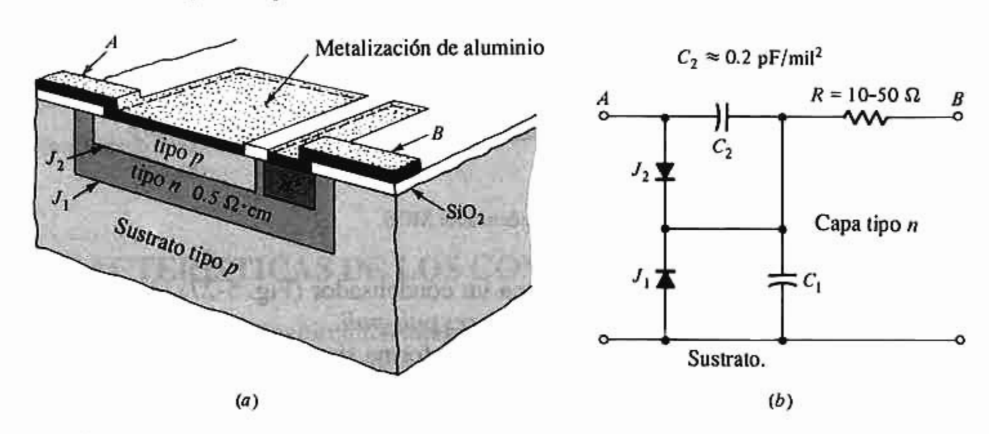


Figura 5-25. (*a*) Condensador integrado tipo unión, y (*b*) circuito equivalente. (*Cortesía de Motorola Inc.*).

Condensadores de unión

La Fig. 5-25*a* representa la sección transversal de un condensador de unión. El condensador está formado por la unión con polarización inversa J_2 que separa la capa epitaxial de tipo *n* de la superior de difusión de tipo *p*. Aparece una unión adicional J_1 entre el plano epitaxial de tipo *n* y el sustrato, y una capacidad parásita C_1 relacionada con esta unión polarizada en sentido inverso. El circuito equivalente de este condensador de unión puede verse en la Fig. 5-25*b* en el que la capacidad deseada C_2 debe ser tan grande como sea posible en relación a C_1. El valor de C_2 depende de la superficie de la unión y de la concentración de impurezas. Esta unión es, de modo fundamental, linealmente gradual. La resistencia *R* en serie (entre 10 y 50 Ω) representa la resistencia de la capa tipo *n*.

Es evidente que el sustrato debe estar a la tensión más negativa para minimizar C_1 y aislar el condensador de los demás elementos manteniendo la unión J_1 con polarización inversa. Puntualicemos que el condensador de unión C_2 está polarizado ya que la unión *pn* J_2 siempre está con polarización inversa.

Condensadores MOS y de película delgada

La Fig. 5-26*a* representa un condensador MOS no polarizado. Esta estructura es la de un condensador plano paralelo con SiO_2 como dieléctrico (de un espesor de 500 Å). La placa superior es una fina película superficial metálica (aluminio). La placa inferior es la región n^+ fuertemente dopada que se forma durante la difusión (implantación) de emisor en un proceso bipolar o durante la implantación de las regiones de drenaje y fuente en los procesos MOS. El circuito equivalente del condensador MOS es el de la Fig. 5-26*b* en el que C_1 representa la capacidad parásita de la unión colector-sustrato, y *R* la pequeña resistencia en serie de la región n^+. Obsérvese que la placa superior no es necesariamente metálica sino que puede ser la capa de polisilicio empleada para formar las regiones de puerta del transistor MOS.

Algunos procesos industriales de fabricación de MOS emplean dos capas de polisilicio teniendo así una capa adicional para las interconexiones entre los componentes. Las dos capas de polisilicio están

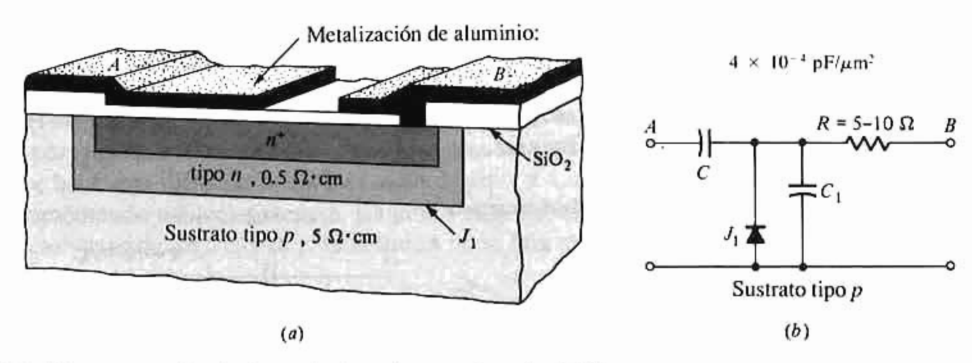


Figura 5-26. (*a*) Estructura, y (*b*) circuito equivalente de un condensador MOS.

separadas por una ligera zona de SiO_2 lo que forma un condensador (Fig. 5-27). A los condensadores construidos de esta forma se les denomina *condensadores poli-poli*.

Los condensadores de película delgada se fabrican de forma similar a los condensadores MOS. Se vaporiza una película conductora (placa superior) sobre la capa de SiO_2 (el dieléctrico), y la placa inferior la forma la región n^+ fuertemente dopada debajo del óxido.

La capacidad del condensador MOS o de unión es bien pequeña, generalmente del orden de 4×10^{-4} pF/μm². Un condensador de 40 pF ocupa un área de 10^5 μm² o cubre un rectángulo de $1 \times 0{,}1$ mm sobre la superficie del chip. La mayor parte de los condensadores integrados son de menos de 100 pF. Se han conseguido valores por encima de los 500 pF pero sólo a expensas de ocupar la mayor parte del área del chip.

El empleo de películas de tantalio puede aumentar 10 veces la capacidad por unidad de superficie. Como dieléctrico se recrece una capa bien controlada de peróxido de tantalio (Ta_2O_5), y para la placa superior se deposita tantalio metálico (pues el aluminio es soluble en el Ta_2O_5). El aumento de la capacidad se obtiene a expensas de nuevos pasos en el proceso.

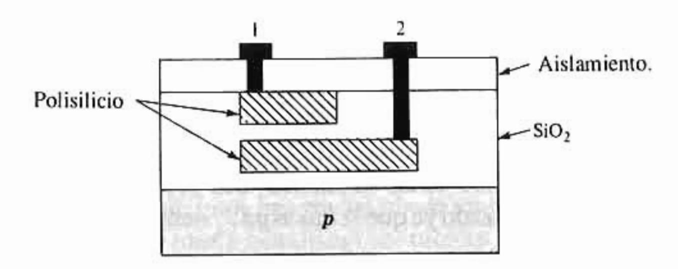


Figura 5-27. Condensador MOS formado de dos capas de polisilicio.

5-10. EMPACADO DE CIRCUITOS INTEGRADOS

El ciclo de fabricación queda completado cuando se han cumplido todos los procesos necesarios para formar e interconectar todos los componentes. Cada oblea se corta en chips (Fig. 5-3) obteniéndose así los sistemas microelectrónicos individuales. Seguidamente los chips se encapsulan en «pastillas» dejándolos preparados para su uso. Unas conexiones unen los terminales de los chips con las patillas de la «pastilla» siendo éstas las que unirán los elementos externos con los del chip. En general, las conexiones externas vienen determinadas por la forma en que se utilizará el circuito. Normalmente, las señales de entrada y de salida, las tensiones de alimentación, conexión a tierra y en general los componentes no incluidos en el chip se aplican a las conexiones exteriores del conjunto.

Comúnmente se usa el encapsulado de dos en línea como el de la Fig. 5-28, que puede tener entre 8 y 40 patillas, dependiendo su número de la función a desempeñar por el circuito (aunque no siempre se utilizan todas).

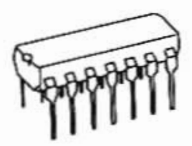


Figura 5-28. Encapsulado integrado «dos en línea».

5-11. CARACTERÍSTICAS DE LOS COMPONENTES INTEGRADOS

Basados en la tecnología de los circuitos integrados vista hasta ahora, podemos resumir las características más significativas de tales circuitos de la siguiente forma:

1. Los circuitos integrados normalizados, de existencia en los almacenes de los fabricantes, son muy económicos. Por ejemplo, el LM741 Op-Amp de la National Semiconductor, conteniendo 21 transistores, 1 diodo, y 12 resistencias se puede adquirir por menos de 50 centavos de dólar (al por mayor). Sin embargo, los chips de diseño especial (poca producción) son relativamente costosos.
2. El reducido tamaño de los circuitos integrados permite ubicar sistemas complicados (de varios centenares de chips) en un solo instrumento de tamaño manejable.
3. Puesto que todos los componentes se han fabricado simultáneamente en condiciones muy controladas y debido a que no existen juntas soldadas, los dispositivos microelectrónicos son de gran seguridad.
4. Debido a su bajo coste se pueden conseguir circuitos muy complejos en un solo chip para mejorar sus características de funcionamiento. La adición de un transistor a un circuito integrado lo encarece en menos de un centavo.
5. Los parámetros del dispositivo están igualados entre sí, siguiendo bien la temperatura.
6. Existe un margen restringido en el valor de las resistencias y capacidades. Normalmente $10\ \Omega < R < 50\ \mathrm{k}\ \Omega$ y $C < 200$ pF.
7. Se consiguen tolerancias pobres al fabricar resistencias y capacidades de valores específicos. Por ejemplo, es clásico un $\pm 20\%$ de su valor absoluto excepto para los componentes de implantación de iones. La tolerancia relativa entre resistencias puede fijarse en $\pm 2\%$ ya que todas ellas se han fabricado al mismo tiempo y con las mismas técnicas.
8. Los componentes tienen coeficientes de temperatura altos y pueden ser sensibles a la tensión.
9. La respuesta en alta frecuencia está limitada por las capacidades parásitas.
10. No se pueden integrar inductancias ni transformadores prácticos.
11. En la fabricación de resistencias y capacidades de película delgada se requieren pasos extra lo que aumenta el coste y disminuye la productividad. Por tanto, estos dispositivos de película delgada sólo deberían usarse si se necesitan sus características especiales. Se utilizan primordialmente cuando se requieren valores precisos de las resistencias, porque pueden ajustarse con rayos láser.

5-12. DISPOSICIÓN DE LOS CIRCUITOS MICROELECTRÓNICOS

Conviene citar algunas de las técnicas de integración más comúnmente empleadas para aprovechar al máximo el área del chip.

Circuitos bipolares

Las siguientes reglas se emplean en la fabricación de circuitos bipolares.

1. Para tener en cuenta la difusión lateral, prever unos bordes de aislamiento de espesor doble que el de la capa epitaxial.
2. Puesto que la difusión de aislamiento ocupa una parte apreciable de la superficie del chip debe reducirse al mínimo el número de islas aisladas.
3. Situar todas las resistencias tipo *p* en una misma isla y conectar ese aislamiento a la tensión más positiva del circuito. Con resistencias tipo *n* las regiones de aislamiento deben conectarse a la tensión más negativa del circuito.
4. En el diseño de resistencias, proyectarlas tan estrechas como sea posible de acuerdo con las limitaciones del caso. Las resistencias que deban tener una relación muy ajustada deben tener el mismo ancho y estar situadas muy próximas entre sí.
5. Todos los transistores que tengan sus colectores unidos deben situarse en la misma isla aislada. En muchos circuitos cada transistor debe estar en una isla separada.
6. Conectar el sustrato a la tensión más negativa del circuito.
7. Reducir las dimensiones de las regiones de emisor y de base, así como los contactos, al mínimo compatible con las corrientes del dispositivo.
8. Fijar la geometría de los componentes y de la metalización de acuerdo con las exigencias de funcionamiento del circuito. Por ejemplo, el transistor de la etapa de salida de un amplificador debe tener más sección que los demás transistores si esa etapa de salida ha de suministrar la corriente máxima.
9. Prever las conexiones metálicas tan cortas y anchas como sea posible, particularmente las de emisor y colector de un transistor en saturación.
10. Distribuir los elementos tratando de conseguir el mínimo tamaño del chip.
11. Emplear un pautado para el dibujo, lo que simplificará el trazado de las sucesivas máscaras.
12. Reducir al mínimo el número de cruces.

Circuitos MOS

Muchas de las reglas anteriores son aplicables también para la fabricación de circuitos MOS. Obsérvese que no son necesarias islas aisladas, aumentando así la densidad de componentes. En la integración a gran escala es importante utilizar para la puerta las dimensiones mínimas compatibles con los niveles de corriente empleados. Las puertas de polisilicio permiten conseguir dispositivos más pequeños. Como el polisilicio constituye una verdadera barrera para los dopantes, la implantación de las regiones de drenaje y de fuente se auto-alinean reduciendo al mínimo los errores debidos a la colocación de la máscara.

Cruces

Muy frecuentemente en un circuito monolítico se presenta el caso de que deban cruzarse conductores. Estos cruces no pueden hacerse directamente ya que resultaría una conexión eléctrica entre dos partes del circuito. Como todas las resistencias están protegidas con SiO_2 puede emplearse cualquiera de ellas como zona de cruce. Dicho de otra forma, si la metalización de aluminio pasa por encima de una resistencia no se establecerá ningún contacto eléctrico entre resistencia y aluminio.

A veces el esquema es tan complejo que pueden necesitarse puntos de cruce adicionales. Se puede

obtener una estructura de difusión muy empleada en circuitos bipolares y que permite los cruces, de la siguiente forma: durante la fabricación del emisor se difunden impurezas n^+ a lo largo de una línea en la región epitaxial, abriendo ventanas para el contacto en ambos extremos de tal línea. Este proceso forma un «conductor difundido». Se deposita aluminio sobre el SiO_2 aislante (entre los dos contactos extremos) según una línea normal a la sección difundida formando un conductor de conexión para alguna otra parte del circuito. Con esto los dos conductores (uno de aluminio y otro de material n^+) se cruzan entre sí sin que haya contacto eléctrico. Al conductor de difusión se le denomina «cruce enterrado».

En la fabricación del MOS se tiene un equivalente al cruce enterrado mediante una segunda capa de polisilicio (Fig. 5-27). En consecuencia puede hacerse una conexión empleando una capa enterrada de polisilicio tan bien como con metalización de aluminio.

Trazado con computador

Una vez se ha fabricado el chip no se pueden modificar los componentes de un circuito integrado. Por tanto, para un diseño dado se requiere, antes de ponerlo en fabricación, un análisis más profundo del que se requiere para los circuitos con elementos discretos. Se emplean extensivamente los computadores para el diseño y equipos para el análisis de circuitos, su fabricación y su disposición. Estos equipos no se emplean para el diseño, pero proporcionan la información necesaria para valorar la eficacia de un diseño dado. No se fabrica ningún circuito integrado comercial sin estos análisis.

REFERENCIAS

1 Grebene, A.B.: "Bipolar and MOS Analog Integrated Circuit Design," John Wiley and Sons, Nueva York, 1984.
2 Sze, S.M., ed.: "VLSI Technology," McGraw-Hill Book Company, Nueva York, 1983.
3 Ghandi, S.K.: "VLSI Fabrication Principles," John Wiley and Sons, Nueva York, 1983.
4 Colclasser, R.A., y S. Diehl-Nagle: "Materials and Devices", McGraw-Hill Book Company, Nueva York, 1985.
5 Hodges, D.E., y H.G. Jackson: "Analysis and Design of Digital Integrated Circuits," McGraw-Hill Book Company, Nueva York, 1983.
6 Gray, P.R., y R.G. Meyer: "Analysis and Design of Analog Integrated Circuits," 2ª ed., John Wiley and Sons, Nueva York, 1984.
7 Yang, E.S.: "Fundamentals of Semiconductor Devices," McGraw-Hill Book Company, Nueva York, 1978.
8 Oldham, W.G.: The Fabrication of Microelectronic Circuits, *Scientific American*, vol. 287, n.º 3, pp. 111-128, Septiembre 1977.

TEMAS DE REPASO

5-1. Citar cinco ventajas de los circuitos integrados.
5-2. Citar los pasos a seguir en la fabricación de circuitos monolíticos integrados.
5-3. Describir el crecimiènto epitaxial.
5-4. Describir el proceso de fotocorrosión.
5-5. (*a*) Describir el proceso de difusión.
(*b*) ¿Qué se entiende por perfil de impurezas?
5-6. (*a*) ¿Cómo se forma la capa superficial de SiO_2?
(*b*) ¿Para qué se forman las capas de SiO_2?

5-7. Explicar cómo se consigue el aislamiento entre los componentes de un circuito integrado.
5-8. ¿Cómo se conectan entre sí los componentes de un circuito integrado?
5-9. Describir el proceso de implantación de iones.
5-10. Esbozar la sección transversal de un transistor bipolar integrado.
5-11. Definir la capa enterrada ¿para qué se emplea?
5-12. Describir un transistor lateral *pnp* ¿por qué es de poca ganancia de corriente?
5-13. Describir un transistor *pnp* vertical ¿por qué es de empleo restringido?
5-14. Describir un transistor super-β.
5-15. Esbozar la sección transversal de un JFET de canal *n*.
5-16. Esbozar la sección transversal de un transistor NMOS de acumulación.
5-17. Repetir el tema anterior para un transistor NMOS de deplexión.
5-18. (*a*) ¿Qué se entiende por polisilicio?
(*b*) ¿Qué efecto tiene una puerta de polisilicio?
5-19. Esbozar la sección de un transistor compuesto CMOS.
5-20. (*a*) ¿Cómo se fabrican los diodos integrados?
(*b*) Dibujar esquemáticamente los dos tipos de diodos emisor-base.
5-21. Esbozar la vista superior de un transistor de múltiple emisor. Señalar las regiones de aislamiento, colector, base y emisor.
5-22. ¿Cómo se hace un contacto de aluminio con un silicio de tipo *n* de forma que sea: (*a*) óhmico, y (*b*) rectificador.
5-23. ¿Por qué se elimina el tiempo de almacenamiento en un diodo metal-semiconductor?
5-24. ¿Qué es un transistor Schottky? ¿Por qué queda eliminado el tiempo de almacenamiento de tal transistor? Para construir este transistor ¿es necesario algún paso extra? Explíquese.
5-25. Esbozar la sección tranversal de un transistor Schottky integrado.
5-26. (*a*) Definir la resistencia pelicular R_S.
(*b*) Esbozar la sección de una resistencia integrada.
(*c*) ¿De qué orden de magnitud es la mayor y la menor resistencia integrada?
5-27. (*a*) Esbozar el circuito equivalente de una resistencia de difusión de base mostrando todos los elementos parásitos.
(*b*) ¿Qué debe hacerse (exteriormente) para minimizar el efecto de los elementos parásitos?
5-28. Describir una resistencia de película delgada.
5-29. (*a*) Esbozar la sección tranversal de un condensador de unión.
(*b*) Dibujar el circuito equivalente mostrando todos los elementos parásitos.
5-30. Repetir el tema anterior para un condensador MOS.
5-31. ¿Cuáles son las dos distinciones básicas entre un condensador de unión y otro MOS?
5-32. (*a*) ¿A qué tensión se conecta el sustrato? ¿Por qué?
(*b*) Repetir el punto (*a*) para las islas aisladas que contienen las resistencias.
(*c*) ¿Pueden ubicarse varios transistores en una misma isla aislada? Explíquese.
5-33. Citar seis características importantes de los componentes integrados.
5-34. Citar seis reglas aplicables al diseño de circuitos monolíticos.

SEGUNDA PARTE

Circuitos y sistemas digitales

Los circuitos digitales se valen del funcionamiento como interruptor de los dispositivos electrónicos para el procesado de señales eléctricas representativas de datos numéricos o codificados. Estas señales digitales generalmente son binarias, es decir, que son señales que tienen sólo dos niveles distintos, y se utilizan muy extensamente en sistemas de comunicación, control y medición, así como en computadores. En esta sección trataremos de los circuitos y sistemas usados para el procesado de señales digitales.

Incluso en un sistema digital a gran escala son pocas las operaciones distintas que se pueden realizar si bien éstas pueden repetirse numerosas veces. Los cinco elementos que forman un sistema digital son: sistemas lógicos, aritméticos y circuitos de memoria conjuntamente con los dispositivos de entrada y de salida. En el capítulo 6 introduciremos los circuitos lógicos llamados también *puertas lógicas*. Nos referiremos especialmente al funcionamiento de los bloques constructivos fundamentales que comprenden las cuatro tecnologías de fabricación de uso más corriente, que son: NMOS, CMOS, lógica transistor-transistor (TTL) y lógica de emisor acoplado (ECL). Los circuitos combinacionales y secuenciales, es decir, la interconexión de muchas puertas lógicas serán tratados en los capítulos 7 y 8 respectivamente.

La realización práctica de la mayoría de circuitos descritos en los cap. 6 y 8 es considerada como *integración a pequeña escala* (SSI) o a *media escala* (MSI). En el capítulo 9 se estudiarán los sistemas de *integración a gran escala* (LSI) y a *muy grande escala* (VLSI). Se incluyen los sistemas de memoria, formaciones lógicas y microprocesadores.

6

Circuitos lógicos básicos (digitales)

El álgebra de Boole es un sistema para el análisis matemático de la lógica y fue ideada en el siglo XIX por el matemático inglés George Boole. Las puertas lógicas se refieren a los circuitos digitales utilizados en el manejo de las ecuaciones del álgebra de Boole. En este capítulo se tratará de las puertas lógicas NOT, AND y OR (NO, Y, O) así como de sus complementarias NAND y NOR. El principal objetivo es describir cuantitativamente la realización de estas puertas utilizando circuitos integrados. Las dos familias lógicas que utilizan FETs son las NMOS y CMOS, y las dos familias lógicas bipolares más importantes son las ECL y TTL. Las cuatro familias lógicas dependen para su funcionamiento de la aptitud de los FET y BJT para actuar como un dispositivo binario (por ej. un interruptor).

Este capítulo lo abriremos con un breve comentario sobre los números binarios y su representación como señales eléctricas. A esto le seguirá una introducción al álgebra de Boole. A muchos lectores esto les puede servir de repaso de lo que hayan podido tratar en otros lugares.

6-1. EL SISTEMA BINARIO

Una señal, o dispositivo o circuito binario está en uno de dos estados posibles. Por ejemplo, consideremos el circuito de la Fig. 6-1. La tensión V_o es de 5 V cuando el interruptor S está abierto y de 0 V cuando S está cerrado. No son posibles otros valores de V_o. Como tanto el interruptor como V_o están en uno u otro estado, ambos funcionan de una forma binaria. En los capítulos 3 y 4 hemos visto que tanto el BJT como el FET tienen las características de interruptor gobernado y por tanto son dispositivos binarios. Los circuitos interruptores de dos estados con transistores son rápidos, fiables y económicos y se pueden fabricar en grandes cantidades. Por tanto, los sistemas digitales actuales trabajan con numeración *binaria* o de *base dos*. Puesto que el álgebra de Boole es la representación lógica de dos estados, el sistema binario se utiliza indistintamente para operaciones lógicas y aritméticas y así se utilizarán los mismos circuitos para llevar a cabo ambas funciones.

Para designar los dos estados se utilizan varias formas. Numéricamente los dígitos binarios son 1 y 0; y en sistemas lógicos los dos estados son «verdadero» y «falso» o «sí» y «no». En electrónica frecuentemente se utilizan los símbolos ON y OFF o HI y LO. Estos últimos signos, HI y LO, generalmente corresponden a los niveles de tensión o de corriente en un elemento interruptor. Para indicar los niveles de tensión correspondientes a los dígitos binarios 1 y 0 se emplean las designaciones $V(1)$ y $V(0)$ respectivamente. Puesto que cualquier estado es posible, cada dígito binario o *bit* es capaz de transmitir información. Un grupo de bits que tenga un determinado significado constituye una *información*, *palabra* o *código*.

La representación de los números en el sistema binario (de base 2) es en todo análoga a la empleada en el sistema decimal (de base 10). En realidad el número decimal 378 no es más que 300+70+8 o bien $3 \times 10^2 + 7 \times 10^1 + 8 \times 10^0$. Cada lugar en un número decimal representa una potencia de 10, y cada dígito

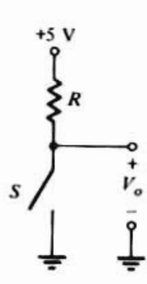


Figura 6-1. Circuito binario.

es el número de veces que existe la correspondiente potencia de 10. Un número binario está formado por una serie de los dígitos 1 y 0 cada uno de los cuales multiplica una potencia de 2. El número 101011 es = $1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0$ lo que es igual al número decimal 43. Con tres dígitos decimales se pueden representar 1.000 números distintos, del 0 al 999, siendo el mayor de ellos 10^3-1. De igual forma, un número de 6 bit puede representar 2^6 valores distintos, del 0 al 2^n-1. Generalizando tenemos la relación de la Ecuación (6-1)

$$N = 2^n - 1 \tag{6-1}$$

donde n es el número de bits y N el mayor número decimal que se puede representar con n bits.

Un número decimal D se puede pasar al sistema binario B de la siguiente forma:

1. Formar dos filas de números como en la Tabla 6-1.
2. Empezando por el extremo de la derecha, dividir por 2 el número D y colocar la parte entera D_1 del cociente en la primera columna de la fila D.
3. Colocar el resto R_1 (si lo hay) en la primera columna de la fila B (R_1 será uno o cero ya que D es necesariamente par o impar).
4. Dividir D_1 por 2 y colocar el cociente D_2 en la segunda columna de la fila D.
5. Colocar el resto R_2 (0 o 1) en la segunda columna de la fila B.
6. Repetir los pasos 4 y 5 hasta encontrar un cociente cero. Los dígitos de la fila B leídos de izquierda a derecha, forman la representación binaria del número decimal D. El lugar de más a la izquierda, que representa la mayor potencia de 2 es el *bit más significativo* (MSB) y el más a la derecha el *bit menos significativo* (LSB).

Tabla 6-1: Conversión de decimal a binario

Columna k + 1	*Columna k*	*Columna 2*	*Columna 1*	
0	$D_k = D_{k-1}/2$	$D_2 = D_1/2$	$D_1 = D/2$	Nº decimal D (Fila D)
0	R_k	R_2	R_1	Nº binario B (Fila B)

Ejemplo 6-1

Convertir el número decimal 73 al sistema binario.

Solución

Preparar una disposición semejante a la de la Tabla 6-1 como se ve en la Tabla 6-2. La expresión binaria de 73 es el número de 7 cifras 1001001, lo que se puede comprobar calculando:

$$1001001 = 1 \times 2^6 + 0 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 0 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 = 64 + 8 + 1 = 73$$

Tabla 6-2: Preparación para ejemplo 6-1

8	*7*	*6*	*5*	*4*	*3*	*2*	*1*	
0	$\frac{1}{2} = 0$	$\frac{2}{2} = 1$	$\frac{4}{2} = 2$	$\frac{9}{2} = 4$	$\frac{18}{2} = 9$	$\frac{36}{2} = 18$	$\frac{73}{2} = 36$	$D = 73$
0	1	0	0	1	0	0	1	B

El procedimiento seguido en la Tabla 6-1 puede extenderse para convertir un número decimal D a otro de base B. Los sucesivos restos R_1, R_2,...,R_n leídos de izquierda a derecha forman el número de base B buscado. Si por ejemplo $B = 5$, R sólo puede valer 0, 1, 2, 3 o 4. Frecuentemente se indica la base empleada mediante un subíndice. Así, N_{10} es un número decimal y N_2 un número binario.

Así como la coma en el sistema decimal separa las potencias positivas y negativas de 10, la coma en el sistema binario separa las potencias positivas y negativas de 2. El número binario 101,011 tiene el equivalente decimal 5,375.

Los números negativos se representan añadiendo un signo a la izquierda del bit más significativo. Un (0) designa un número positivo y un (1) un número negativo. Así 0 ^ 1001001 equivale al +73 decimal y 1^1001001 al -73. El signo ^ se emplea para indicar que la primera cifra es la que indica el signo.

En el sistema digital se emplea una variedad de representaciones derivadas de números y códigos binarios. Al tratar de la aritmética binaria en la Sección 7-3 introduciremos algunas de ellas.

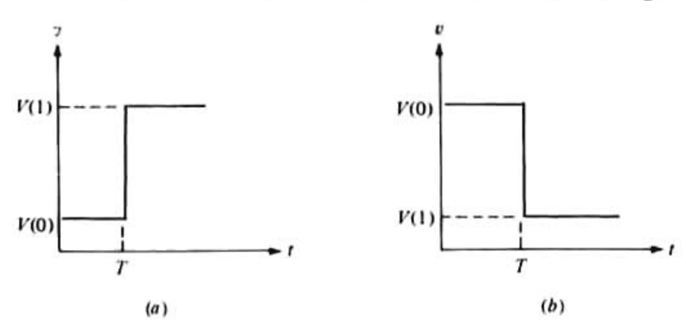


Figura 6-2. Ondas para lógica: (*a*) positiva, y (*b*) negativa.

6-2. ÁLGEBRA DE BOOLE

El álgebra de Boole es una lógica simbólica de dos estados. Una variable A asume uno de los dos valores posibles, 0 o 1. Así, A puede ser 1 ($A = 1$) o puede ser 0 ($A = 0$). Si A no es 1 debe ser 0. El álgebra de Boole conteniendo distintas variables requiere únicamente tres funciones lógicas básicas llamadas

AND, OR y NOT. Una *puerta lógica* es un circuito que se emplea para cumplimentar una función lógica básica. Las combinaciones de puertas lógicas sirven para plantear ecuaciones complejas de Boole. Estos circuitos serán tratados en el Capítulo 7.

Sistemas lógicos

La implementación de la puerta depende de la forma en que se defina una señal binaria. En un sistema de continua o nivel lógico un bit se caracteriza por uno de los dos niveles de tensión. Si como en la Fig. 6- 2*a* la tensión más positiva es el nivel 1 y la otra el 0, $[V(1)>V(0)]$, se dice que el sistema emplea lógica *positiva*. Por otra parte un sistema de lógica *negativa*, como el de la Fig. 6- 2*b*, es el que designa al potencial más negativo como 1 y al más positivo como nivel 0, $[V(0)>V(1)]$. Hay que tener en cuenta que el valor absoluto de ambas tensiones no es significativo en estas definiciones. Concretamente, el estado 0 no representa necesariamente un nivel de tensión cero, aunque en algunos sistemas pueda serlo.

En un sistema dinámico o de *lógica de impulsos*, un bit se reconoce por la presencia o ausencia de un impulso. Un 1 significa la existencia de un impulso positivo en un sistema dinámico de lógica positiva y un impulso negativo supone un 1 en un sistema dinámico de lógica negativa. En ambos sistemas un 0 en una entrada (o salida) en un momento dado significa que no hay impulso alguno en ese preciso momento.

La puerta OR

La puerta OR tiene dos o más entradas y una sola salida, y funciona según la siguiente definición: La salida de *una puerta* OR *está en estado 1 si una o más entradas están en estado 1*. Las *n* entradas de un circuito lógico se designan con $A, B, ..., N$ y la salida con Y. Hay que tener en cuenta que cada una de estas variables puede tomar uno de los dos valores posibles 0 o 1. En la Fig. 3-6*a* figura el símbolo normalizado del circuito OR junto con la expresión de Boole para esta puerta. La ecuación debe leerse «Y igual a A o B o ... o N». En lugar de definir oralmente la operación lógica puede emplearse el método de la *Tabla de la verdad* que contiene una Tabla de todos los valores de entrada posibles y sus correspondientes salidas. Quede claro que la tabla de la verdad de dos entradas de la Fig. 6-3*b* equivale a la definición anterior de la operación OR.

Supongamos que las ondas A y B tienen los niveles binarios en función del tiempo representados en la Fig. 6-3*c*. Entonces, la onda de salida Y en esa misma figura se corresponde con la tabla de la verdad de la Fig. 6-3*b* para una puerta OR de lógica positiva. Obsérvese que con $V(0) = 0$ se cumple la operación OR tanto en el sistema de nivel lógico como en el dinámico.

Recordando que A, B y C sólo pueden tomar los valores 0 o 1, pueden comprobarse fácilmente las siguientes ecuaciones Booleanas correspondientes a la operación OR (+)

$$A + B + C = (A + B) + C = A + (B + C) \tag{6-2}$$

$$A + B = B + A \tag{6-3}$$

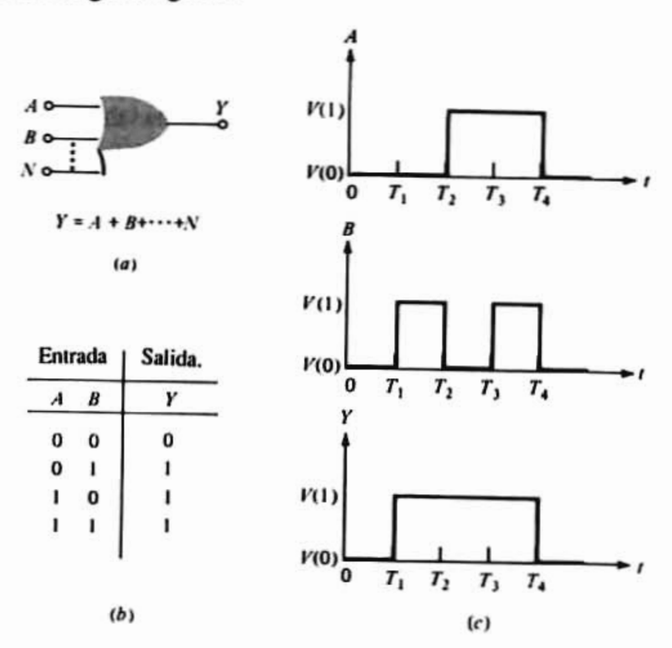
$$A + A = A \tag{6-4}$$

$$A + 1 = 1 \tag{6-5}$$

$$A + 0 = A \tag{6-6}$$

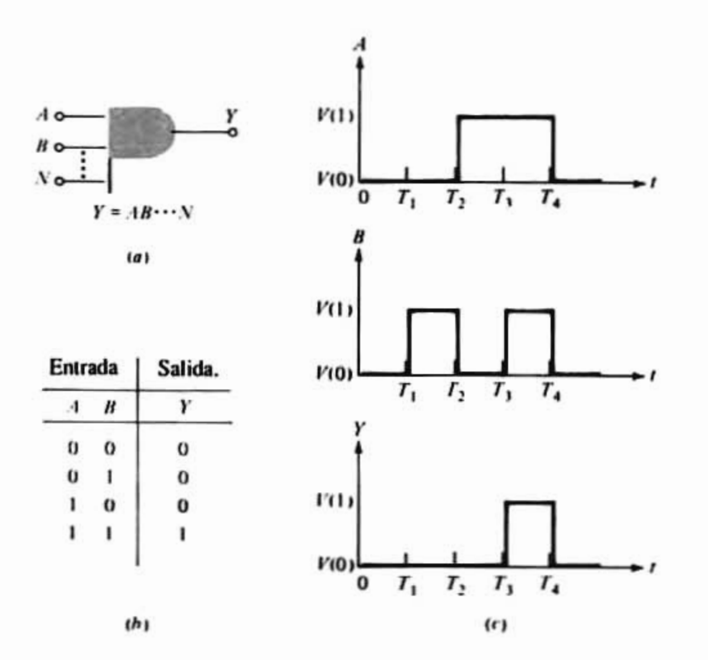
Estas ecuaciones quedan justificadas tanto por la definición de la operación OR como por la tabla de la verdad.

Hemos hallado una puerta OR de un simple diodo: el circuito de la Fig. 2-13 obedece a la tabla de la verdad de la Fig. 6-3*b* con lógica negativa.



Entrada		Salida.
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

Figura 6-3. Puerta OR: (*a*) símbolo del circuito, (*b*) tabla de la verdad, (*c*) onda para lógica positiva.



Entrada		Salida.
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

Figura 6-4. Puerta AND: (*a*) Símbolo del circuito; (*b*) tabla de la verdad; (*c*) onda para lógica positiva.

La puerta AND

La puerta AND tiene dos o más entradas y una sola salida, y funciona de acuerdo con la siguiente definición: *La salida de un AND está en estado 1 sólo si todas las entradas están en 1*. En la Fig. 6- 4*a* puede verse el símbolo de esta puerta y su expresión de Boole. La ecuación debe leerse: *Y* es igual a *A* y *B* y ... *N*. [A veces se pone un punto (.) o un aspa (×) entre los símbolos para indicar la operación AND.] Se puede comprobar que la tabla de la verdad de dos entradas de la Fig. 6-4*b* concuerda con la definición dada de la operación AND. Las ondas de la Fig. 6-4*c* corresponden a la tabla de la verdad de la Fig. 6-4*b* para lógica positiva. Anteriormente a este circuito se le llamó *de coincidencia* porque deben existir al mismo tiempo todos los impulsos de entrada para tener un impulso de salida.

Puesto que *A*, *B* y *C* sólo pueden valer 0 o 1 se pueden verificar las siguientes expresiones relativas a la operación AND

$$ABC = (AB)C = A(BC) \tag{6-7}$$

$$AB = BA \tag{6-8}$$

$$AA = A \tag{6-9}$$

$$A1 = A \tag{6-10}$$

$$A0 = 0 \tag{6-11}$$

$$A(B + C) = AB + AC \tag{6-12}$$

Estas ecuaciones se pueden comprobar por la definición de la operación AND, por la tabla de la verdad o por el comportamiento de los circuitos AND vistos más arriba. Además, por medio de las ecuaciones (6-10) (6-12) y (6- 5) se puede ver que

$$A + AB = A \tag{6-13}$$

Análogamente, de las Ecs. (6-12) (6-9) y (6-5) se deduce que

$$A + BC = (A + B)(A + C) \tag{6-14}$$

Más adelante de este mismo capítulo tendremos ocasión de referirnos a estas dos últimas ecuaciones.

El circuito de la Fig. 2-13 analizado en el Ejemplo 2-2 es una disposición de diodo-resistencia para puerta AND de lógica positiva. Todo lo que hay que hacer para tener una puerta AND de lógica negativa es invertir los diodos.

Obsérvese que este mismo circuito (Fig. 2-13) puede emplearse tanto para la puerta AND de lógica positiva como para la puerta OR de lógica negativa. Esto es debido al hecho de que *V* (0) en lógica positiva y *V* (1) en negativa representan ambas el menor de los dos niveles de tensión, y asimismo *V* (1) y *V* (0) son las tensiones mayores en lógica positiva y negativa respectivamente. Con esto llegamos a la conclusión de que una puerta OR negativa tiene el mismo circuito que una AND positiva. Este resultado no queda limitado a la lógica con diodos, sino que es válido independientemente del material empleado para formar el circuito.

Puerta NOT (inversora)

El circuito NOT tiene una sola entrada y una sola salida, y responde a la *negación lógica* de acuerdo con la siguiente definición: *La salidade un circuito* NOT *toma el estado 1 sólo y únicamente si la entrada no tiene el estado 1*. La norma para indicar una negación lógica es un pequeño círculo en el punto en que la línea de la señal se une a un símbolo lógico. En la Fig. 6-5*a* se indica una negación en la entrada de un bloque lógico y en la Fig. 6-5*b* una negación a la salida; la Fig. 6-5*c* representa el símbolo de la puerta NOT y la expresión de Boole. La ecuación debe leerse: «*Y* igual a NO *A*» *o bien* «*Y* es el complemento de *A*.» [Para indicar la operación NOT a veces se emplea una vírgula (') en lugar de un guión (-).] La Fig. 6-5*d* es la tabla de la verdad.

Al circuito que cumple la negación lógica se le denomina NOT, pero como invierte el sentido de la salida respecto al de la entrada se le conoce también como *inversor*. En un verdadero sistema binario sólo se reconocen dos niveles $V(0)$ y $V(1)$ y la salida, así como la entrada del inversor deben actuar entre estas dos tensiones. Cuando la entrada es $V(0)$ la salida debe ser $V(1)$ y viceversa. Idealmente un circuito NOT invierte la señal conservando su forma y los niveles binarios entre los que actúa la señal. Los transistores de efecto campo (FET) comentados en las Secciones 3-8 y 4-12 son inversores. Observemos en las Figs. 3-29 y 4-25 que una transición de baja a alta tensión en la entrada provoca la transición inversa en la salida. Además las fuentes ideales gobernadas introducidas en las Secciones 3-1 y 4-1 son circuitos inversores cuando actúan como interruptores controlados.

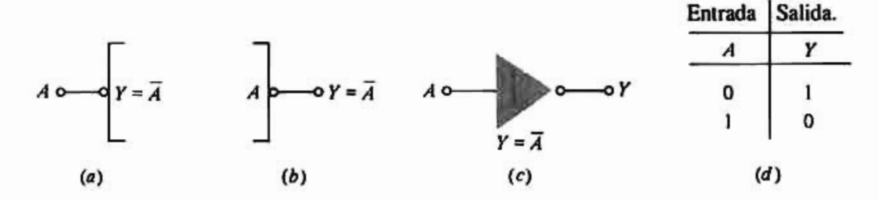


Figura 6-5. Negación lógica (*a*) en la entrada; (*b*) a la salida de un bloque lógico; (*c*) símbolo del circuito inversor (puerta NOT) (*d*) tabla de la verdad.

A partir de las definiciones básicas del NOT, AND y OR pueden comprobarse las siguientes identidades de Boole.

$$\overline{\overline{A}} = A \tag{6-15}$$

$$\overline{A} + A = 1 \tag{6-16}$$

$$\overline{A}A = 0 \tag{6-17}$$

$$A + \overline{A}B = A + B \tag{6-18}$$

Ejemplo 6-2

Comprobar la ecuación (6-18).

Solución

Puesto que $B + 1 = 1$ y $A1 = A$, se deduce que:

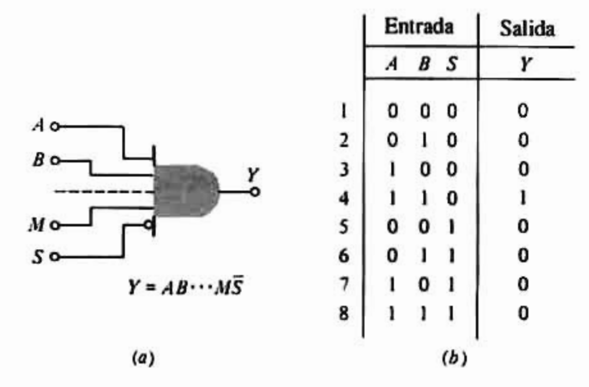
$$A + \overline{A}B = A(B + 1) + \overline{A}B = AB + A + \overline{A}B = (A + \overline{A})B + A = B + A$$

habiendo empleado la Ecuación (6-16).

Función de inhibición (y habilitación)

Un circuito NOT precediendo un terminal (S) de una puerta AND actúa como inhibidor. Este circuito AND modificado da lugar a la siguiente relación lógica: Si $A = 1, B = 1, ...M = 1$, entonces $Y = 1$ siempre que $S = 0$. En cambio, si $S = 1$, la coincidencia de A, B... M se inhibe (e imposibilita) e $Y = 0$. A esta configuración se le denomina también circuito de anticoincidencia. El símbolo lógico se representa en la Fig. 6-6*a* junto con su expresión de Boole. Esta ecuación se lee «Y igual a A y B y ... M y no S». En la Fig. 6-6*b* se ve la tabla de la verdad de una puerta AND con tres entradas y un terminal inhibidor (S).

El terminal S se llama también de inhibición. El bit habilitador $S = 0$ permite a la puerta cumplir su lógica AND mientras que el inhibidor $S = 1$ mantiene la salida en $Y = 0$ independientemente del valor de los demás bits de entrada.



	Entrada			Salida
	A	B	S	Y
1	0	0	0	0
2	0	1	0	0
3	1	0	0	0
4	1	1	0	1
5	0	0	1	0
6	0	1	1	0
7	1	0	1	0
8	1	1	1	0

Figura 6-6. (*a*) Símbolo del circuito y expresión de Boole para una puerta AND con terminal de inhibición S. (*b*) Tabla de la verdad para $Y = AB\bar{S}$.

Es posible también un circuito AND con dos entradas, una de las cuales sea inhibidora. Este circuito satisface la lógica. «La salida es verdad (1) si la entrada A es verdad (1) supuesto que B no lo sea (0) o lo que es lo mismo, supuesto que B sea falso (0).» También es posible otra configuración con más de un terminal inhibidor.

6-3. PUERTAS OR-EXCLUSIVA, NAND Y NOR

Las tres puertas comentadas en esta Sección no son más que simples combinaciones de puertas AND, OR e inversoras. Debido a su importancia para el procesado de señales digitales y en general a su disposición con transistores se las considera como puertas básicas.

Puerta OR-Exclusiva

Una puerta OR-Exclusiva responde a la siguiente definición: La salida de un OR-Exclusivo de dos entradas está en estado 1 si una y sólo una de las entradas está en estado 1. El símbolo normalizado y la tabla de la verdad están representados en las Figs. 6-7*a* y *b*. El circuito de la Fig. 6-3 se refiere a un OR-Inclusivo si hay que distinguirlo del OR-Exclusivo.

La anterior definición equivale a: «si $A = 1$ *o* $B = 1$ pero no simultáneamente, $Y = 1$». En la notación de Boole

$$Y = (A + B)(\overline{AB}) \tag{6-19}$$

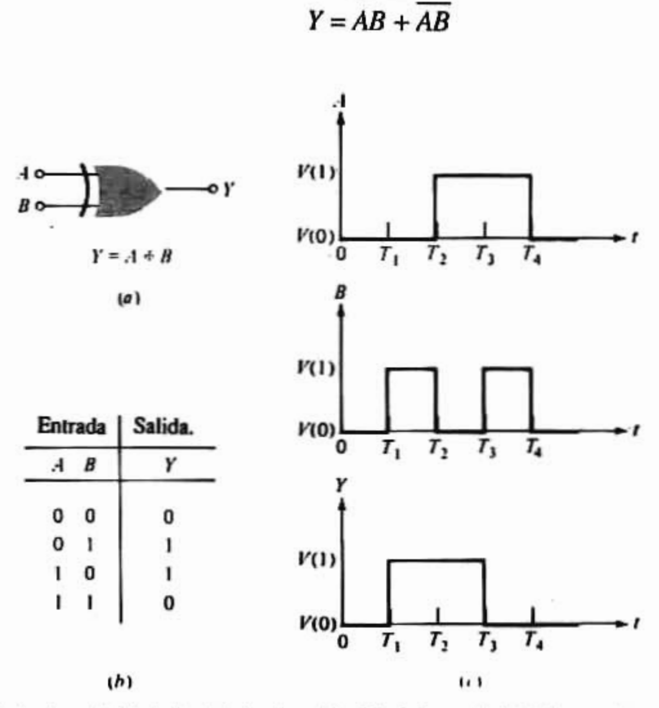
Esta función lógica puede llevarse a cabo utilizando puertas lógicas básicas como en la Fig. 6-8*a*.

Otra definición equivalente sería la siguiente: «si $A = 1$ y $B = 0$ o si $B = 1$ y $A = 0$, entonces $Y = 1$», y la expresión de Boole es

$$Y = A\overline{B} + B\overline{A} \tag{6-20}$$

En la Fig. 6-8*b* está representado el diagrama de bloques que satisface esta lógica. Se emplea un OR-Exclusivo en la sección aritmética de una calculadora, y en otras aplicaciones como la de *comparador de desigualdades*, *circuito de acoplamiento*, o *detector* porque como puede verse en la tabla de la verdad, $Y = 1$ sólo si $A \neq B$. Esta propiedad se emplea para comprobar la desigualdad entre dos bits. Si el bit A no es idéntico al B se tendrá una salida, e igualmente «si A y B son ambos 1 o si A y B son ambos 0 no se obtiene salida alguna, e $Y = 0$». Esta misma premisa puede ponerse en forma de Boole

$$Y = \overline{AB + \overline{A}\overline{B}} \tag{6-21}$$



Entrada		Salida.
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

(*b*)

Figura 6-7. Puerta OR-Exclusiva: (*a*) Símbolo del circuito; (*b*) tabla de la verdad; (*c*) formas de onda para lógica positiva.

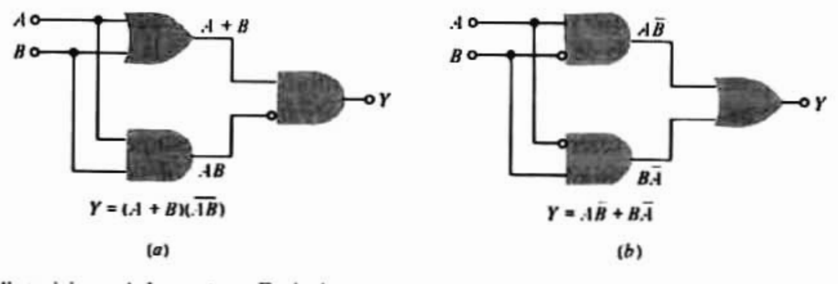


Figura 6-8. Dos disposiciones de la puerta OR-Exclusiva.

Esta ecuación nos lleva a un tercer planteamiento de bloques del OR-Exclusivo, que está indicado por el diagrama lógico de la Fig. 6-9*a*. Un *detector de igualdad* da una salida $Z = 1$ si A y B son ambos 1 o si ambos son 0, y por tanto, haciendo uso de la Ec. (6-15)

$$Z = \overline{Y} = AB + \overline{A}\,\overline{B} \tag{6-22}$$

Si deseamos la salida Z se puede prescindir de la negación de la Fig. 6-9*a* o añadir un inversor en cascada con la salida del OR-Exclusivo.

Una cuarta posibilidad para esta puerta es

$$Y = (A + B)(\overline{A} + \overline{B}) \tag{6-23}$$

que se puede deducir de la definición o de la tabla de la verdad. Esta lógica está representada en la Fig. 6-9*b*.

Se puede observar que un OR-Exclusivo de dos entradas se comporta como un *inversor controlado* o un inversor con una entrada inhibidora. O sea, que si A es la entrada y $B = S$ el inhibidor, de la tabla de la verdad de la Fig. 6-7 se deduce que $Y = \overline{A}$ si $S = 1$ mientras que $Y = A$ si $S = 0$.

Queda demostrado que a veces hay varios caminos para formar un circuito lógico. En la práctica hay uno de ellos que resulta más ventajoso que los demás. Frecuentemente se utiliza el álgebra de Boole para manipular una ecuación lógica y transformarla de forma que sea mejor desde el punto de vista de la construcción real. En la próxima sección comprobaremos mediante el álgebra de Boole que las cuatro expresiones anteriores del OR-Exclusivo son equivalentes.

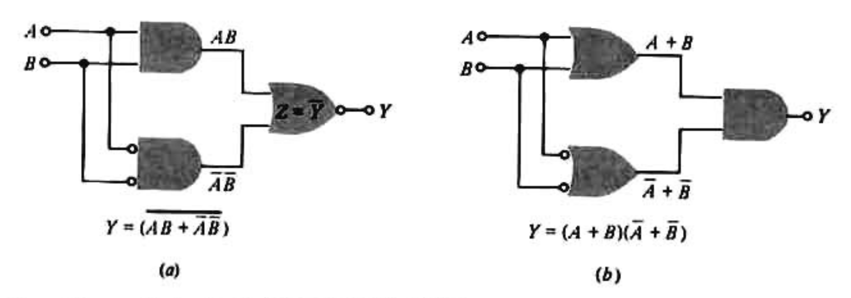


Figura 6-9. Dos disposiciones adicionales de la puerta OR-Exclusiva.

Leyes de Morgan

Las dos ecuaciones binarias siguientes se conocen como *teoremas de Morgan*.

$$\overline{ABC\cdots} = \overline{A} + \overline{B} + \overline{C} + \cdots \tag{6-24}$$

$$\overline{A + B + C + \cdots} = \overline{A}\,\overline{B}\,\overline{C}\cdots \tag{6-25}$$

Para comprobar la Ec. (6-24) obsérvese que si todas las entradas son 1, cada miembro de la ecuación es cero. Por otra parte si una (o más de una) entrada es 0 cada miembro de la ecuación (6-24) valdrá 1. Por tanto, con cualesquiera entradas posibles el segundo miembro de la igualdad se iguala al primero. La Ec. (6-25) se comprueba de forma similar. Las leyes de Morgan completan la lista de las identidades básicas de Boole. Para posteriores referencias, todas estas relaciones se resumen en la Tabla 6-3.

Con la ayuda del álgebra de Boole vamos a demostrar la equivalencia de los cuatro circuitos OR-Exclusivo de la sección anterior. Utilizando la Ec. (6-24) resulta evidente que la Ec. (6-19) equivale a la Ec. (6-23), pudiéndose desarrollar esta última con el auxilio de la Tabla 6-3 de la siguiente forma

$$(A + B)(\overline{A} + \overline{B}) = A\overline{A} + B\overline{A} + A\overline{B} + B\overline{B} = B\overline{A} + A\overline{B} \tag{6-26}$$

quedando demostrado que el OR-Exclusivo de la Ec. (6-21) es equivalente al de la Ec. (6-23).

Tabla 6-3 Resumen de identidades básicas de Boole

Leyes fundamentales		
OR	AND	NOT
$A + 0 = A$	$A0 = 0$	$A + \overline{A} = 1$
$A + 1 = 1$	$A1 = A$	$A\overline{A} = 0$
$A + A = A$	$AA = A$	$\overline{\overline{A}} = A$
$A + \overline{A} = 1$	$A\overline{A} = 0$	
Leyes asociativas		
$(A + B) + C = A + (B + C)$	$(AB)C = A(BC)$	
Leyes conmutativas		
$A + B = B + A$	$AB = BA$	
Ley distributiva		
$A(B + C) = AB + AC$		
Leyes de Morgan		
$\overline{AB\cdots} = \overline{A} + \overline{B} + \cdots$		
$\overline{A + B + \cdots} = \overline{A}\,\overline{B}\cdots$		
Identidades auxiliares		
$A + AB = A$	$A + \overline{A}B = A + B$	
$(A + B)(A + C) = A + BC$		

De las leyes de Morgan se deduce que para hallar el complemento de una función booleana *deben cambiarse todas las operaciones* OR *por* AND *y viceversa, negando todo símbolo binario.* Aplicando este procedimiento a la Ec. (6-21) y haciendo uso de la identidad $\overline{\overline{A}} = A$ resulta la Ec. (6-23).

Con la ayuda de las leyes de Morgan se puede demostrar que un circuito AND en lógica positiva también funciona como puerta OR en lógica negativa. Sea Y la salida y $A, B, \ldots N$ las entradas a una AND positiva de forma que:

$$Y = AB \cdots N \tag{6-27}$$

y de la Ec. (6-24)

$$\overline{Y} = \overline{A} + \overline{B} + \cdots + \overline{N} \tag{6-28}$$

Si se complementan la salida y todas las entradas de un circuito, de forma que un 1 se convierta en 0 y viceversa, la lógica positiva se convierte en negativa (tomar como referencia la Fig. 6-2). Puesto que Y e $\overline{Y}$ representan el *mismo* terminal de salida, y A y $\overline{A}$ *el mismo* de entrada, etc. ..., el circuito que funciona como lógica AND positiva en la Ec. (6-27) también funciona como puerta OR negativa en la Ec. (6-28). Con un razonamiento similar se puede comprobar que un mismo circuito AND de lógica negativa es un OR de lógica positiva dependiendo de cómo se definan los niveles binarios. Ya hemos comprobado este resultado para el circuito con diodos de la Fig. 2-13 pero la prueba presente es independiente de cómo esté formado el circuito.

Quede claro que en realidad no es necesario emplear las tres conexiones, OR, AND y NOT. Son suficientes las OR y NOT pues según las leyes de Morgan de la Ec. (6-24), la AND puede obtenerse de la OR o de la NOT como se ve en la Fig. 6- 10*a*. También pueden elegirse como circuitos básicos lógicos los AND y NOT, y de la ley de Morgan de la Ec. 6-25 se puede deducir el OR como en la Fig. 6-10*b*. Esta figura pone de manifiesto que un circuito OR (AND) negado en la entrada y la salida equivale a una lógica AND (OR).

La puerta NAND

En la Fig. 6-8*a* la negación antes del segundo AND puede muy bien ponerse a la salida del primero sin cambiar la lógica. Esta secuencia AND-NOT aparece también en la Fig. 6-10*b* y en otras muchas operaciones lógicas. Este AND negado se designa NOT- AND y abreviadamente NAND. En la Fig. 6-11 están representados el símbolo lógico, la ecuación de Boole, la tabla de la verdad y la forma de onda.

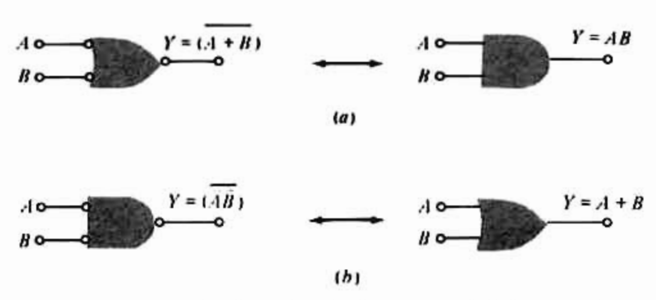
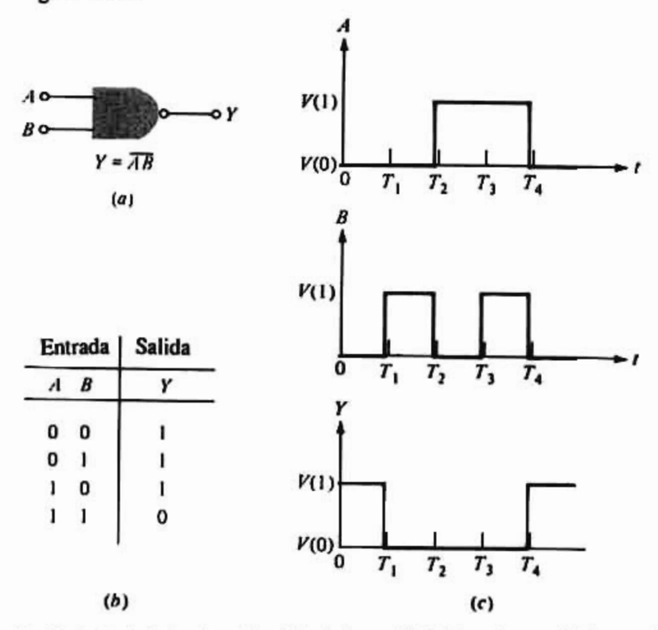


Figura 6-10. (*a*) Conversión de una puerta OR en AND invirtiendo todas las entradas; (*b*) Una puerta AND se convierte en OR si se invierten todas las entradas y se niega la salida.



Entrada		Salida
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

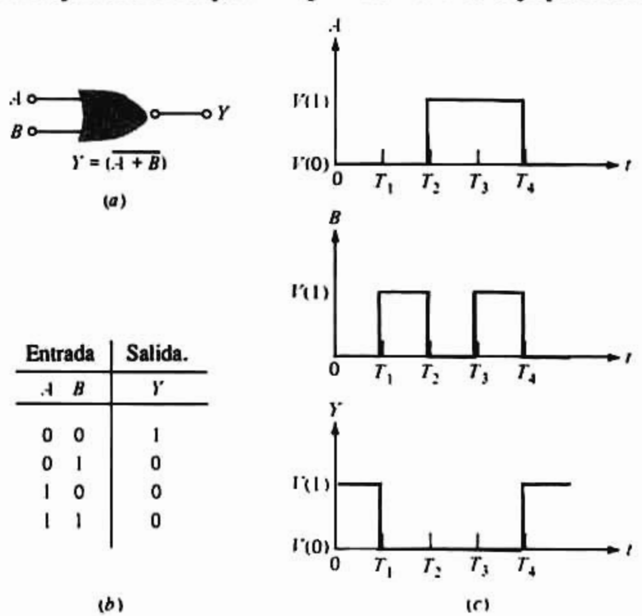
Figura 6-11. Puerta NAND: (*a*) Símbolo del circuito; (*b*) tabla de la verdad; (*c*) onda para lógica positiva.

Se puede formar una puerta NAND colocando un transistor inversor (Fig. 3-28*a*) después de una puerta AND de diodos. A esta realización se le denomina lógica de diodo-transistor (DTL) y fue una de las familias lógicas semiconductoras desarrolladas. Ha sido suplantada por otras familias lógicas, que veremos más adelante en este mismo capítulo, de funcionamiento notablemente mejorado.

La puerta NOR

Una negación a continuación de una puerta OR se denomina puerta NOT-OR o simplemente NOR. En la Fig. 6-12 aparecen el símbolo lógico, la expresión de Boole, la tabla de la verdad y la forma de onda. Se forma una puerta DTL NOR situando un transistor inversor a continuación de una puerta OR de diodos.

Ya que los interruptores de transistores son de por sí inversores, las puertas NAND y NOR son muy empleadas para cumplir funciones lógicas. Las leyes de Morgan aportan una metodología mediante la que estas puertas se utilizan en diseños lógicos. Ciertamente se pueden preparar sistemas lógicos completos empleando únicamente puertas NAND o puertas NOR. Este hecho se representa en la Fig. 6-13 con puertas NOR. En la Fig. 6-13*a* los dos terminales de entrada están unidos entre sí y en consecuencia queda negada la única entrada (una puerta NOT). La puerta NOT se utiliza para invertir la salida de la NOR de la Fig. 6-13*b* para obtener una OR. En la Fig. 6-13*c* la negación de ambas entradas convierte la puerta NOR en AND (ley de Morgan). El análisis correspondiente empleando puertas NAND se deja para el lector (probl. 6-18).



Entrada		Salida.
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

Figura 6-12. Puerta NOR: (*a*) Símbolo del circuito; (*b*) tabla de la verdad; (*c*) onda para lógica positiva.

6-4. CARACTERÍSTICAS DE LAS PUERTAS LÓGICAS

El diseño y fabricación de puertas lógicas utilizando transistores reales (comercialmente accesibles) da lugar a circuitos cuyas ondas de entrada y de salida son sólo aproximadas a las vistas en la Seccion 6-2. El paso de $V(0)$ a $V(1)$ o viceversa no puede ocurrir instantáneamente. Además las tolerancias de fabricación, las variaciones de temperatura u otros cambios ambientales pueden modificar los niveles de tensión. Puesto que las entradas dependen de los niveles de salida de otras puertas, cada circuito lógico sirve de carga para la etapa precedente. Estas cargas pueden degradar los niveles lógicos. Cada desviación respecto al ideal limita la actuación de los circuitos reales. Centraremos nuestro estudio en los inversores ya que como hemos demostrado antes, los interruptores básicos BJT y FET funcionan como inversores.

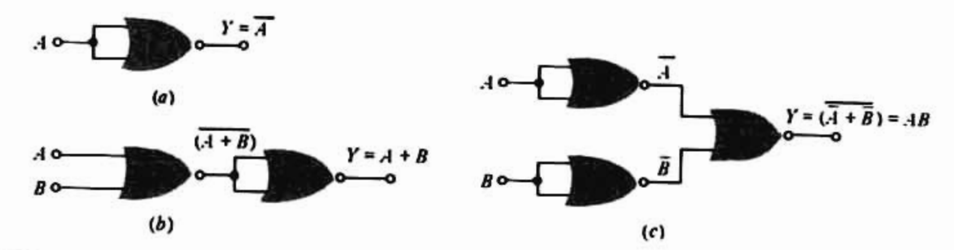


Figura 6-13. Empleo de puertas NOR para formar: (*a*) un inversor, (*b*) una puerta OR y (*c*) una puerta AND.

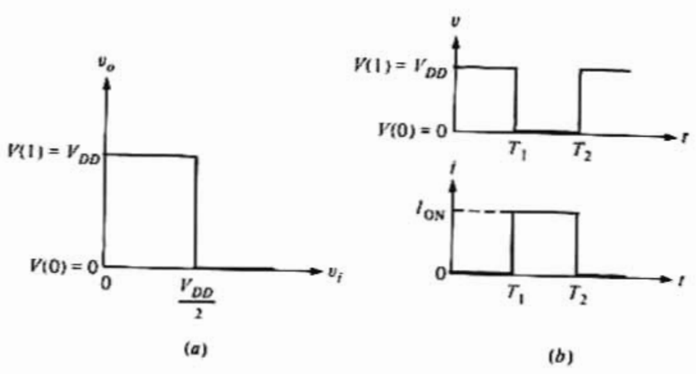


Figura 6-14. (*a*) Característica de transferencia y (*b*) ondas de tensión y de corriente de un inversor ideal.

El inversor ideal

El inversor ideal, alimentado de una fuente única V_{DD}, y dependiendo su salida de una sola entrada tiene la característica de transferencia (v_o en función de v_i) de la Fig. 6- 14*a*. Obsérvese que la transición de uno a otro estado ocurre súbitamente a una tensión de entrada $v_i = V_{DD}/2$. Con esto, el estado de salida queda claramente determinado para cualquier tensión de entrada (excepto $V_{DD}/2$) y no existe ninguna incertidumbre en cuanto al estado de la salida.

En la Fig. 6-14*b* están representadas las ondas de tensión y de corriente de salida correspondientes a la transición de $V(1)$ a $V(0)$ y otra vez a $V(1)$ en un interruptor gobernado ideal. La potencia estática disipada en cualquiera de los dos estados es nula puesto que cuando $v_o \neq 0$, $i = 0$ (interruptor ideal abierto) y cuando $i \neq 0$, $v_o = 0$ (interruptor ideal cerrado). Además, siendo la transición de uno a otro estado instantánea, la potencia dinámica disipada, es decir, la potencia consumida durante la conmutación también es nula.

Hay otras dos características del inversor ideal relacionadas con la interconexión de estas puertas: (1) el circuito de entrada no representa una carga para el impulso de señal (la salida de una puerta anterior) y (2) la salida de un inversor es capaz de impulsar a un número cualquiera de puertas similares sin que se degrade el nivel de salida.

Las características del inversor ideal son aplicables igualmente a puertas de entradas múltiples (AND, OR, NAND, NOR). Además, tales puertas ideales pueden admitir cualquier número arbitrario de entradas sin efectos de carga que perturben las etapas anteriores. Las anteriores consideraciones nos hacen ver que al evaluar la idoneidad de una puerta real resultan muy importantes las siguientes características:

1. El orden de valores de la tensión correspondiente a los niveles lógicos $V(0)$ y $V(1)$.
2. La región incierta o gama de tensiones de entrada en los que el estado de salida no está definido.
3. La velocidad de conmutación.
4. Disipación de potencia estática y dinámica.
5. Efectos de carga en la entrada y salida.

Característica de transferencia del inversor real

La característica de transferencia de un circuito inversor real adquirible comercialmente, representada en la Fig. 6-15 acusa varias desviaciones respecto a la característica ideal de la Fig. 6-14*a*. Estas diferencias son: que las tensiones $V(1)$ y $V(0)$ no son constantes; que pueden diferir de la tensión de alimentación y de cero, respectivamente, y que la transición de uno a otro estado no es abrupta. La forma general de la

curva de transferencia es similar a las características de transferencia de los dispositivos BJT y FET de las Figs. 3-29 y 4-30 respectivamente[1]. En el caso del BJT la característica muestra que el transistor está en corte con $v_i < V_\gamma$ (tensión umbral) y $v_0 = V_{CC}$ (tensión de alimentación). La operación está en la región activa directa (funciona como fuente gobernada) para $v_i > V_\gamma$ y v_0 disminuye al aumentar v_i hasta comenzar la saturación. Un nuevo incremento de v_i satura más fuertemente el BJT y v_0 queda limitado en $V_{CE(sat)} =$ 0,2 V. Análogamente un MOSFET está en corte para $v_i < V_T$. Aumentando v_i por encima de V_T se hace que el MOSFET opere en su región saturada lo que va acompañado de una disminución de v_0. Si v_i sigue aumentando, el MOSFET pasa a su región óhmica y v_o experimenta sólo pequeños cambios de valor.

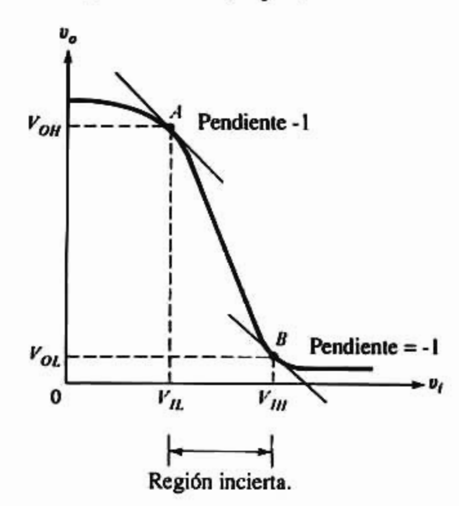


Figura 6-15. Característica de transferencia de tensión de un inversor real. Los puntos en que la pendiente es -1 definen los niveles lógicos alto y bajo.

La característica de transferencia resulta útil para definir los valores de tensión que corresponden a $V(1)$ y $V(0)$. En los puntos A y B de la característica de la Fig. 6-15 la pendiente es igual a la unidad. A la izquierda de A y a la derecha de B la pendiente es menor de uno, mientras que entre A y B es mayor. Como sea que la pendiente es un índice de la ganancia de tensión entre la entrada y la salida, se llega a la conclusión de que *la transición de uno a otro estado requiere una ganancia de tensión mayor que la unidad.* Obsérvese que la pendiente negativa indica una negación lógica.

Los valores de la ordenada y de la abscisa del punto A se designan V_{OH} y V_{IL} respectivamente. V_{IL} indica el máximo valor de v_i identificable como lógica 0 que define el estado de salida como lógica 1. Por tanto, V_{OH} es el mínimo valor que puede adquirir $V(1)$. De igual forma, en B, V_{OL} es el valor máximo de v_o correspondiente a $V(0)$ y V_{IH} la tensión de entrada mínima (lógica 1) necesaria para provocar este estado de la salida.

En la Fig. 6-16 están señalados los recorridos de las tensiones de entrada y de salida correspondientes a $V(0)$ y $V(1)$.

Puesto que la salida de la puerta 1 sirve de entrada a la puerta 2 es necesario que $V_{OH} > V_{IH}$ y $V_{OL} < V_{IL}$ para que la puerta cumpla la función. Si por ejemplo $V_{OH} < V_{IH}$ existirían valores de la señal de excitación correspondientes a $V(1)$ que no provocarían la transición a $V(1)$ de la puerta 2. Por tanto, en el circuito se habría introducido un error lógico, y lo mismo podría argumentarse para comprobar que $V_{OL} < V_{IL}$.

La anterior descripción de las características del inversor se pueden aplicar también a las puertas NAND

[1] Antes de proseguir el estudio de lo que resta de este capítulo puede ser conveniente repasar las Secciones 3-8 y 4-12.

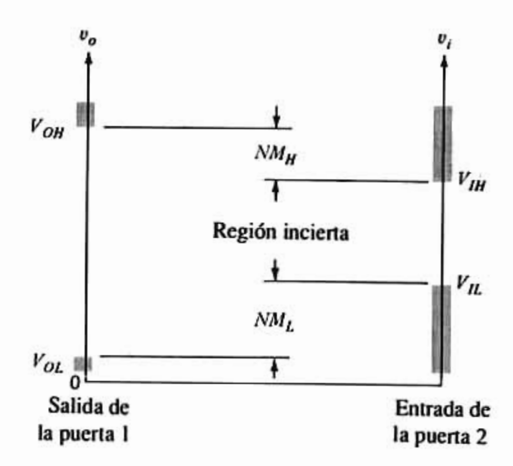


Figura 6-16. Niveles de tensiones de entrada y de salida empleados para definir el margen de ruido (NM) y la región incierta.

y NOR. Para éstas debe interpretarse v_i como la combinación de entradas necesarias para provocar la transición entre estados. Los circuitos con lógica no inversora, tales como los AND y OR tienen sus características con pendiente positiva. Para este caso, localizamos puntos semejantes a *A* y *B* en los que la pendiente de la característica sea +1. Haciendo este cambio, las conclusiones a las que se ha llegado en los párrafos anteriores se pueden aplicar a circuitos lógicos no inversores.

Margen de ruido

En un circuito electrónico se entiende por «ruido» la presencia de cualquier señal no deseada. Existen muchas fuentes de ruido entre las que figura el rizado del suministro de potencia y las radiaciones electromagnéticas (por ejemplo las luces fluorescentes o las señales de radio y televisión). Como siempre existen ruidos, es necesario que las puertas lógicas no respondan a ellos e introduzcan errores lógicos. Por «margen de ruido» (designado *NM* por las iniciales «Noise Margin») se entiende el grado de inmunidad del circuito lógico ante las señales no deseadas. Los valores NM_H y NM_L corresponden a los márgenes de ruido para *V*(1) y *V*(0) respectivamente. En la Fig. 6-16 se puede apreciar que

$$NM_H = V_{OH} - V_{IH} \qquad NM_L = V_{IL} - V_{OL} \tag{6-29}$$

La importancia del margen de ruido radica en que una señal no deseada de valor menor que el *NM* no alterará el estado lógico. Los ruidos que superen el *NM* se convierten en señales de entrada en la zona de incertidumbre o provocan una transición no deseada.

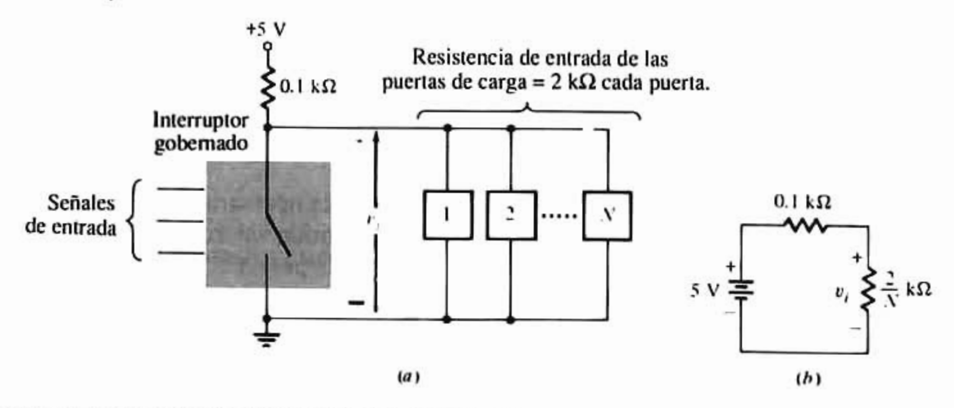


Figura 6-17. (*a*) Diagrama del circuito, y (*b*) circuito equivalente mostrando la salida en abanico (fan-out).

Fan-out (salida en abanico)

Una puerta lógica debe ser capaz de suministrar la entrada a varios circuitos semejantes. El «fan-out» es el término empleado para indicar el número de circuitos que una puerta puede excitar. El siguiente ejemplo muestra el efecto de cargar la salida de una puerta.

Ejemplo 6-3

La Fig. 6-17*a* representa el circuito de una puerta en estado 1. La carga consiste en N entradas idénticas, cada una de ellas con una resistencia de entrada de 2 kΩ. Para asegurar un funcionamiento correcto, la tensión v_i de entrada a las puertas de carga debe ser por lo menos de 3,5 V. Determinar el número de puertas que se pueden atender, es decir, determinar el fan-out.

Solución

El circuito de la Fig. 6-17*b* es el equivalente del de la Fig. 6- 17*a*. La combinación en paralelo de las N resistencias idénticas es $2/N$ kΩ que es la carga equivalente en la puerta. De la Fig. 6-17*b*

$$v_i = \frac{2/N}{0.1 + 2/N} \times 5 \geq 3.5 \text{ V}$$

Despejando N tendremos $N = 8{,}57$. Puesto que el número de etapas ha de ser un número entero, el fan-out es 8. Obsérvese que si se toma $N = 9$ tendríamos $v_i = 3{,}44$ V, valor por debajo del especificado.

Fan-in

Fan-in es el número de entradas que un circuito lógico puede admitir. Si se excede de este valor la puerta lógica producirá una salida en estado indeterminado o incorrecto. Además, las señales de entrada pueden resultar deterioradas por la carga excesiva.

Disipación de potencia

Las curvas de la Fig. 6-18 corresponden a las ondas típicas de tensión y de corriente en un circuito de puerta real. Observemos que en cualquiera de los estados lógicos ni v ni i son nulos. En consecuencia, la disipación de potencia en continua o estática tampoco es nula y la puerta consume energía cualquiera que sea su estado. Además aunque hagamos $V(0) = 0$ e $I_{OFF} = 0$ (reduciendo a cero la disipación de potencia estática) la disipación dinámica no será nula debido al tiempo finito de transición entre estados. Obsérvese que durante el intervalo de la conmutación $T_1 < t < T_2$, y $T_3 < t < T_4$ tanto v como i difieren de cero.

En el consumo total de potencia de la puerta contribuyen tanto la disipación estática como la dinámica. A veces el factor dominante es la disipación estática, y en otros casos, como ciertos sistemas *VLSI* fabricados con la tecnología CMOS, la disipación dinámica representa la mayor parte de la total.

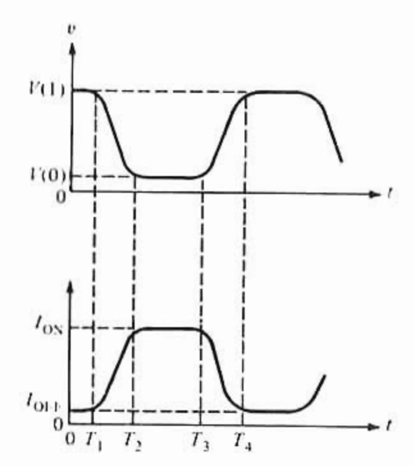


Figura 6-18. Ondas de corriente y de tensión reales en un interruptor. Existe disipación de potencia en los dos estados lógicos (estática) y durante la transición entre estados (dinámica).

Velocidad de actuación

La velocidad a la que puede trabajar una puerta depende del tiempo necesario para que una señal se propague desde la entrada hasta la salida y del tiempo de transición de uno a otro estado. En la Fig. 6-19 se han representado las ondas típicas de entrada y de salida de un inversor. Los tiempos de *subida* y de *bajada* t_r y t_f respectivamente miden los tiempos de transición entre estados lógicos. Ambos términos se definen por el tiempo transcurrido durante la variación de tensión desde el 10 al 90% de la diferencia $V(1)$-$V(0)$. Los tiempos de subida y de bajada tienen su importancia ya que los bordes de entrada y de

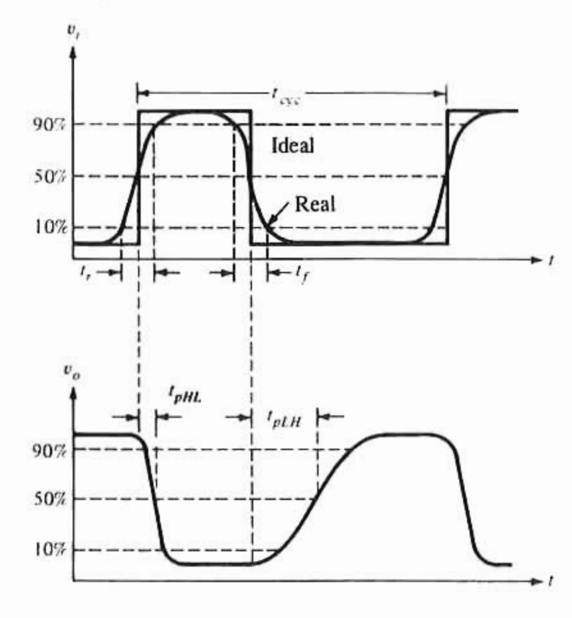


Figura 6-19. Ondas de entrada y de salida en un ciclo, en las que se ve el tiempo de subida, el de bajada, el de un ciclo y el retardo de propagación.

salida de la señal se emplean frecuentemente para excitar otros circuitos. (Esto es particularmente significativo en cuestiones de temporización y sincronización que se verán en el Capítulo 8.)

El retraso de propagación t_p es la diferencia entre los momentos en que las tensiones de entrada y de salida están al 50% de su valor. Observemos que debido a que las transiciones de $V(0)$ a $V(1)$ y de $V(1)$ a $V(0)$ no son necesariamente iguales, los tiempos de demora difieren entre sí y muchas veces se designan añadiendo los subíndices *HL* y *LH*. Así, t_{pHL} y t_{pLH} son los retrasos de transmisión de alta a baja y de baja a alta respectivamente.

La onda rectangular de la Fig. 6-19 representa una señal de entrada ideal con una transición instantánea ($t_r = 0$) en el momento en que la señal real alcanza el 50% de su valor. Esta entrada permite calcular el retraso de propagación (Sec. 6-5) con más realidad que partiendo de la señal de entrada real. Como se indica en la misma figura los términos t_{pHL} y t_{pLH} son solamente valoraciones de la respuesta de la salida a los impulsos rectangulares de entrada.

El tiempo necesario para que un circuito lógico realice dos transiciones sucesivas (de forma que vuelva a su estado original) constituye el tiempo de un ciclo señalado t_{cy} en la Fig. 6-19. Muchas veces este tiempo se expresa por su inversa la frecuencia f_{CK}. Normalmente los sistemas digitales operan con tiempos de ciclo del orden de 20 a 50 veces mayor que el retraso de propagación de la puerta.

Frecuentemente se utiliza el producto *retraso-potencia* (a veces llamado impropiamente de velocidad-potencia) para comparar entre sí puertas lógicas: no es más que simplemente el producto del retraso de propagación por la disipación de potencia de la puerta. No obstante, como dos realizaciones de circuito lógico distintas pueden tener el mismo producto, muchas veces el diseñador tiene que decidir si para la aplicación que se pretende es más importante la rapidez de la actuación o el bajo consumo de potencia. Generalmente los fabricantes especifican los valores corrientes de t_p y P_{av}.

6-5. EL INVERSOR NMOS

La familia lógica NMOS es una de las cuatro tecnologías más usadas para formar circuitos digitales. El único componente utilizado en la fabricación es el transistor NMOS que se puede usar tanto como interruptor gobernado que como resistencia. El poco espacio ocupado por cada transistor en el chip junto con la sencilla configuración del circuito hacen que el circuito NMOS tenga la más alta densidad de componentes. Esta gran densidad es aprovechada en los sistemas integrados a muy gran escala (*VLSI*) en donde por ahora domina la tecnología NMOS. Si bien los circuitos lógicos NMOS no se encuentran en el mercado en encapsulados integrados a pequeña y mediana escala (SSI y MSI) como sucede en las otras tres familias lógicas que trataremos, hemos preferido comentar esta familia en primer lugar porque su comportamiento se asemeja al de la simple combinación de interruptor y resistencia de la Fig. 6-1.

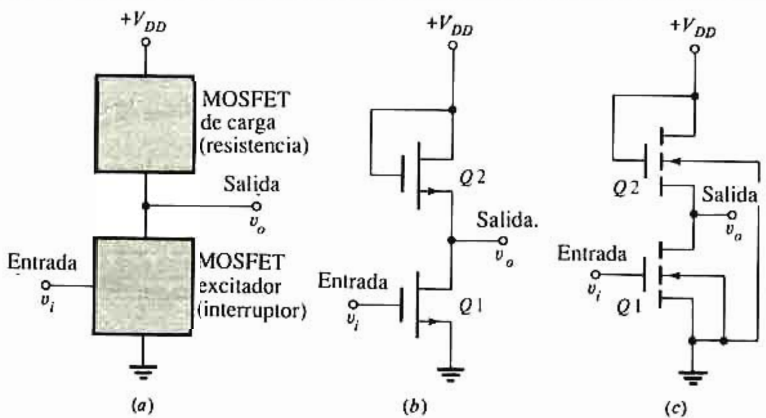


Figura 6-20. Inversor MOSFET: (*a*) estructura básica, (*b*) esquema del circuito con carga, (*c*) el circuito de (*b*) en el que se indican las conexiones del sustrato.

La carga saturada

La estructura básica de un NMOS inversor es la representada en la Fig. 6- 20*a*. El excitador es un dispositivo de acumulación, siendo posibles varias formas de resistencia de carga. Una de estas cargas emplea un transistor de acumulación (Fig. 6-20b) cuyas conexiones del sustrato pueden verse en la Fig. 6-20*c*. Este circuito fue analizado en el Ejemplo 4-2 para el caso en que $V_{DD} = 6$ V estando ambos transistores caracterizados por $k = 20\ \mu A/V^2$, $V_T = 2$V y $W/L = 1$. La característica de resistencia, la línea de cargas y la característica de transferencia dadas en las Figs. 4-23*b*, 4-24 y 4-25 se repiten para mayor comodidad en la Fig. 6-21. Recuérdese que la característica de resistencia (Fig. 6-21*a*) es I_{D2} en función de $V_{GS2} = V_{DS2}$. La línea de carga se construye a partir de las leyes de Kirchhoff, es decir, que $I_{D1} = I_{D2}$, y $V_{DS1} = V_{DD}$-V_{DS2}.

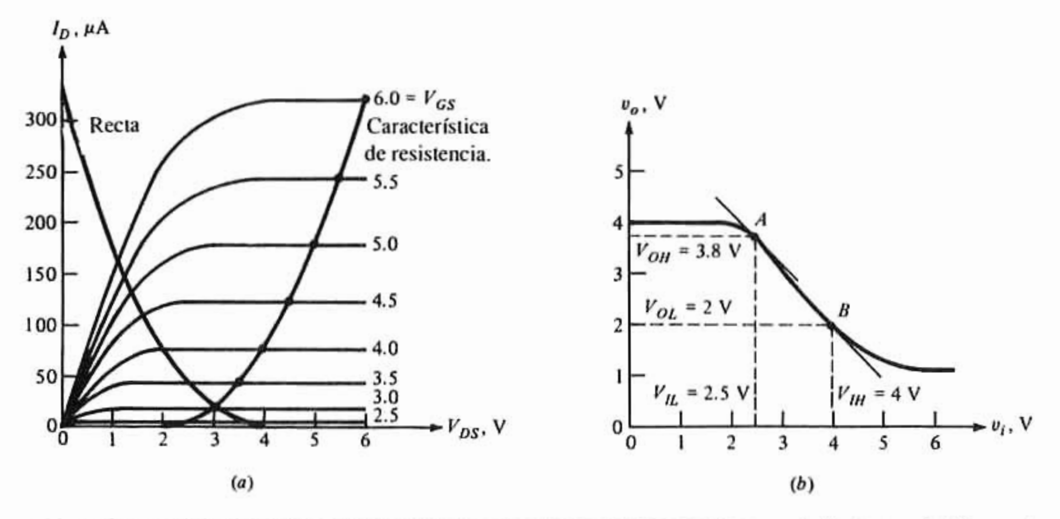


Figura 6-21. (*a*) Característica de resistencia no lineal y recta de carga para una carga de acumulación (saturada). Tanto el excitador como la carga tienen la misma relación de aspecto (W/L = 1). (*b*) Característica de transferencia del inversor. En los puntos A y B la pendiente es igual a uno.

La característica de transferencia (Fig. 6-21*b*) es la representación gráfica de $v_o = V_{DS1}$ en función de $v_i = V_{GS1}$ para cada punto de la recta de carga.

En los puntos A y B la pendiente de la curva es igual a la unidad[2] y con ellos se determinan $V_{OH} = 3{,}8$ V, $V_{OL} = 2$ V, $V_{IL} = 2{,}5$ V y $V_{IH} = 4$ V.

Es evidente que la forma de la característica de transferencia de la Fig. 6-21*b* no se puede comparar favorablemente con la ideal de la Fig. 6- 14*a*. De hecho el funcionamiento de este circuito es inaceptable ya que el margen de ruido (NM_H) es negativo (V_{OH}- V_{IH} = 3,8-4,0 = -0,2 V).

En este circuito sólo se pueden ajustar tres parámetros: el factor k, V_T y la relación W/L. Se puede demostrar (problemas 6-31 y 6-33) que las variaciones de k y de V_T influyen poco o nada sobre el comportamiento del circuito. Sin embargo se puede mejorar considerablemente alterando la relación W/L del transistor de carga. Esto queda demostrado en el ejemplo 6-4.

Ejemplo 6-4

El MOSFET excitador tiene $W/L = 1$, pero el de carga de la Fig. 6-20*b* se cambia de forma que $W/L = 1/4$.

[2] Para hallar estos puntos de pendiente unidad se puede utilizar una escuadra de 45°

Tanto $Q1$ como $Q2$ tienen $k = 20\ \mu A/V^2$ y $V_T = 2$ V. La tensión de alimentación es $V_{DD} = 6$ V. (*a*) Esbozar la característica de transferencia; (*b*) determinar el margen de ruido.

Solución

(*a*) En la Fig. 6-21*a* se han trazado las características de $Q1$. Las de $Q2$ se dan también en la misma figura salvo que la escala de I_D debe multiplicarse por la relación $W/L = 1/4$. La característica de carga viene dada por I_{D2} en función de V_{DS2} para $V_{GS2} = V_{DS2}$. Los correspondientes valores aparecen en la siguiente tabla

$V_{DS2} = V_{GS2}$ (V)	2.0	2.5	3.0	3.5	4.0	4.5	5.0	5.5	6.0
I_{D2} (μA)	0	1.25	5.0	11.3	20.0	31.3	45.0	61.3	80.0

Esta resistencia de carga nos lleva a la línea de carga de la Fig. 6-22*a*, basada en $I_{D1} = I_{D2}$ y $V_{DS1} = V_{DD}$-V_{DS2}. La característica de transferencia de la Fig. 6-22*b* ($v_o = V_{DS1}$ en función de $v_i = V_{GS1}$) se deduce de la línea de carga.

(*b*) En la Fig. 6-22*b* están señalados aproximadamente los puntos de la característica de transferencia con pendiente unidad, que quedan identificados por V_{OH} = 3,9 V, V_{OL} = 0,9 V y V_{IH} = 3,6 V, V_{IL} = 2,1 V. Valiéndonos de la Ec. (6-29) tendremos:

$$NM_H = 3.9 - 3.6 = 0.3 \text{ V} \qquad \text{y} \qquad NM_L = 2.1 - 0.9 = 1.2 \text{ V}$$

La característica de transferencia de la Fig. 6-22*b* se aproxima más a la ideal que la de la Fig. 6-21*b* (con *W/L* de $Q2$ = 1). Comparando entre sí las Figs. 6-21*b* y 6-22*b* se ve que si disminuye la relación *W/L*, $V(1)$ y $V(2)$ quedan más claramente definidos y la pendiente en la región de transición es mayor. El efecto de reducir la relación *W/L* se aprecia comparando las líneas de carga de las Figs. 6-21*a* y 6-22*a*. En esta segunda figura, la línea de carga corta más características de salida en la región óhmica de lo que lo hace la de la Fig. 6-21*a*, motivando que la transición entre estados sea más abrupta.

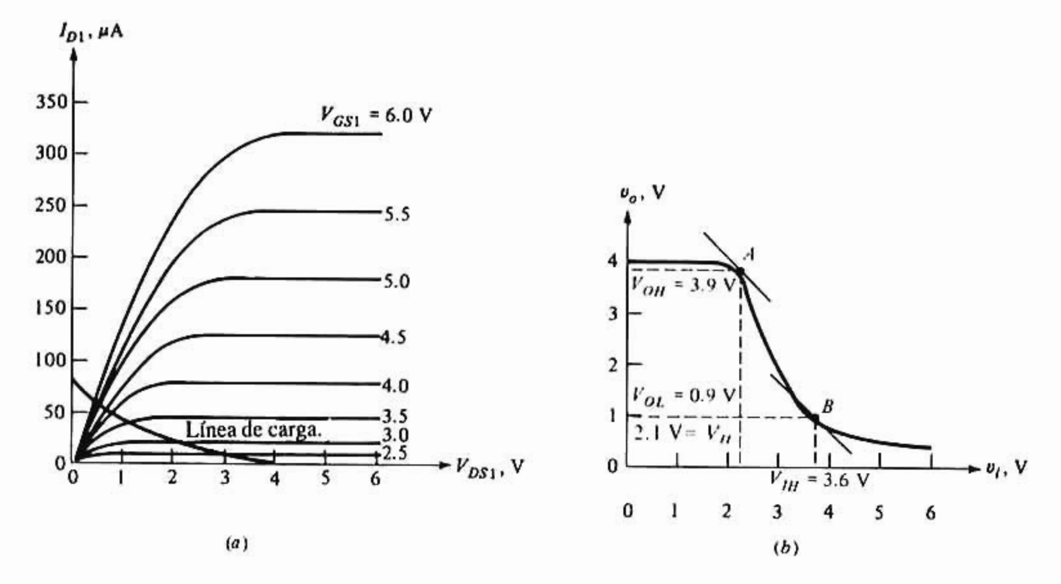


Figura 6-22. (*a*) Línea de carga, y (*b*) característica de transferencia de tensión del inversor del Ejemplo 6-4. La carga de acumulación tiene W/L = 1 siendo la relación de aspecto del excitador igual a la unidad.

Una subsiguiente disminución de la citada relación se traduce en una mejora del margen de ruido y en unos niveles lógicos definidos más abruptamente. Sin embargo esto sólo se puede lograr a expensas de ocupar más área del chip ya que debe incrementarse la longitud de *Q*2. Por tanto, los diseñadores de circuitos deben compaginar la mejora de las prestaciones con la reducción de la densidad de componentes. La práctica indica que relaciones entre 1/4 y 1/5 permiten llegar a soluciones de compromiso aceptables.

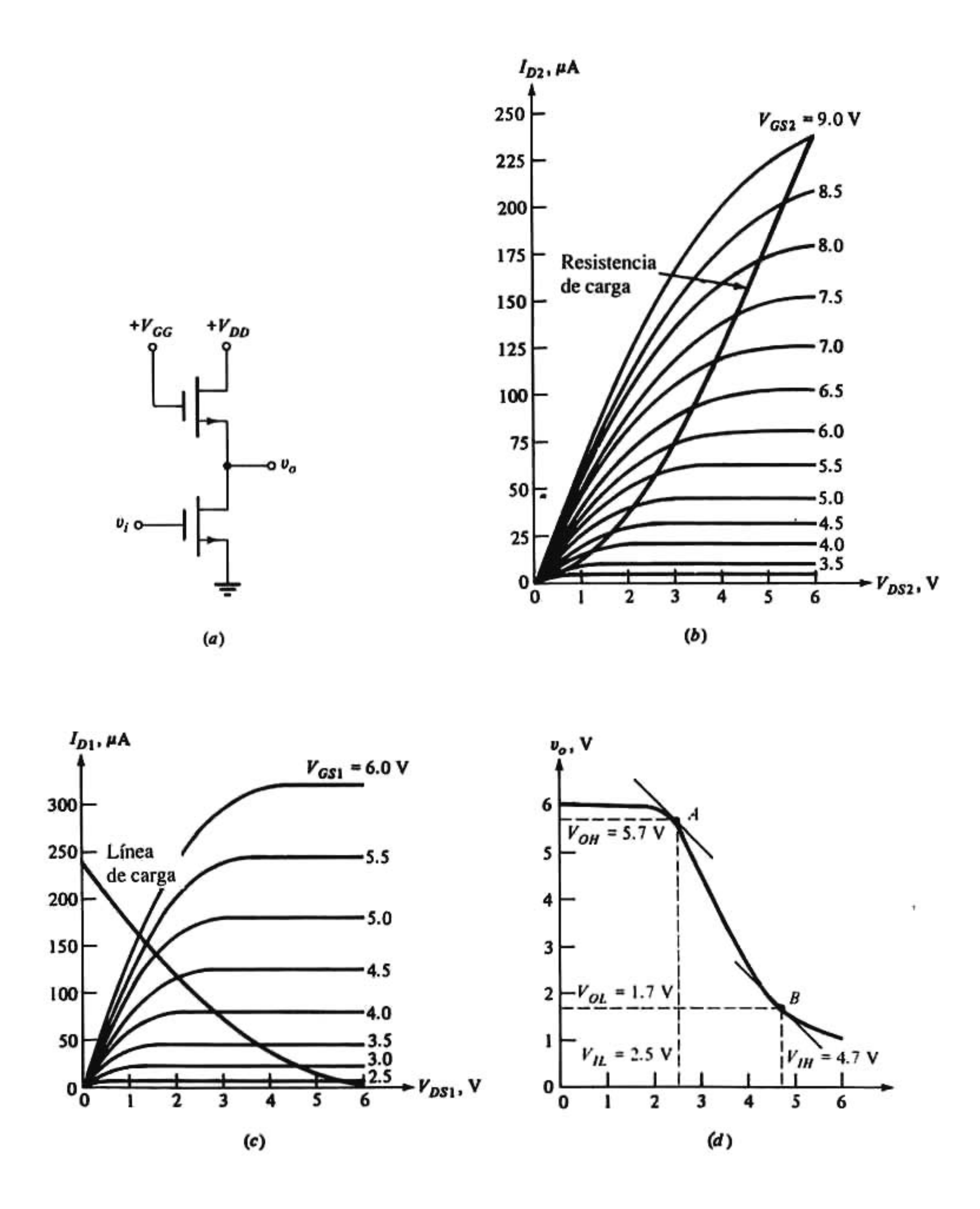


Figura 6-23. (*a*) Un inversor NMOS con carga lineal; (*b*) característica de resistencia de carga; (*c*) línea de carga; (*d*) característica de transferencia de tensión.

Carga lineal (no saturada)

Existe una segunda técnica para mejorar las prestaciones de un NMOS inversor, que consiste en emplear una resistencia de carga lineal (óhmica o no saturante). De lo visto en la Sección 4-7 se deduce que un MOSFET trabajará en la región óhmica si

$$V_{GS} - V_{DS} > V_T \tag{6-30}$$

En la Fig. 6-23*a* la puerta de $Q2$ está conectada a una fuente separada $V_{GG} = 9$ V. Aplicando la ley de Kirchhoff al lazo G_2-S_2-D_2-tierra-G_2 tendremos:

$$V_{GS2} - V_{DS2} + V_{DD} - V_{GG} = 0 \tag{6-31}$$

por tanto $$V_{GS2} - V_{DS2} = V_{GG} - V_{DD} = 9 - 6 = 3 \text{ V},$$

y con $V_T = 2$ V, se cumple la Ec. (6-30) de forma que $Q2$ se ve obligado a trabajar en su región lineal.

Consideremos el inversor de la Fig. 6-23 en el que $Q1$ tiene las características representadas en la Fig. 6-21*a* y $Q2$ las de la Fig. 6-23*b*. De la Ec. (6-31) se deduce

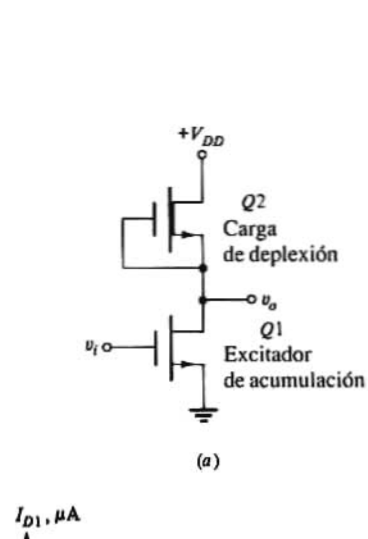
$$V_{DS2} = V_{GS2} - 3 \tag{6-32}$$

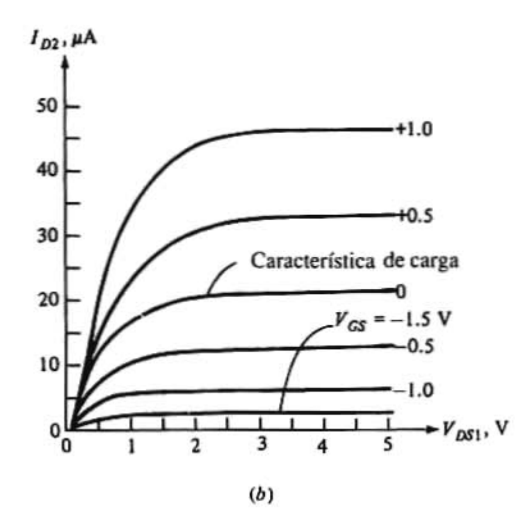
Para cada valor de V_{GS2} de la Fig. 6-23*b*, se determina V_{DS2} mediante la Ec. (6-32). La corriente I_{D2} para cada par de valores V_{GS2} y V_{DS2} se coloca sobre V_{DS2} resultando la característica de carga de la Fig. 6- 23*b*. Obsérvese que puesto que $Q2$ opera en su región óhmica, la característica de carga es casi lineal. En la Fig. 6-23*c* se ha trazado la línea de carga partiendo de $V_{DS1} = 6 - V_{DS2}$ e $I_{D1} = I_{D2}$. La característica de transferencia resultante ($v_o = V_{DS1}$ en función de $v_i = V_{GS1}$) puede verse en la Fig. 6-23*d*. Esta curva se parece mucho más a la característica ideal que la de carga de acumulación. Obsérvese que eligiendo V_{GG} mayor que V_{DD} en por lo menos V_T, $V(1) \approx V_{DD}$. Los márgenes de ruido son $NM_H = 5{,}7\text{-}4{,}7 = 1$ V y $NM_L = 2{,}5\text{-} 1{,}7 = 0{,}8$ V. El mayor inconveniente de usar la carga lineal es que se necesitan dos suministros de tensión distintos. Muchos sistemas, tanto analógicos como digitales, han de trabajar con una sola fuente por diversas razones (coste, tamaño, disponibilidad o disipación de potencia, etc.).

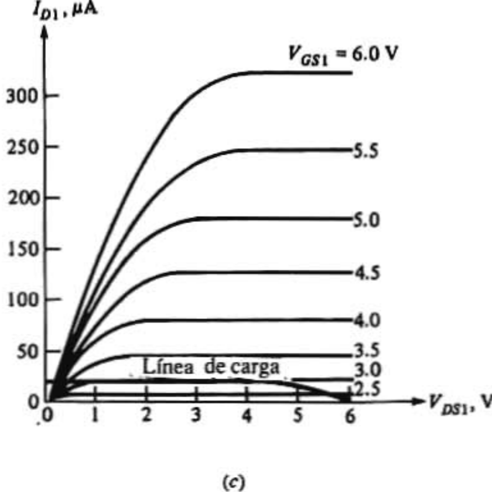
La carga de deplexión

El empleo de un transistor de carga NMOS de deplexión (Fig. 6-24) es una tercera forma de mejorar la actuación de un inversor. Esta configuración aparece por primera vez en la Fig. 4-29*a* y se hace uso de ella en el Ejemplo 4-4. Las características de deplexión de $Q2$ se muestran en la Fig. 4-29*b* repitiéndose para mayor comodidad en la Fig. 6-24*b*. El MOSFET de acumulación $Q1$ es el mismo que se emplea en otros inversores comentados en esta Sección (Fig. 6-23*c* o 6-24*c*). Procediendo como en el Ejemplo 4-4 se obtienen la línea de carga de la Fig. 6-24*c* y la característica de transferencia de la Fig. 6-24*d*. Como con la carga lineal, $V_o(1) \simeq V_{DD}$ pero $V_o(0)$ es de tan sólo de unas pocas décimas de volt. Obsérvese que la curva de transferencia se aproxima mucho a la característica ideal. Los márgenes de ruido conseguidos son $NM_H = 2{,}4$ V y $NM_L = 2{,}1$ V.

A pesar de que para fabricar dispositivos de deplexión y de acumulación en un solo chip se requieren pasos adicionales en el proceso, la gran mejora obtenida en su funcionamiento hace que esta configuración se emplee mucho en los circuitos lógicos NMOS actuales.







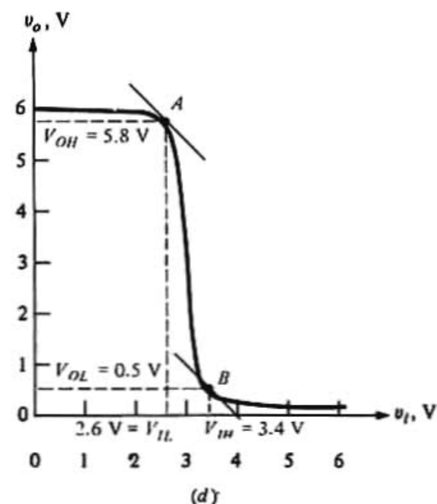


Figura 6-24. Inversor NMOS con carga de deplexión: (*a*) Configuración del circuito; (*b*) característica tensión- corriente de deplexión; (*c*) línea de carga; (*d*) característica de transferencia.

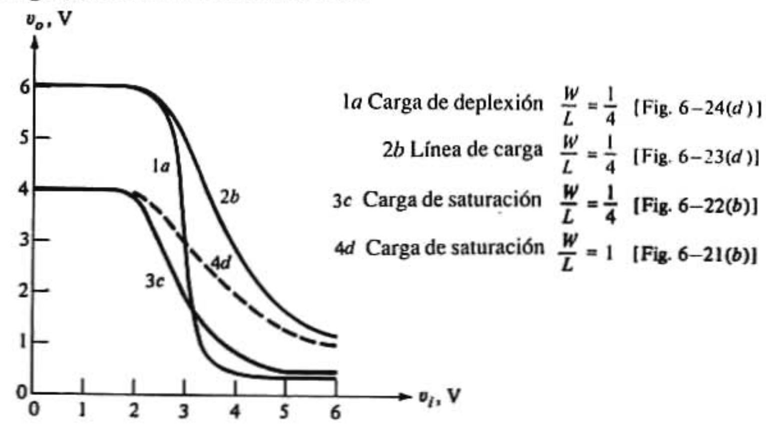


Figura 6-25. Comparación entre las características de transferencia de tensión en un inversor NMOS con dos cargas de acumulación distintas, una carga lineal y una carga de deplexión.

Resumen

Los tres métodos empleados para mejorar la actuación de un inversor son: reducir la relación *W/L*, utilizar una carga lineal (no saturante), y emplear una carga de deplexión. En la Fig. 6-25 están representadas las características de transferencia de cada uno de los cuatro casos presentados en esta sección. Estas curvas demuestran claramente que la carga de deplexión (curva 1*a*) es la técnica más eficaz.

6-6. RETARDO DE PROPAGACIÓN DE UN INVERSOR NMOS

El retardo de la propagación depende de la rapidez con que se cargan y descargan las capacidades del MOSFET y de las cargas del circuito durante la transición entre dos estados. En relación con el propio dispositivo existen las capacidades de puerta-drenaje, drenaje-sustrato y fuente- sustrato. (Si éstos no están conectados entre sí.) Además, el óxido relativamente grueso introduce capacidades «laterales» con cada uno de los elementos del dispositivo. (Véase la Fig. 5-2 y obsérvese que la capa metalizada, el óxido y ya sea la puerta, el drenaje o la fuente constituyen las tres capas de un condensador.) Todas las capacidades del dispositivo son dependientes de la tensión haciéndose necesario un cálculo simulado para obtener resultados ajustados. Para los cálculos manuales pueden sumarse todos los efectos capacitivos para formar un único condensador total C_{tot} como en la Fig. 6-26*a*.

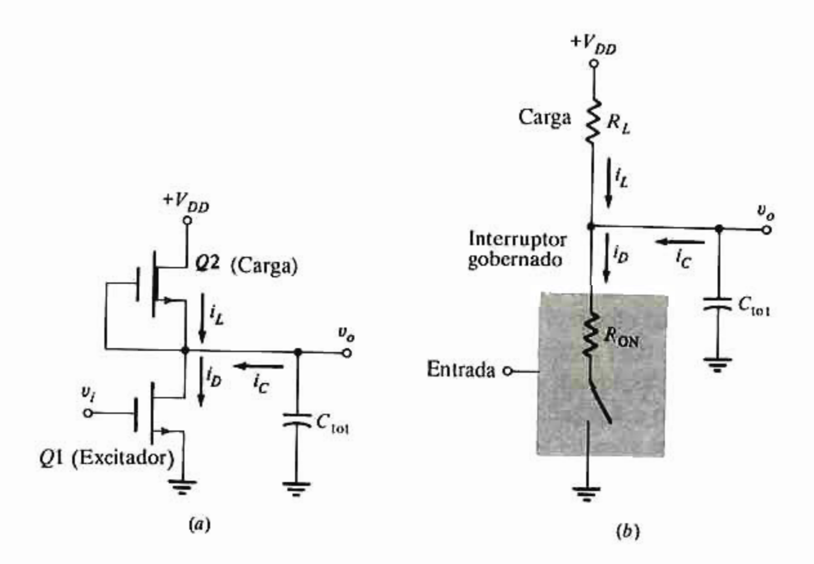


Figura 6-26. (*a*) Inversor NMOS de carga de deplexión, con carga capacitiva. (*b*) Representación del circuito equivalente.

El inversor en su forma más simple consta de un interruptor gobernado, una resistencia de carga R_L y una capacidad equivalente C_{tot} (Fig. 6-26*b*). Puesto que el elemento de conmutación no es ideal se incluye la resistencia R_{ON} durante el intervalo en que *Q*1 está en conducción. Cuando *Q*1 está en corte (OFF) se supone que el interruptor abierto tiene resistencia infinita. Consideremos que la entrada esté en *V*(0) de forma que $v_o = V(1) = V_{DD}$; así C_{tot} queda cargado a V_{DD}. Ahora, en el momento t=0 se cierra el interruptor debido a una transición instantánea de la entrada de *V*(0) a *V*(1). La salida debe hacer la transición contraria y C_{tot} descargarse hacia *V*(0). En la Fig. 6-26*b* está representado el circuito equivalente para $t \geq 0$ con el interruptor cerrado (R_{ON} conectada a tierra). El condensador se descargará hacia $V(0) = R_{ON}\ V_{DD}/\ (R_{ON} +$

R_L) con una constante de tiempo $\tau_{HL} = C_{tot} R_{ON}R_L/(R_{ON} + R_L)$.[3] La onda de salida para $v_o(t)$ es la de la Fig. 6- 27*a*. El retardo de propagación t_{pHL}, como se ve en la misma figura, es el tiempo que transcurre para que v_o caiga desde $V(1)$ hasta V' [media entre $V(1)$ y $V(0)$]. Obsérvese que

$$V' = V(0) + \tfrac{1}{2}[V(1) - V(0)] = \tfrac{1}{2}[V(1) + V(0)] \tag{6-33}$$

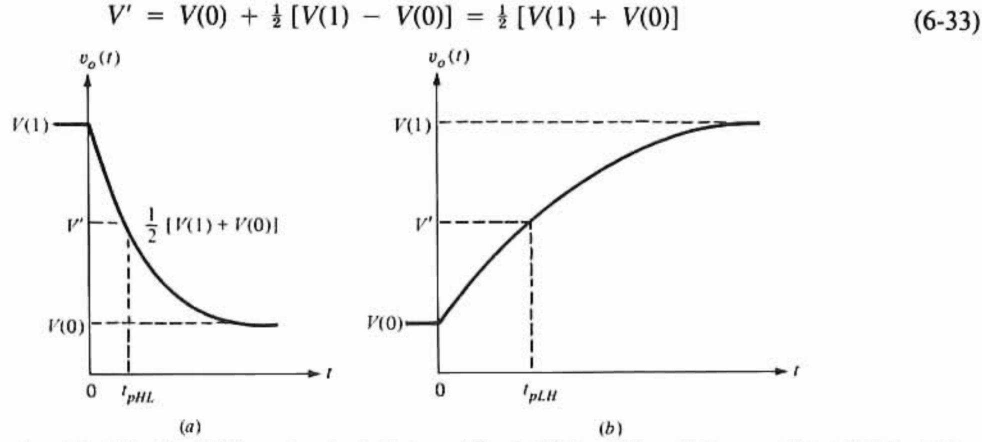


Figura 6-27. Ondas de salida de la Fig. 6-26*b* mostrando: (*a*) la transición de V(1) a V(0), y (*b*) la transición de V(0) a V(1).

El circuito equivalente para la transición de ON a OFF es el representado en la Fig. 6-26*b* con el interruptor abierto y con $v_o = V(0)$ en el instante $t = 0$. El condensador se irá cargando exponencialmente desde V(0) hacia V(1) con una constante de tiempo $\tau_{HL} = C_{tot} R_L$ como indica la Fig. 6-27*b*. Como $R_L \gg R_{ON}$, $\tau_{LH} \gg \tau_{HL}$ y por tanto $t_{pLH} \gg t_{pHL}$.

Si R_L y R_{ON} fueran constantes, t_{pLH} y t_{pHL} podrían calcularse a partir de las expresiones analíticas de las curvas exponenciales de la Fig. 6-27. Sin embargo, puesto que estas resistencias no son lineales (varían con la tensión) para calcular el retardo de propagación se emplea un método aproximado más simple. Seguidamente veremos esa forma de cálculo basada en la cuantía de la carga transferida a (o desde) C_{tot}.

En una transición de $V(1)$ a $V(0)$ la corriente disponible para descargar C_{tot} es $i_C = i_D - i_L$ (Fig. 6-26). Esta corriente varía con el tiempo, y designaremos el valor medio de i_C con I_{av}. Durante un intervalo de tiempo Δt la variación de carga en C_{tot} es $|I_{av}|\,\Delta t$. Si durante este intervalo de tiempo la variación de la tensión de salida es Δv_o la variación de carga vendrá dada también por $C_{tot}\,\Delta v_o$, de donde

$$|I_{av}|\Delta t = C_{tot}\,\Delta v_o \tag{6-34}$$

con $\Delta t = t_{pHL}$, de la Fig. 6-27*a*, $\Delta v_o = [V(1)-V(0)]/2$ y de la Ec. (6-34)

$$t_{pHL} = \frac{C_{tot}}{2\,|I_{av}|}[V(1) - V(0)] \tag{6-35}$$

El valor de I_{av} se obtiene calculando $i_C = i_D - i_L$ medido a V_{OH} y a $V' = (V_{OH} + V_{OL})/2$ y promediando ambos valores. Así pues

$$I_{AV} = \tfrac{1}{2}[(i_D - i_L)|_{V_{OH}} + (i_D - i_L)|_{V'}] \tag{6-36}$$

Ejemplo 6-5

Determinar t_{pHL} para el circuito inversor de la Fig. 6-24*a*. Supóngase que $C_{tot} = 0{,}2$ pF y que la señal de entrada tiene $V(0) = 0{,}3$ V y $V(1) = 6$ V.

[3] Para comprobar estos resultados basta el equivalente de Thèvenin de la parte del circuito que contiene R_{ON}, R_L y V_{DD}.

Solución

Para calcular t_{pHL} véase en la Fig. 6-24*d* que la salida está en $V_{OH} = V_{DSI} = 5{,}8$ V y que la entrada ha cambiado a $V(1) = V_{GSI} = 6$V. Para este par de valores se obtiene la corriente $i_D = 320$ mA de la Fig. 6-24*c*. Para el transistor de carga, cuando $V_{DSI} = 5{,}8$ V, $V_{DS2} = V_{DD}\text{-} V_{DSI} = 6\text{-}5{,}8 = 0{,}2$ V. Las características de carga del MOSFET de la Fig. 6-24*b* señalan que $i_L = i_{D2} = 5\ \mu A$ con $V_{DS2} = 0{,}2$ V y $V_{GS2} = 0$.

A la tensión *V'* del 50% [Ec. (6-33)] $V_{DSI} = V'_o = (5{,}8 + 0{,}5)/2 = 3{,}15$ V y V_{GSI} se mantiene en 6 V. Correspondiéndose con este par de tensiones tendremos (Fig. 6-24*c*) $i_D = i_{DI} = 310\ \mu A$. De la característica de carga de la Fig. 6-24*b*, en la que $V_{GS2} = 0$ y $V_{DS2} = 2{,}85$ V tendremos $i_L = I_{D2} = 20\ \mu A$. Y así, de la Ec. (6-36) se obtiene

$$I_{av} = \frac{(320 - 5) + (310 - 20)}{2} = 303\ \mu\text{A}$$

y la Ec. (6-35) da

$$t_{pHL} = \frac{0.2 \times 10^{-12}\,(5.8 - 0.5)}{2 \times 303 \times 10^{-6}} = 1.75 \text{ ns}$$

Haciendo un cálculo análogo (probl. 6-40) para el retardo de propagación, ya que la salida sube cuando la entrada cambia bruscamente de *V*(1) a *V*(0), obtendremos $t_{pLH} = 26{,}5$ ns. Obsérvese que tal como era de esperar $t_{pLH} \gg t_{pHL}$. El análisis seguido en el Ejemplo 6-5 es sólo aproximado, pero concuerda bastante bien (≈ 25%) con el cálculo con simulador.

6-7. PUERTAS LÓGICAS NMOS

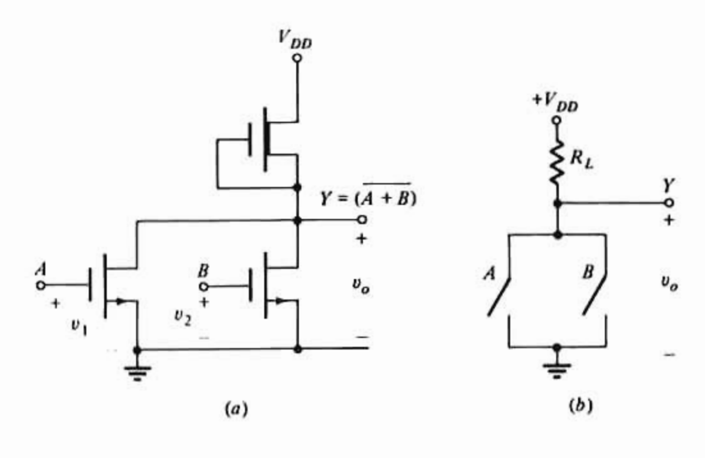
Los inversores de la Sección 6-5 se pueden modificar para formar puertas NAND y NOR empleando múltiples excitadores alimentando una sola carga. El circuito de la Fig. 6-28*a* es una puerta NOR de dos entradas (fan-in2) consiste en dos excitadores NMOS de acumulación idénticos y una carga de deplexión. Como inversor ideal este circuito se comporta en forma análoga al de la Fig. 6-28*b* en el que los interruptores están abiertos con entradas *V*(0) y cerrados con entrada *V*(1). En consecuencia si una cualquiera de las entradas, o ambas, de la Fig. 6-28*b* está en *V*(1) queda cerrado un interruptor y $v_o = V(0) = 0$. La salida *Y* es $V(1) = V_{DD}$ sólo si las dos entradas *A* y *B* están a *V*(0) (ambos interruptores abiertos).

En el circuito real NOR de la Fig. 6-28*a*, una o más señales de entrada mayores o iguales a V_{IH} hacen que la salida sea menor o igual a V_{OL}. Sólo cuando ambas entradas estén por debajo de V_{IL} tendremos $v_o \geq V_{OH}$. En la Fig. 6-16 los valores de las tensiones de salida y de entrada se designan: $V_o(1) \geq V_{OH}$, $V_o(0) \leq V_{OL}$, $V_i(1) \geq V_{IH}$, y $V_i(0) \leq V_{IL}$. Empleando estas notaciones, la lógica NOR queda expuesta en la tabla de la verdad de la Fig. 6-28*c*.

Cabe aumentar el número de entradas (fan-in) colocando excitadores adicionales en paralelo. El máximo número de ellos viene limitado por la corriente que el MOSFET de carga puede tolerar y por los efectos de la carga de la entrada (tal como C_{tot}).

La puerta NAND de la Fig. 6-29*a* se ha formado conectando en serie los excitadores y la carga. La Fig. 6-29*b* es el equivalente idealizado y la Fig. 6-29*c* es la tabla de la verdad. En la Fig. 6-29*b* sólo hay corriente si ambos interruptores están cerrados, es decir que tanto *A* como *B* deben estar en lógica 1 para que la salida sea *V*(0) = 0. Cualquier otra combinación de entradas dará una corriente nula en R_L y en consecuencia $v_o = V_{DD}$ e *Y* = 1. La puerta NAND NMOS de la Fig. 6-29*a* dará *Y* = 0, lo que corresponde a $v_o \leq V_{OL}$ sólo si *A* y *B* son 1 (tensiones de entrada mayores o iguales a V_{IH}).

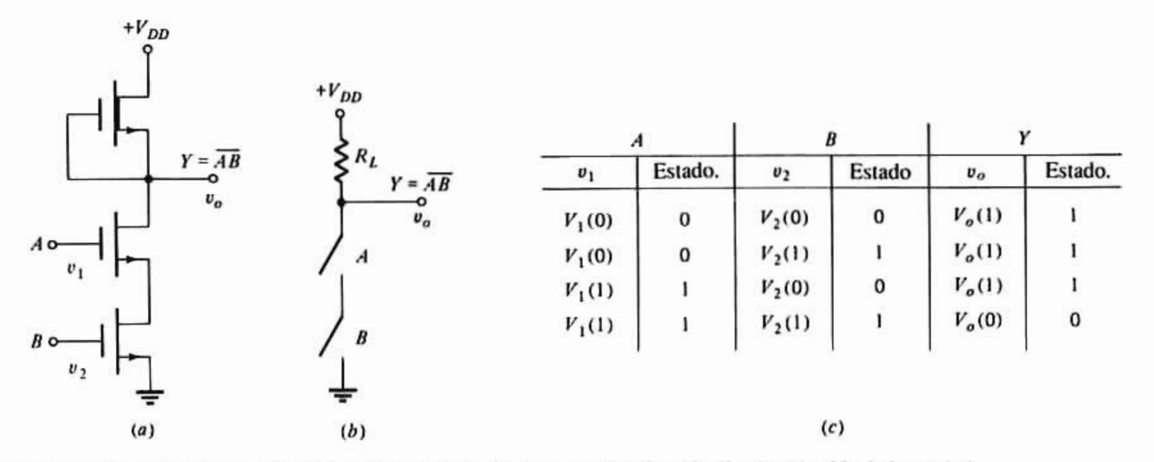
Obsérvese que cuando uno o los dos excitadores están en corte se consume muy poca potencia en cualquier circuito, pero si los dos están en conducción la disipación de potencia estática ya no es



A		B		Y	
v_1	Estado	v_2	Estado	v_o	Estado
$\leq V_{IL}$	0	$\leq V_{IL}$	0	$\geq V_{OH}$	1
$\leq V_{IL}$	0	$\geq V_{IH}$	1	$\leq V_{OL}$	0
$\geq V_{IH}$	1	$\leq V_{IL}$	0	$\leq V_{OL}$	0
$\geq V_{IH}$	1	$\geq V_{OL}$	1	$\leq V_{OL}$	0

(c)

Figura 6-28. (*a*) Puerta NOR NMOS; (*b*) su representación idealizada; (*c*) tabla de la verdad.



A		B		Y	
v_1	Estado.	v_2	Estado	v_o	Estado.
$V_1(0)$	0	$V_2(0)$	0	$V_o(1)$	1
$V_1(0)$	0	$V_2(1)$	1	$V_o(1)$	1
$V_1(1)$	1	$V_2(0)$	0	$V_o(1)$	1
$V_1(1)$	1	$V_2(1)$	1	$V_o(0)$	0

(c)

Figura 6-29. (*a*) Puerta NAND NMOS de dos entradas; (*b*) su representación idealizada; (*c*) tabla de la verdad.

despreciable. La puerta NAND consume potencia sólo durante una de las cuatro condiciones de entrada posibles, mientras que la puerta NOR disipa potencia durante tres de los cuatro estados. Sin embargo, la NOR aventaja a la NAND en que todos los terminales de fuente de los excitadores están conectados a tierra. Esta conexión permite que cada sustrato quede conectado directamente a su terminal de fuente facilitando la fabricación.

Una importante particularidad en la fabricación de circuitos NMOS es el hecho de que requiere un solo transistor de carga independientemente del número de sus entradas, lo que influye notablemente sobre la densidad de componentes alcanzable. Además, aun cuando la relación *W/L* del MOSFET de deplexión

necesita más área de la ocupada por cada excitador, ello no representa un aumento significativo de la superficie total del chip ya que sólo se necesita un transistor de carga.

Las configuraciones de circuitos MOSFET comentadas en esta sección son una forma de *lógica de transistor directamente acoplado* (DCTL) que ya fue tratada al desarrollar los circuitos lógicos bipolares. Otro ejemplo de DCTL empleando MOSFET es la puerta AOI (AND-OR- INVERT) que se verá en la Sección 7-1.

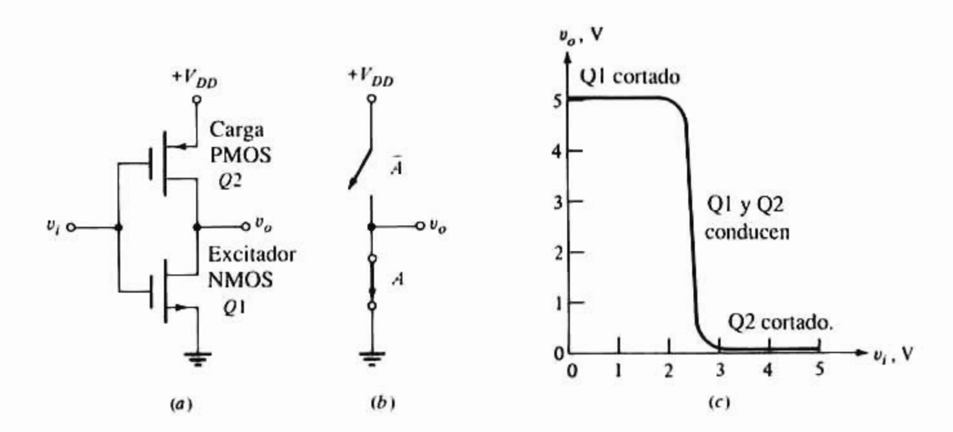


Figura 6-30. (*a*) Diagrama de circuito de un inversor CMOS; (*b*) su representación equivalente de interruptores; (*c*) característica de transferencia de tensión del sistema en (*a*) con V_{DD} = 5 V y tensiones umbral de 2 V(Q1) y -2 V(Q2)

6-8. EL INVERSOR CMOS

Los circuitos digitales complementarios metal-óxido-semiconductor son muy empleados por tener la ventaja de virtualmente no tener ninguna disipación de potencia estática en ninguno de los dos estados de lógica 1 o 0. El inversor básico CMOS, descrito ya en la Sección 4-15 tiene la configuración de la Fig. 6-30. El excitador NMOS y la carga PMOS conectados en serie son dos transistores de acumulación. Sus drenajes están unidos y la señal de salida se toma en este nudo. La señal de entrada se aplica simultáneamente a ambos dispositivos en el terminal común de puerta formado al conectar entre sí ambas puertas. La tensión de entrada v_i varía entre $V(0) = 0$ y $V(1) = V_{DD}$. Cuando $v_i = 0$ tendremos $V_{GS1} = 0$ y $Q1$ está en corte (OFF) mientras que $V_{GS2} = -V_{DD}$ y el PMOS $Q2$ está en conducción (ON). No obstante, puesto que los dos FET están en serie, la corriente en $Q2$ es igual a la de $Q1$ (I_{D1} - I_{D2} = 0) aun cuando la tensión de puerta tenga un valor que teóricamente provocaría la conducción. En otras palabras: $Q2$ opera en el origen de la característica de salida del PMOS correspondiendo a una tensión de puerta $V_{GS2} = -V_{DD}$. Puesto que $V_{DS2} = 0$ se deduce que $v_0 = V_{DD}$. Se ha cumplido la inversión porque $v_o = V(1)$ cuando $v_i = V(0)$.

Supongamos ahora que $v_i = V_{DD} = V_{GS1}$; entonces $Q1$ está en conducción, pero $Q2$ con $V_{GS2} = 0$ está en corte. Por tanto $I_{D1} = -I_{D2} = 0$ y $Q1$ trabaja en el origen de la característica de drenaje del NMOS independiente de V_{GS1}. Ya que la tensión a través de $Q1$ es cero, $v_o = 0$. Nuevamente se llega a la propiedad del NOT; $v_0 = V(0)$ cuando $v_i = V(1)$. En cualquier estado lógico $Q1$ o $Q2$ está en OFF y la disipación de potencia en reposo es teóricamente nula. En realidad, esa potencia es igual al producto de las corrientes de fuga en OFF por V_{DD} lo que supone unos pocos nanowatt por puerta.

De los razonamientos anteriores podemos deducir que el circuito de la Fig. 6-30*b* es análogo al funcionamiento de un CMOS. Como siempre ha de haber un interruptor abierto, no existirá corriente alguna entre la tensión de alimentación y tierra y por tanto también la potencia será nula. En una situación ideal la conmutación es instantánea sin consumo de potencia dinámica. En el próximo párrafo demostraremos que en la práctica la potencia dinámica no es cero.

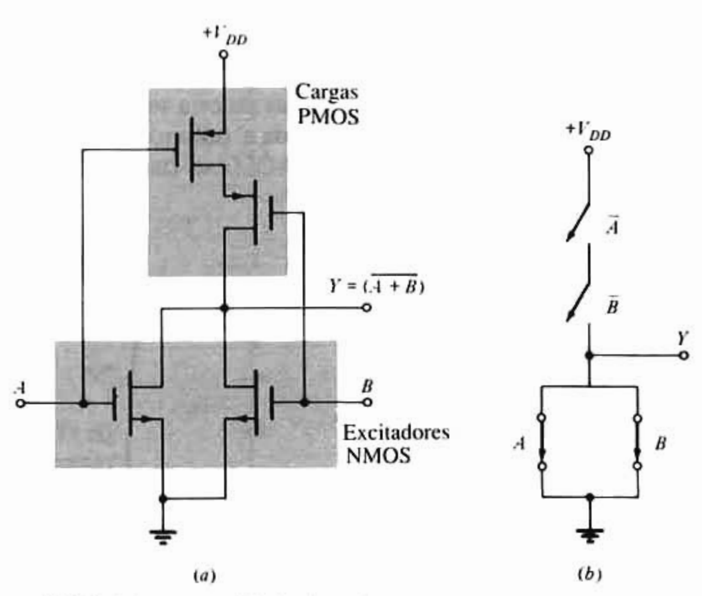


Figura 6-31. Puerta NOR CMOS: (*a*) esquema del circuito; (*b*) representación ideal.

Consideremos el circuito de la Fig. 6-30*a* en el que $V_{DD} = 5$ V, *Q*1 tiene $V_T = 2$ V, y *Q*2 tiene $V_T = -2$ V. Supongamos que el factor de procesado *k* y la relación *W*/*L* sean las mismas para el PMOS y el NMOS. De nuestros anteriores razonamientos deducimos que con $v_i \leq 2$ V, *Q*1 está en corte y con $V_{GS2} \leq -3$ V, *Q*2 está en conducción. La tensión de salida en estas condiciones es $v_o = V_{DD} = 5$V. Análogamente con $v_i \geq 3$ V, $V_{GS2} \geq -2$ V, cortando *Q*2 y pasando *Q*1 a conducción de forma que la salida sea *V*(0) = 0 V. Sin embargo, creciendo v_i desde cero en el espacio $2 < vi < 3$ V estarán los dos dispositivos conduciendo con $I_{D1} = -I_{D2}$ y decreciendo v_0 desde 5 a 0 V. En $v_i = 2{,}5$ V, $v_0 = V_{DD}/2 = 2{,}5$ V como se ve en la característica de transferencia de la Fig. 6-30*c*. Obsérvese que la curva de esta figura se acerca mucho a la característica del inversor ideal de la Fig. 6-14*a*. Con los dos dispositivos en conducción durante la transición entre estados($2 < v_i < 3$ V) circula una corriente en el circuito consumiéndose potencia dinámica. Frecuentemente esto es un factor significativo en los sistemas integrados a pequeña escala de tecnología CMOS. En general en un sistema digital se pretende una alta velocidad de acción, lo que corresponde a un tiempo de ciclo corto t_{cyc} y una frecuencia alta f_{CK}, (Fig. 6-19). La disipación de potencia dinámica aumenta y muy frecuentemente se necesita una puerta lógica para los cambios de estado. La potencia media consumida por una puerta CMOS es proporcional a la frecuencia f_{CK}.

6-9. PUERTAS LÓGICAS CMOS

Las puertas NAND y NOR complementarias metal-óxido- semiconductor pueden formarse a partir del inversor básico casi en la misma forma que con la tecnología NMOS. Sin embargo, la principal diferencia estriba en que cada excitador NMOS requiere su propia carga PMOS[4]. En consecuencia los integrados no tienen tanta densidad de componentes como los circuitos NMOS.

La puerta NOR

En la Fig. 6-32*a* está representado un circuito CMOS NOR de dos entradas, y en la Fig. 6-32*b* la representación mediante interruptores ideales. Los excitadores están conectados en paralelo (como en el

[4] En la Sección 9-5 se estudia una forma de circuito CMOS en el que se reduce el número de PMOS de carga.

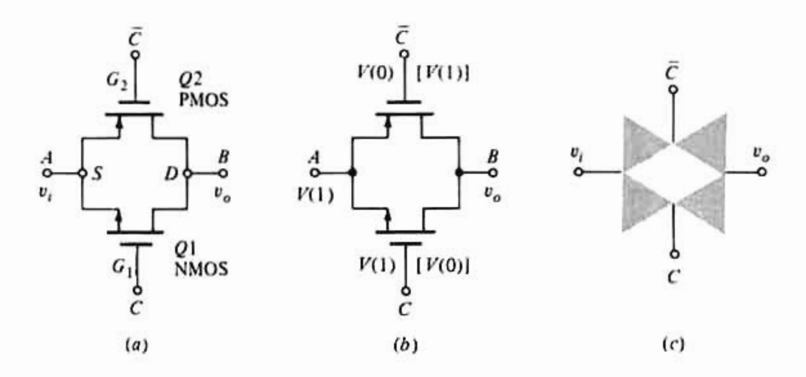


Figura 6-32. (*a*) Puerta de transmisión CMOS; (*b*) la tensión de entrada es V(1) y la de gobierno se considera V(1) al principio, y luego V(0); (*c*) símbolo del circuito.

NMOS) pero las cargas lo están en serie. La necesidad de esta disposición se hace evidente al analizar el circuito de la Fig. 6-31*b*. Con cualquiera de los dos *A* y *B* en lógica 1, la salida queda puesta a tierra. No existe ningún camino entre el nudo de salida y el suministro de potencia V_{DD}. Si tal camino existiera haría que $v_o = V_{DD}$ en contradicción con la ley de Kirchhoff. Poniendo las cargas en serie si una o las dos entradas están en 1 uno o los dos interruptores de carga permanecen abiertos. Y análogamente, si ambas entradas están en *V*(0) ambos interruptores están cerrados abriendo un camino desde la salida hasta V_{DD}.

La puerta NAND

La puerta CMOS NAND se forma conectando en serie los excitadores y en paralelo las cargas. Esta configuración aparece en el Problema 6-48.

La puerta de transmisión

La configuración del MOSFET complementario de la Fig. 6-32*a* actúa como puerta de transmisión (digital o analógica) gobernada por las tensiones complementarias $\bar{C}$ y *C*. Consideremos una lógica positiva con dos niveles lógicos *V*(0) y *V*(1). Supongamos que $C = 1$ de forma que $v_{G1} = V(1)$ y $v_{G2} = V(0)$ como en la Fig. 6-32*b*. (Prescindamos por ahora de los valores entre corchetes). Si $A = V(1)$, entonces $v_{GS1} = V(1) - V(1) = 0$ y *Q*1 está en OFF. Pero $|v_{GS2}| = V(1) - V(0) > V_T$ y v_{GS2} es negativo motivando que el PMOS *Q*2 entre en conducción. Puesto que no hay ninguna tensión de drenaje aplicada *Q*2 trabaja en la región óhmica en donde $v_{DS2} \approx 0$. Dicho de otra forma: *Q*2 actúa como una pequeña resistencia conectando la salida con la entrada y $B = V(1) = A$. De forma similar se puede demostrar que si $A = V(0)$ entonces *Q*2 está en OFF mientras que *Q*1 conduce y $B = V(0) = A$.

Consideremos el caso en que $C = 0$ de forma que $v_{G1} = V(0)$ y $v_{G2} = V(1)$ como indican los valores entre corchetes de la Fig. 6-32*b*. Si la entrada es *V*(1) como se indica, entonces v_{GS1} es negativa y el NMOS *Q*1 es OFF y $v_{GS2} = 0$ estando *Q*2 también cortado. Como ninguno de los dos FET conduce, tenemos un circuito abierto entre entrada y salida y por tanto queda inhibida la transmisión a través de la puerta. Si la entrada es *V*(0) nos encontraremos otra vez con que ambos dispositivos están cortados. En resumen, si $C = 1$ la puerta transmite la entrada a la salida de forma que $B = A$ mientras que si $C = 0$ no hay posibilidad de transmisión.

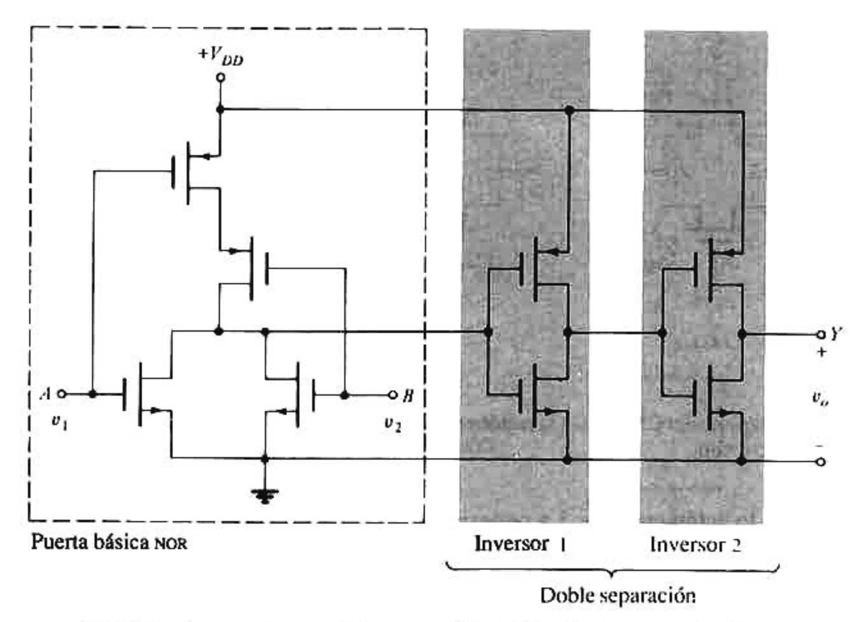


Figura 6-33. Puerta NOR CMOS de dos entradas con doble separación debida a los inversores 1 y 2.

La *n* del PMOS está unida a $V(1)$, la más alta tensión positiva del circuito, y el sustrato *p* del NMOS a $V(0)$, la tensión más negativa. El símbolo de una puerta de transmisión es el representado en la Fig. 6-32*c*. El control *C* es binario (sólo puede tener uno de los dos valores), pero la entrada v_i puede ser o bien digital, como se ha visto en párrafos anteriores, o bien una señal analógica cuyos valores instantáneos han de estar entre $V(0)$ y $V(1)$. Por ejemplo, una señal de entrada senoidal con $V(0) = -5$ V y $V(1) = +5$ V (y cuyo valor de pico no supere los 5 V) aparecerá en la salida si $C = 1$ ($v_{GI} = +5$ V), pero no se transmitirá a través de la puerta si $C = 0$ ($v_{GI} = -5$ V).

Familias lógicas CMOS

Los circuitos lógicos complementarios de metal-óxido-semiconductor se pueden adquirir en el mercado como subsistemas de integración a pequeña y a gran escala. Las familias lógicas CMOS son las de las series 4000B, 74C y 74HC estando todas ellas fabricadas con puertas de polisilicio. Los circuitos de estas series pueden operar a tensiones de alimentación tan bajas como 3 V o tan altas como 20 V, una circunstancia que proporciona al diseñador una considerable flexibilidad. Cuando trabaja con una alimentación a 5 V, cada salida es capaz de estimular una entrada de una puerta TTL de la serie 74LS (esta serie será tratada en la Sección 6-13).

La Fig. 6-31*a* corresponde a la estructura básica de la puerta NOR en esta familia lógica. Las salidas de estas puertas están doblemente separadas, es decir, que la salida de la puerta básica constituye la entrada al primero de un par de inversores en cascada como se ve en la Fig. 6-33. Los inversores en cascada no afectan la función lógica llevada a cabo. Sin embargo, las dimensiones de los MOSFET del inversor 2 son mayores, con lo que su salida es capaz de excitar muchas puertas similares (son corrientes «fan-out» de más de 50). La salida doblemente separada de la Fig. 6-33 también puede alimentar una carga no incluida en el mismo chip que la puerta NOR con mayores capacidades de las conexiones.

La familia de circuitos CMOS más moderna es la serie 74HC que utiliza métodos de fabricación más avanzados para reducir el tamaño del conjunto. En consecuencia el retardo de propagación es menor que el de otras familias CMOS. Esta familia CMOS de alta velocidad también puede excitar la entrada de una

puerta TTL 74LS con retardo de propagación comparable, y al igual que con cualquier circuito CMOS la disipación estática de la puerta es extremadamente poca. Como sea que la característica de transferencia, particularmente con la doble separación, está muy próxima a la del circuito lógico ideal, los márgenes de ruido son amplios y las puertas CMOS gozan de una buena inmunidad ante el ruido.

6-10. EL INVERSOR BJT

El inversor BJT de la Fig. 6-34*a* es simplemente el transistor interruptor descrito en las Secciones 3-5, 3-6 y 3-8. Las características de transferencia pueden deducirse de la siguiente forma:

1. Con $v_i \leq 0{,}5$ V = V_γ, la tensión de corte, (véase tabla 3-1) el BJT está cortado y despreciando I_{CO} la tensión de salida es V_{CC}.

2. El transistor es escasamente conductor cuando v_i es ligeramente superior a 0,5 V y la pequeña corriente de colector que se forma hace decrecer v_0 desde V_{DD} en $I_c R_C$.

3. En la región activa directa, $B_{BE\,(ON)} = 0{,}7$ V e $I_C = \beta_F$ J0I_B, y

$$I_B = \frac{v_i - V_{BE(ON)}}{R_B} \tag{6-37}$$

La tensión de salida viene dada por

$$v_o = V_{CC} - I_C R_C = V_{CC} - \frac{\beta_F R_C}{R_B}[v_i - V_{BE(ON)}] \tag{6-38}$$

Entonces, según la Ec. (6-38) v_o decrece con v_i

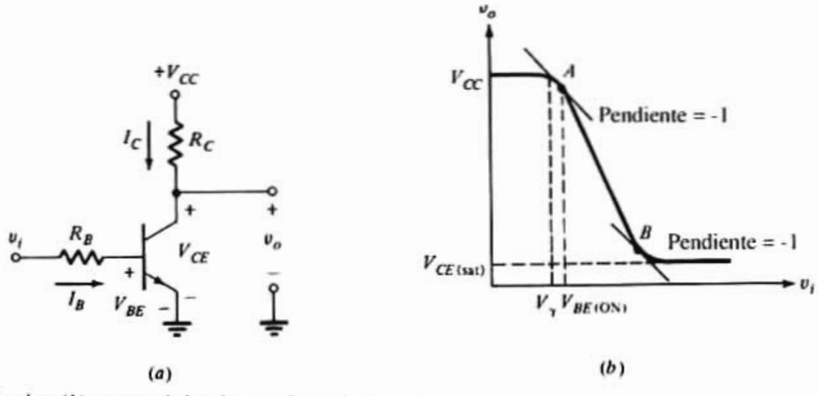


Figura 6-34. (*a*) Circuito; (*b*) característica de transferencia de un inversor BJT.

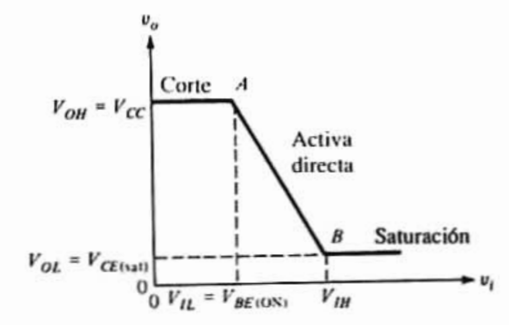


Figura 6-35. Representación con trazos rectos de la característica de transferencia de un inversor BJT.

4- El crecimiento continuado de v_i satura ligeramente el transistor y $v_o = 0{,}3$ V. Con $v_o = 0{,}3$ V puede hallarse v_i por la Ec. (6-38) e I_B de la Ec. (6-37).

5. Un posterior aumento de v_i satura fuertemente el transistor y $v_o = V_{CE\,(sat)} = 0{,}2$ V.

La característica de transferencia resultante puede verse en la Fig. 6- 34*b*. En esta misma figura se han señalado los puntos de pendiente -1 de forma que se pueden determinar V_{OH}, V_{OL}, V_{IL} y V_{IH}. Observemos que $V_{OH} \simeq V_{CC}$ y V_{IL} vale aproximadamente $V_{EB\,(ON)} = 0{,}7$ V. Obsérvese asimismo que V_{OL} es, también aproximadamente, $V_{CE\,(sat)} = 0{,}2$ V siendo V_{IH} el valor de v_i correspondiente a $v_o = 0{,}2$ V obtenido de la Ec. (6-38). Basándonos en estas observaciones frecuentemente es conveniente representar la característica de transferencia como en la Fig. 6-35. Los tres segmentos rectos representan el estado del circuito cuando el BJT está en las regiones de corte, activa directa y saturación. Los valores de V_{OH}, V_{IL}, V_{OL} y V_{IH} se deducen de los dos puntos de quiebro *A* y *B*. El punto *A* representa la transición desde corte a activa directa, mientras que en *B* el transistor está en el límite de saturación. La característica aproximada de la Fig. 6-35 da suficiente precisión para los cálculos manuales obteniéndose resultados más ajustados de los cálculos simulados.

La característica de la Fig. 6-35, con valores de $V_{OL} = 0{,}2$ V y $V_{IL} = 0{,}7$ V da unos márgenes de ruido algo optimistas. Los diseños más conservadores parten de $V_{OL} = 0{,}3$ V (V_{CE} en el borde de saturación) y $V_{IL} = 0{,}5$ V, la tensión de corte. El valor de V_{IH} puede regularse ajustando R_B o R_C. Con un valor de R_C dado, la reducción de R_B hace que el BJT se sature con un valor más bajo de v_i [véase Ec. (6-38)]. El mismo efecto se consigue aumentando R_C con R_B fijo.

Inversor de transistor Schottky

Para llevar un BJT hasta saturación existe una limitación debida a que el retardo de propagación aumenta al aumentar el tiempo de almacenamiento de portadores minoritarios (ver Sec. 3-8). Este efecto no se da en el MOSFET puesto que el FET es un dispositivo de portadores mayoritarios. Por tanto, el tiempo de almacenamiento no se toma en consideración en las Figs. 6-19 y 6-27. Para evitar la saturación de un transistor bipolar se conecta un diodo Schottky entre la base y el colector como en la Fig. 5-13*a*. A esta combinación se le denomina *transistor Schottky* y se la representa con el símbolo de la Fig. 5-13*c*. En la Sec. 5-3 se describe la fabricación de este dispositivo y se explica el porqué un transistor Schottky no puede llevarse a saturación.

La base de varios de los circuitos TTL más corrientes descritos en las Sec. 6-11 a 6-13 estriba en la mayor velocidad de conmutación que se obtiene con los transistores Schottky.

6-11. LA PUERTA TTL NAND

La tecnología de integración a pequeña escala (SSI) más empleada en las dos últimas décadas (1966-1985) ha sido la de la familia *lógica transistor- transistor* (TTL). La puerta NAND es el bloque constructivo TTL básico, y su desarrollo procede de una anterior familia lógica bipolar integrada llamada *lógica diodo-transistor* (DTL). Como ayuda para el análisis de la puerta NAND TTL puede ser útil el siguiente ejemplo describiendo el circuito NAND DTL.

Ejemplo 6-6

La puerta NAND DTL de lógica positiva de la Fig. 6-36 es esencialmente un circuito AND de diodo (Fig. 2-13) en cascada con un inversor BJT. Las entradas binarias *A*, *B* y *C* tienen niveles lógicos correspondiendo a las salidas *V*(0) y *V*(1) de puertas semejantes. Los parámetros del BJT son: $V_\gamma = 0{,}5$ V, $V_{BE\,(ON)} = 0{,}7$ V, $V_{BE\,(sat)} = 0{,}8$ V y $V_{CE\,(sat)} = 0{,}2$ V. La tensión de corte del diodo es de 0,6 V y cuando conduce la caída de tensión a su través es de 0,7 V. Supóngase que *Q* no está cargado por la etapa siguiente: (*a*) Comprobar que el circuito funciona como puerta NAND para $\beta_F < \beta_{F\,(min)}$. (*b*) Hallar $\beta_{F\,(min)}$. (*c*) ¿Funcionará el circuito si no se emplea *D*2?

Solución

(*a*) Los niveles de salida del inversor BJT (Fig. 6-35) son $V(0) = V_{CE\,(sat)} = 0{,}2$ V y $V(1) = V_{CC} = 5$ V. Si por lo menos una de las entradas está en *V*(0) su diodo conduce y $V_p = 0{,}2 + 0{,}7 = 0{,}9$ V. Puesto que se necesita una tensión de $2 \times 0{,}7 = 1{,}4$ V para que *D*1 y *D*2 conduzcan, estos diodos estarán en corte y $V_{BE} = 0$. Puesto que la tensión de corte de *Q* es $V_\gamma = 0{,}5$ V, *Q* está en OFF, la salida se eleva hasta 5 V e *Y* = 1. Esto confirma las tres primeras líneas de la tabla de la verdad de la NAND de la Fig. 6- 11*b*.

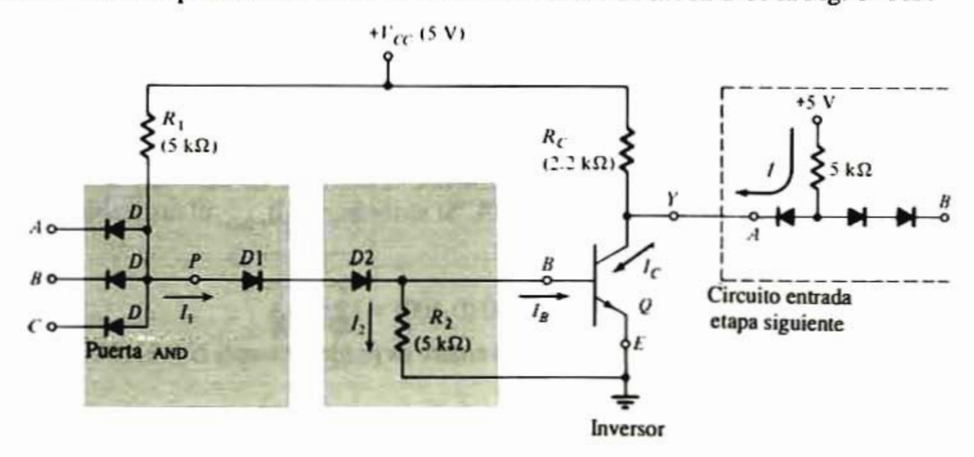


Figura 6-36. Puerta NAND de lógica positiva Transistor-Diodo (DTL).

Si todas las entradas están en $V(1) = 5$ V supondremos que todos los diodos de entrada están en OFF, que *D*1 y *D*2 conducen y que *Q* está en saturación. Si estas condiciones son ciertas, la tensión en *P* es la suma de la caída en los dos diodos más $V_{BE\,(sat)}$ o sea $V_p = 0{,}7 + 0{,}7 + 0{,}8 = 2{,}2$ V. La tensión a través de cada diodo de entrada es 5-2, 2 = 2,8 V en sentido inverso justificando el supuesto de que *D* está en OFF.

Determinemos ahora la corriente de la base de *Q*

$$I_1 = \frac{V_{CC} - V_P}{R_1} = \frac{5 - 2.2}{5} = 0.560 \text{ mA}$$

$$I_2 = \frac{V_{BE(sat)}}{R_2} = \frac{0.8}{5} = 0.160 \text{ mA}$$

$$I_B = I_1 - I_2 = 0.560 - 0.160 = 0.400 \text{ mA}$$

Admitiendo que $\beta_F > \beta_{F\,(min)}$ este valor de I_B satura *Q* y hace que $v_o = V(1) = V_{CE\,(sat)}$ y confirma la última línea de la tabla de la verdad de NAND.

(*b*) El valor de $\beta_{F\,(min.)}$ es $I_{C\,(sat)}/I_B$.

$$I_{C(\text{sat})} = \frac{V_{CC} - V_{CE(\text{sat})}}{R_C} = \frac{5 - 0.2}{2.2} = 2.182 \text{ mA}$$

$$\beta_{F(\min)} = \frac{I_{C(\text{sat})}}{I_B} = \frac{2.182}{0.400} = 5.46$$

Así, con $\beta_F \geq 5{,}46$ el supuesto de que Q está saturado es válido.

(*c*) Si por lo menos una de las entradas está en $V(0)$, entonces $V_P = 0{,}2 + 0{,}7 = 0{,}9$ V. Por tanto, si entre el punto P y la base B hay un solo diodo $D1$, entonces $V_{BE} = 0{,}9\text{-}0{,}6 = 0{,}3$ V representando 0,6 V la tensión de corte del diodo. Puesto que la tensión de corte de la base es $V_\gamma = 0{,}5$ V, teóricamente Q está en corte. Sin embargo, éste no es un diseño verdaderamente conservador, ya que una pequeña punta de ruido (> 0,2 V) pasará Q a ON. Un diseño más conservador emplea tres diodos en serie en lugar de los dos señalados en la Fig. 6-36.

En los comentarios anteriores hemos supuesto, fuera de la realidad, que la puerta NAND no tenía ninguna carga. Si excita N puertas análogas podemos decir que su «fan-out» (salida en abanico) es N. El transistor de salida actúa ahora como «sumidero» de la corriente en la entrada de las puertas que excita. En otras palabras, cuando Q está saturado ($Y = 0$) la corriente de entrada I de una etapa posterior (Fig. 6-36) se suma a la corriente de colector de Q. Supongamos que todos los diodos de entrada a la siguiente etapa (considerada como una fuente de corriente) están altos a excepción del excitado por Q. De esta forma, la corriente en este diodo es $I = (5\text{-}0{,}9)/5 = 0{,}820$ mA. A esta corriente se le denomina carga normal. Ahora la corriente total de colector de Q será $I_C = 0{,}820\text{N} + 2{,}182$ mA, siendo 2,182 mA la corriente de colector descargado hallada en la parte *a* del anterior ejemplo. Siendo la corriente de base casi independiente de la carga, I_B se mantiene a su anterior valor de 0,400 mA. Si atribuimos a $\beta_{F\,(min)}$ el razonable valor de 30, el «fan-out» vendrá dado por

$$I_C = \beta_{F\,(min.)} I_B, \text{ o sea}$$
$$I_C = 0.820N + 2.182 = 30\,(0.400) = 12.0 \text{ mA}$$

de donde $N = 11{,}97$, pero como N ha de ser un número entero es prudente tomar $N = 11$. Naturalmente no debe sobrepasarse la corriente nominal de Q.

El circuito básico TTL NAND que emplea la topología de la puerta DTL puede verse en la Fig. 6-37. Las uniones de emisor del transistor $Q1$ de emisor múltiple de la Fig. 6-37 reemplazan los diodos D del rectángulo de la izquierda de la Fig. 6-36. Además $D1$ está sustituido por la unión de colector de $Q1$. La unión de emisor y la resistencia de emisor R_3 de $Q2$ de la Fig. 6-37 sustituyen a $D2$ y $R2$ de la Fig. 6-36. Ambos circuitos utilizan un inversor de salida ($Q3$ o Q). La explicación del funcionamiento de la puerta TTL es paralela a la del interruptor DTL. Así pués, si por lo menos una de las entradas está en $V(0) = 0{,}2$ V, entonces:

$$V_P = 0{,}2 + 0{,}7 = 0{,}9 \text{ V}.$$

Para que la unión de colector de $Q1$ esté con polarización directa y $Q2$ y $Q3$ estén en ON se necesita que V_P sea de unos $0{,}7 + 0{,}7 = 1{,}4$ V. Por tanto, $Q2$ y$Q3$ están cortados (OFF); la salida sube a $V_{CC} = 5$ V, e $Y = V(1)$. Por otra parte, si todas las entradas están altas (a 5 V) los diodos de entrada (las uniones de emisor) tendrán polarización inversa y V_P sube a V_{CC} y lleva $Q2$ y $Q3$ a saturación. Entonces la salida es $V_{CE\,(sat)} = 0{,}2$ V e $Y = V(0)$ (y V_p queda a unos 1,6 V).

Actuación del transistor de entrada

Las explicaciones dadas en el párrafo anterior suponen que $Q1$ actúe como unos diodos en oposición y no como un transistor. A las mismas conclusiones se llega si se tiene en cuenta el funcionamiento de $Q1$ como transistor.

Condición 1. *Si por lo menos una entrada está baja*, $v_i = 0{,}2$ V. El emisor de $Q1$ tiene polarización directa y suponemos que $Q2$ y $Q3$ están en corte (OFF). La corriente I_{CI} (= I) en el colector P debe ser la corriente desde el emisor a la base de $Q2$. Por tanto I_{CI} es igual a la corriente de saturación inversa del diodo de la unión de emisor de $Q2$. Puesto que esta corriente es sumamente pequeña (unos pocos manoamperios) $I_{BI} \gg I_{CI}/\beta_F$ y $Q1$ está en saturación. La tensión en P es igual a $V_{CE\,(sat)} + v_i = 0{,}2 + 0{,}2 = 0{,}4$ V. Esta tensión es demasiado pequeña para poner $Q2$ y $Q3$ en conducción. Esta argumentación confirma nuestra suposición de que $Q2$ y $Q3$ están cortados, y por tanto $Y = V(1) = V_{CC}$.

Condición 2. *Todas las entradas están altas*. Los emisores de $Q1$ tienen polarización inversa mientras que el colector la tiene directa porque la base de tipo p está conectada a los 5 V positivos de la alimentación (a través de la resistencia de 4 k Ω). Por tanto $Q1$ está operando en el modo inverso (Sec. 3-3). La ganancia de corriente inversa β_R de un transistor integrado es muy poca (<1). La corriente de entrada (ahora la corriente de colector del transistor invertido) es β_R/I_{BI}. La corriente I (ahora la corriente de emisor del transistor invertido) es $-(1 + \beta_R)\, I_{BI}$.Esta fuerte corriente satura $Q2$ y $Q3$ e $Y = V(0)$. Esto concluye la argumentación de que la Fig. 6-37 obedece a la lógica NAND.

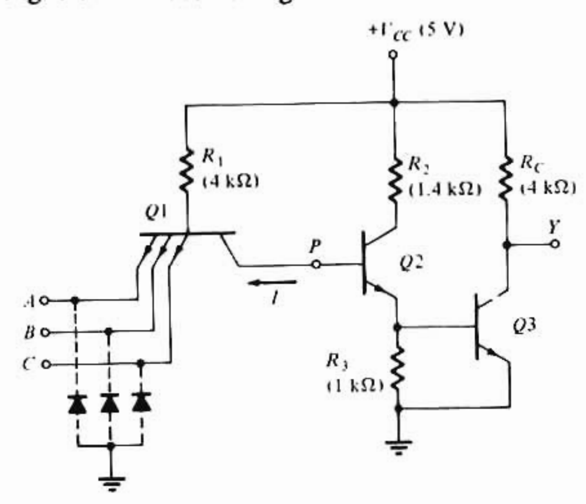


Figura 6-37. Configuración de la puerta básica NAND TTL.

Tiempo de almacenamiento bajo

Vamos a demostrar que debido al funcionamiento como transistor de $Q1$ durante la transición, el tiempo de almacenamiento t (Sec. 3-14) queda muy reducido. Obsérvese que la tensión de base $Q2$, que es igual a la tensión de colector de $Q1$, es de 0,8 + 0,8 = 1,6 V durante la saturación de $Q2$ y $Q3$. Si ahora cualquiera de las entradas cae a 0,2 V, instantáneamente la tensión de la base de $Q1$ pasa a 0,9 V. En este momento la unión de colector se polariza en inverso por 1,6-0,9 = 0,7 V, la unión de emisor está con polarización directa y $Q1$ está en su región activa directa. La elevada corriente de colector I de $Q1$ elimina rápidamente la carga almacenada en $Q2$ y $Q3$. Esta actuación de transistor es lo que le da al TTL una velocidad mayor que la de cualquier otra lógica saturada. Hasta que no se hayan eliminado las cargas de $Q3$ y $Q2$ (de forma que estos transistores se corten) no se saturará $Q1$, como se ha comentado en la 1.ª condición.

Diodos de enganche de entrada

Estos diodos (representados con líneas de trazos en la Fig. 6-37) frecuentemente se colocan entre cada entrada y tierra con el ánodo a tierra. Estos diodos no forman parte del circuito con señales de entrada

positivas, pero limitan a un valor de seguridad las tensiones negativas en la entrada. Estas señales negativas pueden estar motivadas por resonancias entre inductancias parásitas de las conexiones y las capacidades en paralelo.

6-12. ETAPAS DE SALIDA TTL

En los comentarios de la Sec. 6-11 relativos al fan-out se tuvieron en cuenta dos circunstancias: (1) el transistor de salida debe saturarse cuando esté cargado por N puertas, y (2) no debe sobrepasarse la corriente nominal de este transistor. Ahora añadiremos una nueva consideración (dinámica).

En el terminal de salida de la puerta TTL existe una carga capacitiva C_L consistente en las capacidades de los diodos con polarización inversa de las puertas de salida, más cualquier capacidad parásita de las conexiones. Si la resistencia del circuito de colector es R_C, entonces cuando la salida pasa del estado bajo al alto, el transistor de salida se corta y la capacidad se carga exponencialmente desde $V_{CE\,(sat)}$ hasta V_{CC} La constante de tiempo $R_C C_L$ de esta onda puede suponer retardos de tiempo prohibitivos para el funcionamiento de estas puertas.

La etapa en totem

El retardo de salida puede reducirse disminuyendo R_C pero esto aumentaría la disipación de potencia cuando la salida esté en su estado bajo ya que la tensión a través de R_C es V_{CC}- $V_{CE\,(sat)}$. En la Fig. 6-38 se representa una solución mejor, en la que el transistor actúa como un circuito activo, sustituyendo la resistencia pasiva. A esta configuración de salida se le denomina amplificador totem porque el transistor $Q4$ se «asienta» sobre $Q3$. También se le denomina etapa de salida conductora de potencia o separador de potencia.

El transistor $Q2$ actúa como *partidor de fase* ya que la tensión de emisor está desfasada respecto a la de colector (con un aumento de la corriente de la base, aumenta la tensión de emisor y decrece la de colector). Seguidamente vamos a explicar detalladamente el funcionamiento de este circuito excitador refiriéndonos a la puerta TTL de la fig. 6-38.

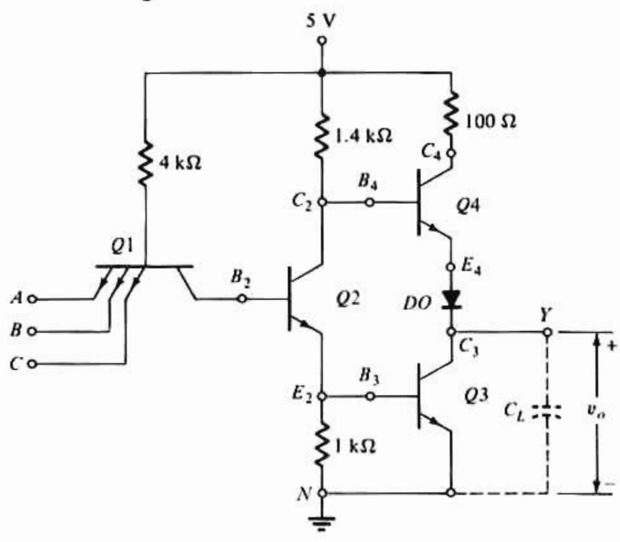


Figura 6-38. Puerta NAND TTL con salida en totem. Q4, DO y 100 Ω proveen la actuación activa.

Cuando $Q2$ y $Q3$ pasan a saturación, la salida está en su estado bajo. Para este estado querríamos que $Q4$ estuviera en OFF ¿lo está? Obsérvese que la tensión de colector de $Q2$ respecto a tierra N viene dada por:

$$V_{CN2} = V_{CE2(sat)} + V_{BE3(sat)} = 0.2 + 0.8 = 1.0 \text{ V}$$

Puesto que la base de $Q4$ está unida al colector de $Q2$ tendremos $V_{BN4} = V_{CN2} = 1{,}0$ V. Si faltara el diodo DO, la tensión base-emisor de $Q4$ sería

$$V_{BE4} = V_{BN4} - V_{CE3(sat)} = 1.0 - 0.2 = 0.8 \text{ V}$$

que pondría $Q4$ en saturación. En estas condiciones la corriente constante a través de él sería

$$\frac{V_{CC} - V_{CE4(sat)} - V_{CE3(sat)}}{100} = \frac{5 - 0.2 - 0.2}{100} \text{ A} = 46 \text{ mA}$$

lo que es excesivo y malgastado. Ahora se ve clara la necesidad de añadir DO. Con él en su lugar, la suma de V_{BE4} y V_{DO} es 0,8 V. Por tanto $Q4$ y DO están ambos cortados. Resumiendo: si C_L está a la tensión alta $V(1)$ y se excita la puerta, $Q4$ y DO se cortan y $Q1$ conduce. Debido a la elevada corriente en su región activa, $Q3$ descarga rápidamente C_L y a medida que v_o se aproxima a $V(0)$, $Q3$ entra en saturación. El transistor $Q3$ de abajo del totem es considerado como un sumidero de corriente que descarga C_L.

Supongamos que estando la salida en $V(0)$ hay un cambio de estado debido a que una de las entradas cae a su estado bajo. Entonces $Q2$ cambia a OFF lo que motiva que $Q3$ se corte ya que V_{BE3} cae a cero. La salida se mantiene momentáneamente en 0,2 V ya que la tensión a través de C_L no puede cambiar instantáneamente. Ahora $Q4$ se satura y DO conduce, como se puede comprobar

$$V_{BN4} = V_{BE4(sat)} + V_{DO} + v_o = 0.8 + 0.7 + 0.2 = 1.7 \text{ V}$$

y las corrientes de base y de colector de $Q4$ serán

$$I_{B4} = \frac{V_{CC} - V_{BN4}}{1.4} = \frac{5 - 1.7}{1.4} = 2.36 \text{ mA}$$

$$I_{C4} = \frac{V_{CC} - V_{CE4(sat)} - V_{DO} - v_o}{0.1} = \frac{5 - 0.2 - 0.7 - 0.2}{0.1} = 39.0 \text{ mA}$$

Por tanto si β_F supera $\beta_{F(min)} = I_{C4}/I_{B4} = 39{,}0/2{,}36 = 16{,}5$, y $Q4$ está en saturación. Se puede decir que $Q4$ es una fuente que suministra corriente a C_L. Mientras $Q4$ se mantenga en saturación, la tensión de salida crece exponencialmente hacia V_{CC} con la constante de tiempo muy pequeña $(100 + R_{CS4} + R_f)\, C_L$, siendo R_{CS4} la resistencia de saturación (Sec. 3-10) de $Q4$ y R_f (de unos pocos ohms) la resistencia directa del diodo. Al aumentar v_o decrece la corriente en $Q4$, que pierde saturación, y finalmente v_o alcanza un valor estable cuando $Q4$ queda cortado. Por tanto, el valor final de la tensión de salida es:

$$v_o = V_{CC} - V_{BE4\,(cortado)} - V_{DO\,(cortado)} = 5 - 0.5 - 0.6 = 3.9 \text{ V} = V(1)$$

Si se suprimiera la resistencia de 100 Ω, el cambio de $V(0)$ a $V(1)$ sería más rápido. Sin embargo se necesita esta resistencia para limitar las puntas de corriente durante los transitorios de cambios de estado. En particular, $Q3$ no pasa a OFF (debido al tiempo de almacenamiento) tan rápidamente como $Q4$ pasa a ON. Si ambos transistores del totem condujeran al mismo tiempo, la tensión de alimentación quedaría cortocircuitada de no existir la resistencia de 100 Ω. El pico de corriente librado por la eliminación durante el transitorio queda limitado a $I_{C4} + I_{B4} = 39 + 2{,}4 = 41{,}4$ mA si se emplea esa resistencia de 100 Ω. Estas

puntas de corriente provocan ruidos en el sistema de distribución de potencia y aumentan el consumo de potencia a altas frecuencias.

Salida de tres estados

Para ampliar las prestaciones de un sistema digital muchas veces se hace necesario combinar entre sí varios chip idénticos (Fig. 7-31). Consideremos un diseño tal que la *n*-ésima salida Y_n corresponda a Y_{n1} del chip 1, a Y_{n2} del chip 2, a Y_{n3} del chip 3, etc. Según sea la lógica especificada se requiere que cualquiera de las Y_{n1}, Y_{n2}, Y_{n3}, etc. (pero sólo una de ellas) aparezca en una salida Y_n. Esto se consigue uniendo entre sí todas las Y_{n1}, Y_{n2}, etc., (conexión OR enlazada) y habilitando sólo el *i*-ésimo chip mientras Y_{ni} deba estar en Y_n. La etapa de salida en totem, TTL, de la Fig. 6-38, modificada para incluir la habilitación puede verse en la fig. 6-39*a* y su correspondiente circuito de salida de colector abierto en la Fig. 6-39*b*.

En la Fig. 6-39*a* si la señal del chip selector o de habilitación (CS) es baja, *D*1 y *D*2 están en OFF y la salida está en estado 1 o en estado 0 según que los datos de entrada sean 0 y 1. No obstante, si CS está alto, *D*1 y *D*2 están ON; estos diodos enganchan *Q*3 y *Q*4 OFF, y la salida *Y* es realmente un circuito abierto. Esta situación conocida como *tercer estado de alta impedancia* permite la conexión OR de las salidas de varios chips. El circuito de la Fig. 6-39*b* funciona en forma similar de tres estados. No obstante los fabricantes designan la configuración de la Fig. 6-39*a* como salida de triple estado (TS) y la de la Fig. 6-39*b* como salida de colector abierto (OC).

La característica de transferencia

La puerta TTL NAND (Fig. 6-38) se convierte en inversor cuando todas las entradas están unidas entre sí. La aproximación lineal a la característica de transferencia del inversor resultante, representada en la Fig. 6-40 difiere de la de la Fig. 6-35 del inversor BJT básico. La siguiente argumentación cualitativa justifica la forma de tal característica (Fig. 6-40). Se deja para el lector la evaluación numérica de los valores críticos de tensión (Probl. 6-66).

Con $v_i < V_{IL}$ tanto *Q*2 como *Q*3 están cortados, *Q*4 en saturación y la salida es *V*(1). En el punto *A*, *Q*2 empieza a conducir. Sin embargo, la corriente producida en *Q*2 es insuficiente para provocar la caída de tensión $V_{EN2} = V_{BE3}$ necesaria para poner *Q*3 en conducción. La disminución de V_{CN2} mantiene a *Q*4 en estado de conducción pero ya no está en saturación y da cuenta de la disminución de v_o. Aumentando v_i, hasta su valor en *B* se aumenta la corriente de emisor en *Q*2 y por tanto *Q*3 pasa a ON. Entre *B* y *C* de la Fig. 6-40, *Q*3 está en su región activa directa y la salida decrece al incrementarse v_i (similar a la región entre *A* y *B* de la Fig. 6-35). Al ir *Q*2 conduciendo más, *Q*3 pasa a saturación y *Q*4 a corte (en el punto *C*), quedando la salida limitada a $V_{CE\,(sat)}$ con $v_i > V_{IH}$.

6-13. FAMILIAS LÓGICAS TTL

La familia lógica TTL original se denominó serie 54/74[5] y usaba el circuito NAND de la Fig. 6-38 (o con la etapa de salida de la Fig. 6-39 incorporada) como bloque constructivo básico. Para aumentar la velocidad se añadieron transistores Schottky llamándose a esta familia serie 74S. El retardo de propagación quedó reducido a un tercio a expensas de duplicar la disipación de potencia. No obstante, el producto

[5] Las series 54 y 74 tienen idénticas características eléctricas. La serie 54 puede operar entre los -55 y + 125 °C mientras que la 74 sólo entre 0 y 70 °C.

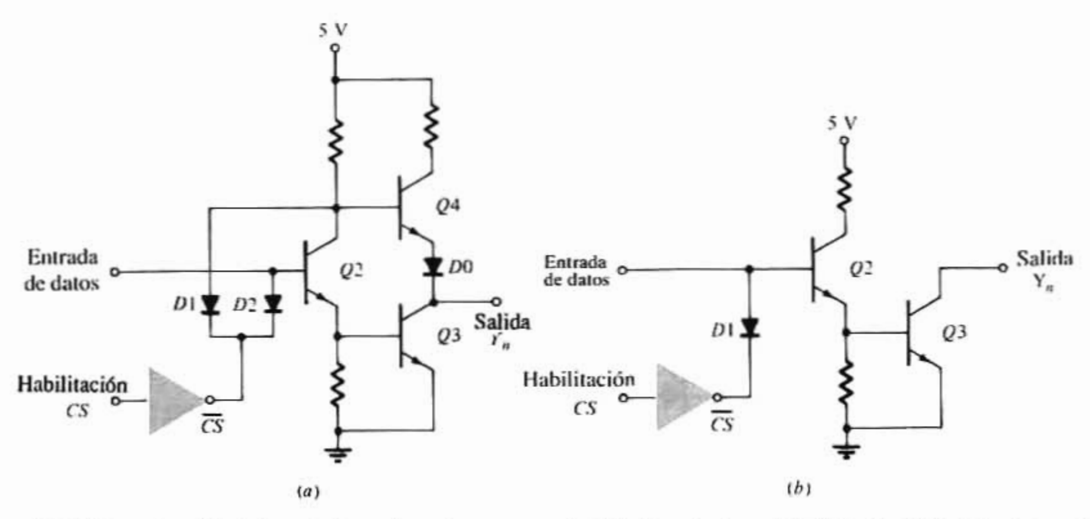


Figura 6-39. Etapas de salida de tres estados gobernadas por una señal del chip selector o de habilitación (CS): (*a*) en totem, (*b*) en colector abierto.

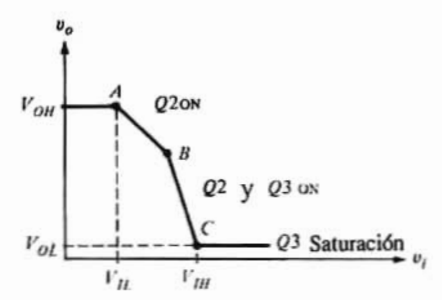


Figura 6-40. Representación con trazos rectilíneos de la característica de transferencia del TTL.

retardo-potencia se mejoró respecto la serie 74. Tanto la serie 74 como la 74S han sido suplantadas por la serie 74LS (Schottky de baja potencia), la 74AS (Schottky avanzada) y la 74ALS (Schottky avanzada de poca potencia).[6]

La serie 74LS es en la práctica (en 1987) la familia normal TTL de uso general, en la que la puerta NAND básica es el circuito de la Fig. 6-41. Su topología es similar a la de la Fig. 6-38 excepto que se han sustituido los BJT por transistores Schottky. En la Fig. 6-41 la designación de los transistores $Q1$ a $Q4$ se corresponde con las numeraciones de la Fig. 6-38. Los transistores con numeración más alta son los que ha habido que añadir. Obsérvese que el transistor de emisor múltiple $Q1$ de la Fig. 6-38 ha sido reemplazado por el circuito AND de diodo Schottky ($D1$, $D2$ y $D3$). La adición de $Q6$ elimina virtualmente el segundo punto de quiebro *B* de la Fig. 6-40 ya que tanto $Q6$ como $Q3$ deben ser conductores para la corriente existente en $Q2$. Además, debido a que ambos $Q6$ y $Q3$ cambian simultáneamente, el punto *A* de la Fig. 6-40 ocurre a tensión de entrada más alta. El quiebro *C* corresponde a una tensión de entrada a la que el transistor $Q3$ está enganchado debido al diodo Schottky. En consecuencia, se reduce la diferencia de tensión entre V_{IL} y V_{IH}.

La inclusión de $Q5$ provee mayores corrientes de carga, cuando la salida es $V(1)$ que la que podría dar $Q4$ solo. Obsérvese que los emisores de $Q4$ y $Q5$ van conectados a la salida (a través de la resistencia de 4 kΩ). Los diodos $D4$ y $D5$ se emplean para aumentar la velocidad en que $Q4$ se corta cuando la salida debe cambiar de $V(1)$ a $V(0)$.

[6] También existen estos circuitos en la serie 54.

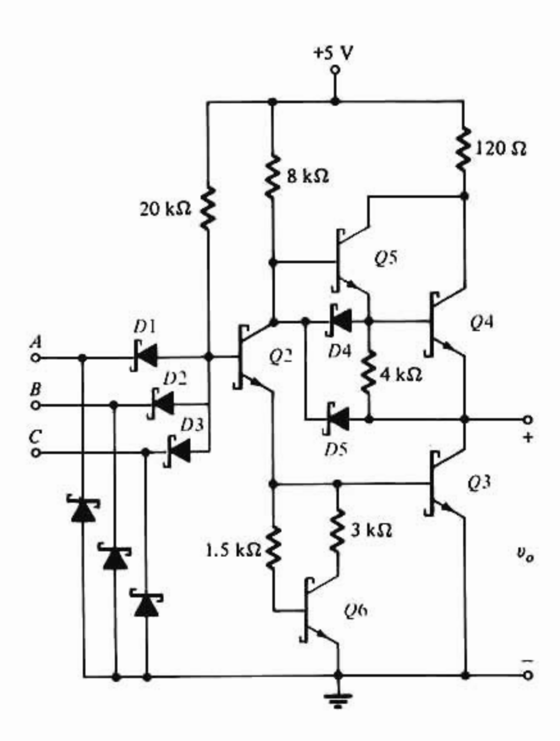


Figura 6-41. Configuración del circuito de la puerta NAND TTL Schottky de baja potencia (serie 54/74 LS). Los elementos representados en tonos más claros reemplazan a los correspondientes en la Fig. 6-38. Los transistores Q5 y Q6 y los diodos D4 y D5 son componentes adicionales. La numeración de los distintos elementos se corresponde con la empleada en la Fig. 6-38.

Puede verse el funcionamiento de baja potencia comparando los valores de las resistencias asociadas con el transistor $Q2$ en las Figs. 6-41 y 6-38. Se puede dividir por 5 la disipación de potencia conseguible con una velocidad comparable.

La puerta NAND 74AS es la más rápida de la serie TTL. Se han hecho intentos para minimizar el retardo de propagación a expensas de la disipación de potencia. La configuración del circuito es semejante a la de la Fig. 6-41 salvo que se emplean resistencias más pequeñas para mejorar la velocidad (menor constante de tiempo) aunque aumenta la disipación de potencia (corrientes más elevadas).

La serie 74ALS se deriva de la 74LS cuyo diseño se utiliza para reducir al mínimo la disipación de potencia. Como el retardo de propagación también se reduce, esta serie tiene el mejor producto retardo-potencia que cualquier otra familia lógica. El consumo de potencia se reduce debido al empleo de resistencias más elevadas y la correspondiente disminución de corriente. La velocidad aumenta por la anexión de elementos activos tales como tres *seguidores de emisor pnp* para reemplazar $D1$, $D2$ y $D3$. (En la Sec. 6-14 demostraremos que la resistencia de salida de un seguidor de emisor es baja, de forma que la constante de tiempo resultante también es pequeña.) La mejora de procesos técnicos permite fabricar dispositivos pequeños que a su vez mejoran las características de velocidad de la serie 74ALS.

6-14. CIRCUITOS LÓGICOS DE EMISOR ACOPLADO

La familia lógica más rápida actualmente disponible es la *lógica de emisor acoplado*. Su velocidad es debida a usar el interruptor de corriente no saturante basado en el par de emisor acoplado (diferencial) descrito en la Sec. 3-12 y cuyo circuito está reproducido en la Fig. 6-42*a*. En esa Sección se demostró que

todas las tensiones y corrientes I_{C1}, I_{C2}, v_{O1} y v_{O2} responden a la diferencia de tensión $v_d = v_1 - v_2$ como se indica en las Figs. 3-38 y 3-39 que por comodidad se han repetido en las Figs. 6-42*b* y *c*. La suma de corrientes $i_{C1} + i_{C2} = \alpha_F I_{EE} \simeq I_{EE}$ para todos los valores de las tensiones de entrada v_1 y v_2. Observemos que a efectos prácticos, con $v_d \geq 4\ V_T = 100$ mV = 0,1 V (a temperatura ambiente), $i_{C1} \simeq I_{EE}$ e $i_{C2} \simeq 0$. La situación es la contraria con v_d negativa siendo $|\ v_d\ | \geq 4\ V_T$. Aquí $Q1$ está virtualmente cortado y toda la corriente está en $Q2$. Si seleccionamos v_2 para que sea una tensión fija de referencia V_R, entonces cuando la señal de entrada $v_i = v_I$ cambie de $V_R + 0{,}1$ a V_R-0,1 la corriente I_{EE} cambiará de Q_1 a Q_2. La variación de v_I desde V_R-0,1 a $V_R + 0{,}1$ volverá a pasar la corriente de $Q2$ a $Q1$. Mientras estos transistores $Q1$ y $Q2$ estén en conducción $(-0{,}1 < v_d < 0{,}1)$ están en su región activa directa y uno cualquiera de ellos está virtualmente cortado si v_d está fuera de estos límites.

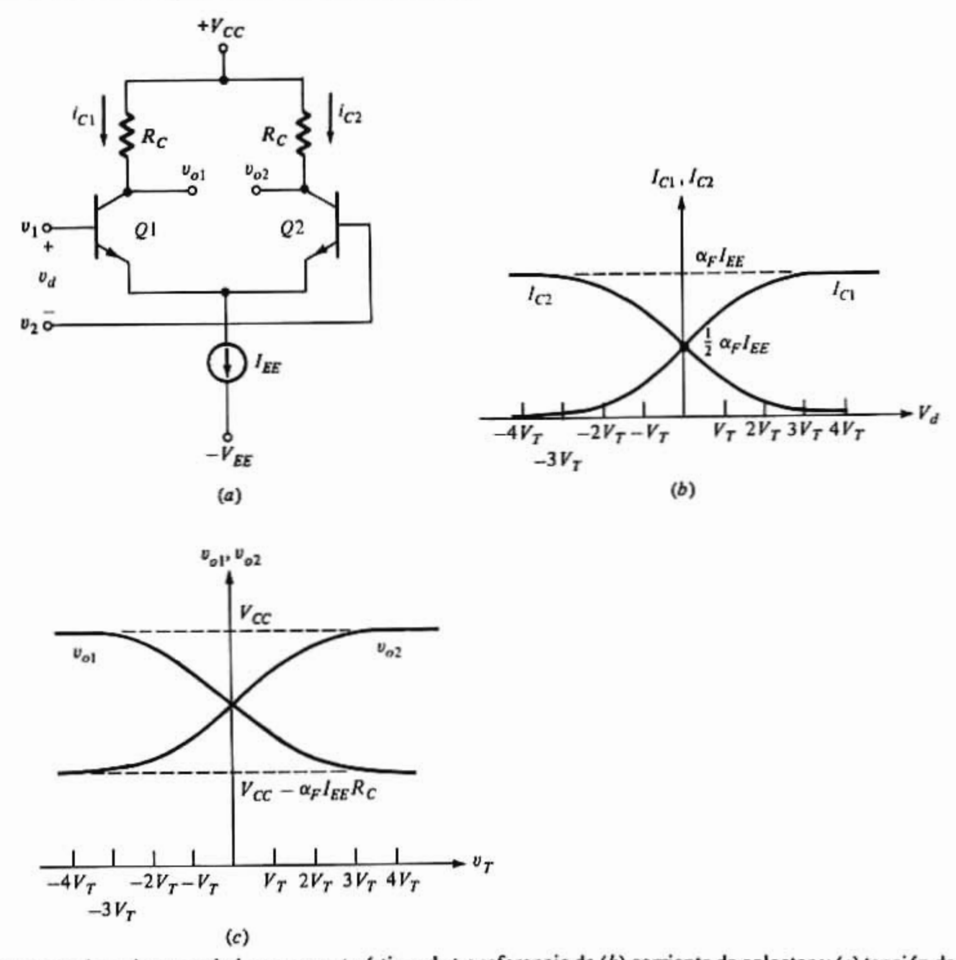


Figura 6-42. (*a*) Par de emisor acoplado con características de transferencia de (*b*) corriente de colector y (*c*) tensión de salida.

Obsérvese que cuando $|\ v_d\ | \geq 4\ V_T$, v_{01} estará alto y v_{02} bajo, o viceversa. En términos de Boole las dos salidas son complementarias (si v_{01} es Y, v_{02} será $\overline{\text{Y}}$). Las puertas lógicas de emisor acoplado aprovechan esta circunstancia para habilitar simultáneamente ambas entradas Y e $\overline{\text{Y}}$.

Puerta básica OR/NOR de emisor acoplado (ECL)

La topología normal de la puerta OR/NOR de emisor acoplado es la representada en la Fig. 6-43*a*. Se obtiene a partir de la Fig. 6-42*a* empleando una tensión de referencia constante V_R para v_2 de $Q2$, y con

transistores en paralelo con una resistencia de colector común en el lugar de $Q1$. La Fig. 6-43*a* corresponde a un «fan-in» (número de entradas) de 2. Si una de las entradas A o B está en $V(1) > V_R + 0{,}1$, las salidas serán $v_{01} = V(0)$ y $v_{02} = V(1)$, y si ambas entradas son mayores que $V_R + 0{,}1$, nuevamente $v_{01} = V(0)$ y $v_{02} = V(1)$. Sin embargo, si ambas entradas A y B están en $V(0) < V_R - 0{,}1$, $v_{01} = V(1)$ y $v_{02} = V(0)$. Por tanto, v_{02} es la salida OR ($Y_2 = A + B \equiv Y$) y v_{01} en la salida NOR [$Y_1 = \overline{(A + B)} = \overline{Y}$] como se ve en la Fig. 6-43*b*.

La tensión de referencia V_R

La fuente de corriente de la Fig. 6-43 está formada de la manera más simple por una resistencia R_E situada entre el emisor común y el negativo del suministro. A partir de la Fig. 6-43 (con R_E sustituyendo I_{EE}) aplicando la ley de Kirchhoff al lazo formado por V_R, V_{BE2}, R_E y V_{EE} permite expresar la corriente I en R_E como $I = (V_R - V_{BE2} + V_{EE})/R_E$. Puesto que la variación de V_{BE2} con la corriente en la región activa es pequeña en comparación con $V_R + V_{EE}$, I se mantiene esencialmente constante en el par de emisor acoplado. Esta corriente constante simula la fuente de corriente I_{EE} de la Fig. 6-42*a*.

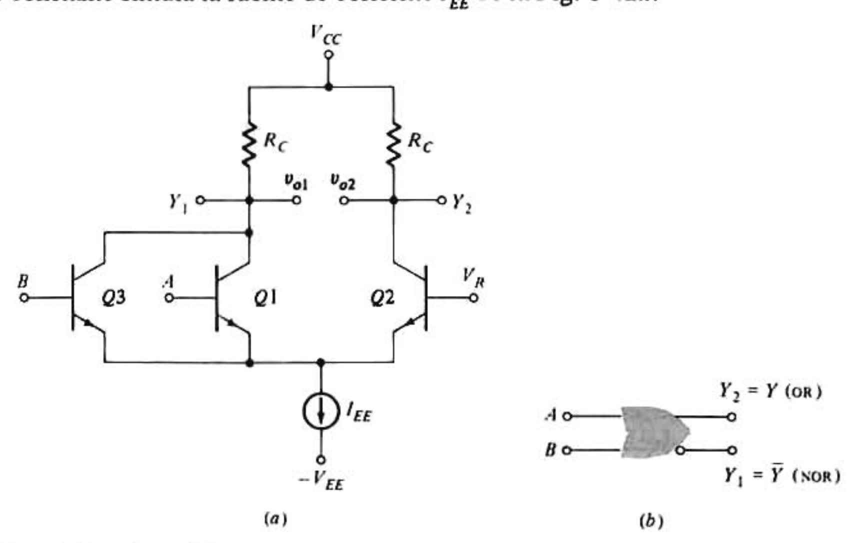


Figura 6-43. (*a*) Puerta ECL OR/NOR. (*b*) Símbolo lógico.

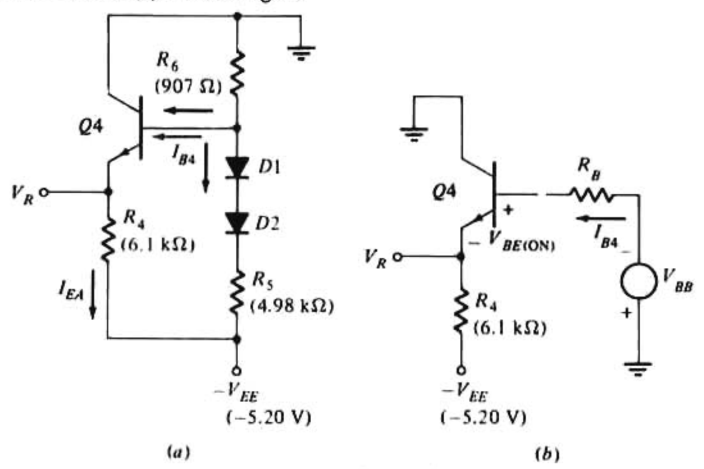


Figura 6-44. (*a*) Circuito utilizado para formar la tensión de referencia V_R en la puerta ECL. (*b*) Equivalente de Thèvenin de la red de base empleada en el circuito anterior.

El circuito de la Fig. 6-43*a* requiere tres suministros de potencia (V_{CC}, V_{EE} y V_R). Se puede obtener una puerta ECL más práctica con un solo suministro (V_{EE}) poniendo V_{CC} a 0V (a tierra) y derivando V_R de la configuración de la Fig. 6-44*a*. Para calcular V_R obsérvese que el equivalente de Thèvenin del circuito es el de la Fig. 6- 44*b*, en el que

$$V_{BB} = (V_{EE} - 2V_D)\frac{R_6}{R_6 + R_5} \qquad \text{y} \qquad R_B = \frac{R_5 R_6}{R_5 + R_6} \tag{6-39}$$

siendo V_D la tensión a través de cada diodo.

Si admitimos que I_{B4} provoque una caída de tensión despreciable en R_B en comparación con V_{BB}, entonces

$$V_R = -V_{BB} - V_{BE(ON)4} \tag{6-40}$$

Empleando los valores numéricos mostrados en la Fig. 6-44*a* y suponiendo $V_D = 0{,}75$ V tendremos, según las Ec. (6-39) y 6-40)

$$V_{BB} = \frac{(5.2 - 2 \times 0.75)(0.907)}{0.907 + 4.98} = 0.570 \text{ V}$$

$$V_R = -0.570 - 0.75 = -1.32 \text{ V}$$

El motivo para elegir $V_{BE(ON)\,4} = 0{,}75$ V (en lugar de 0,7 V) es que para conseguir las velocidades de la lógica de emisor acoplado (ECL) hay que emplear dispositivos de pequeñas dimensiones, lo que lleva a que los transistores operen a corrientes más elevadas en relación a los valores de I_{ES} generalmente habidos. Esta mayor corriente necesita que $V_{BE(ON)} > 0{,}7$ V, y es práctica normal tomar 0,75 V para la tensión base-emisor en los circuitos ECL. Vamos a justificar la suposición de que $V_D = 0{,}75$ V. Puesto que $I_D \gg I_{B4}$ tendremos, según la Ec. 6- 44*a*

$$I_D = \frac{V_{EE} - 2V_D}{R_B + R_5} = \frac{5.20 - 1.50}{0.907 + 4.98} = 0.63 \text{ mA} \tag{6-41}$$

De la Fig. 5-19*a* hallamos para el diodo base-emisor con el colector abierto, $V_D = 0{,}75$ V a 0,63 mA como habíamos supuesto.

La característica de transferencia

El circuito utilizado para determinar la función de transferencia OR se deduce de la Fig. 6-43 con R_E en lugar de la fuente de corriente I_{EE} como está representado en la Fig. 6-45*a*. Sólo se ha dibujado un transistor de entrada *Q*1 ya que todos los otros en paralelo (tal como el *Q*3 de la Fig. 6-43) se consideran, a efectos de este comentario, como en no conducción. Para trazar la característica aproximada de segmentos rectilíneos de la lógica OR se han de cumplir dos condiciones: (1) si $v_i = V(0)$, *Q*1 está en OFF, *Q*2 en ON y $v_{02} = V(0)$; y (2) si $v_i = V(1)$, *Q*1 está en ON, *Q*2 en OFF y $v_{02} = V(1)$.

Para calcular la primera *V*(0) consideremos *Q*2 de la Fig. 6-45*a* en conducción:

$$V_E = V_R - V_{BEON} = -1.32 - 0.75 = -2.07 \text{ V} \tag{6-42}$$

$$I_E = \frac{V_E - (-V_{EE})}{R_E} = \frac{V_E + V_{EE}}{R_E} \tag{6-43}$$

$$I_{C2} \simeq I_E = \frac{-2.07 + 5.20}{0.779} = 4.02 \text{ mA} \tag{6-44}$$

$$v_{o2} = -I_{C2}R_2 = -4.02 \times 0.245 = -0.98 \text{ V} = V(0)$$

Vamos a comprobar la primera condición, o sea que $Q1$ está en OFF cuando $v_i = V(0)$

$$V_{BE1} = V(0) - V_E = -0.98 + 2.07 = 1.09 \text{ V}$$

Puesto que este valor es superior al de la tensión umbral $V_\gamma = 0{,}5$ V, $Q1$ no está en corte y el circuito de la Fig. 6-45*a no funciona apropiadamente*, pero esta dificultad se remedia fácilmente. Para cortar $Q1$ el valor de $V(0)$ debe hacerse más negativo lo que se logra con el circuito cambiador de nivel de la Fig. 6-45*b*. Conectando la base $B5$ de $Q5$ al colector $C2$ de $Q2$ y tomando la salida en el emisor de $Q5$ tendremos

$$v_{o5} = v_{o2} - V_{BEON} = -0.98 - 0.75 = -1.73 \text{ V} = V(0)$$

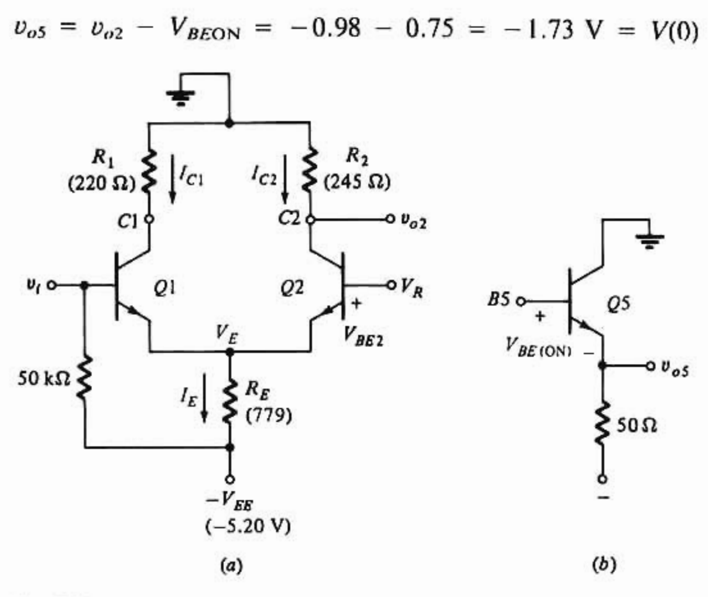


Figura 6-45. (*a*) Puerta básica ECL con I_{EE} originado por R_E y V_{EE}. (*b*) Circuito desplazador de nivel (seguidor de emisor).

Obsérvese que con la adición de $Q5$ y con $v_i = V(0)$ tenemos

$$V_{BE1} = v_i - V_E = -1.73 + 2.07 = 0.34 \text{ V} < V_\gamma = 0.5 \text{ V}$$

lo que confirma la condición 1 de que $Q1$ está en OFF con una entrada $V(0)$.

Para calcular $V(1)$ supongamos la segunda condición, es decir, que para $v_i = V(1)$, $Q1$ conduce y $Q2$ está cortado. Puesto que $I_{C2} \simeq 0$, $v_{02} \simeq 0$ y $v_{05} = -V_{BE(ON)} = 0{,}75$ V $= V(1)$. Comprobemos el supuesto de que $Q2$ esté realmente cortado. Puesto que $V_E = v_i - V_{BE1} = V(1) - V_{BE\ (ON)} = -0{,}75-0{,}75 = -1{,}5$ V, y $V_{BE2} = V_R - V_E = -1{,}32 + 1{,}50 = 0{,}18$ V. Puesto que esta tensión es menor que $= 0{,}5$ V queda comprobado que $Q2$ está cortado.

Hay que advertir que los valores hallados de $V(0)$ y $V(1)$ son sólo aproximados ya que se han despreciado las corrientes de base y además la corriente en el transistor cortado no es exactamente nula (vale alrededor del 2% de su valor en conducción). Si se toman en cuenta estos términos (Probl. 6-75), $V(1) = -0{,}90$ V y $V(0) = -1{,}74$ V. Obsérvese que estos valores son simétricos respecto a la tensión de

referencia V_R = -1,32 V (1,32-0,9 = 0,42 = 1,74- 1,32). En la Fig. 6-46 se representan las características real y aproximada respectivamente.

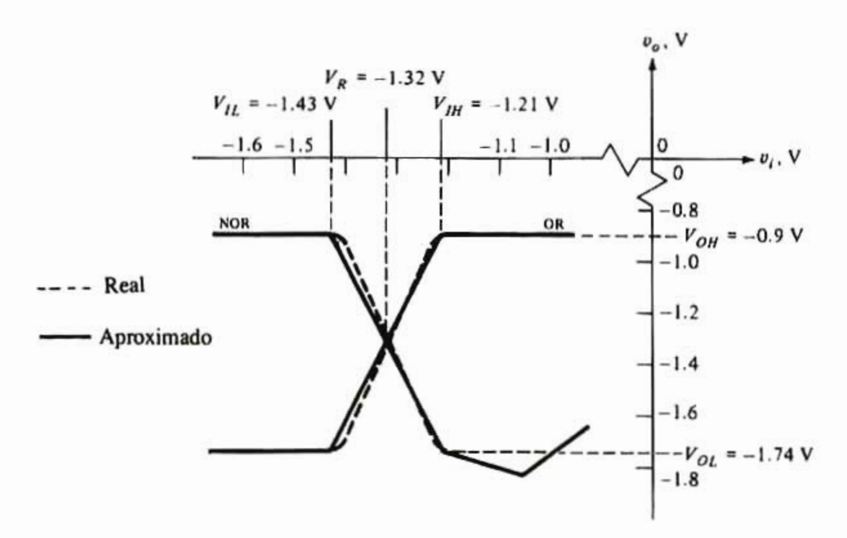


Figura 6-46. Característica de transferencia OR/NOR

Interruptor de corriente

Circuito de tensión de referencia

Etapas de salida del seguidor de emisor

Figura 6-47. Circuito completo de la puerta OR/NOR ECL (serie 10.000).

El argumento empleado aquí de que I_E es esencialmente constante supone que *Q*2 esté siempre en conducción con $V_{BE} = V_{BE\,(ON)}$. Sin embargo, con *Q1* en ON *Q*2 debe estar en OFF e I_E viene determinado por el nivel de entrada *V*(1). Así $I_E = [V(1)- V_{BE1} + V_{EE}]/R_E \approx I_{C1}$. Se deduce (Probl. 6-76) que I_{C1} es ligeramente mayor que I_{C2} (con *Q*2 en ON). No obstante para tener unas características OR/NOR simétricas, la tensión $I_{C1}R_1$ cuando *Q*1 conduce debe ser igual a la caída ($I_{C2}R_2$) a través de R_2 cuando *Q*2 está en ON. De aquí se deduce que R_1 debe ser ligeramente inferior a R_2 como en la Fig. 6-47.

Márgenes de ruido

Generalmente se determinan V_{IL} y V_{IH} de forma que la diferencia entre tensiones de entrada de una corriente de colector del transistor OFF del 1% de la del transistor ON. Los valores de V_{IL} y V_{IH} así obtenidos difieren muy poco de los dados por los puntos de pendiente unidad (Probl. 6-74). Según la Ec. (3-41) la variación de v_d necesaria para que $I_{C1}/I_{C2} = 100$ se calcula en $v_d \approx 112$ mV. Por simetría $V_{IH} = V_R + 0{,}112$ y $V_{IL} = V_R - 0{,}112$. Tomando $V_R = -1{,}32$ V, $V_{IH} = -1{,}21$ V y $V_{IL} = -1{,}43$ V.

El margen de ruido se calcula por la Ec. (6-29)

$$NM_H = V_{OH} - V_{IH} = -0.90 + 1.21 = 0.31 \text{ V}$$

$$NM_L = V_{IL} - V_{OL} = -1.43 + 1.74 = 0.31 \text{ V}$$

Obsérvese que la simetría de la función de transferencia da lugar a igual margen de ruido, $NM_H = NM_L = 0{,}31$ V[7].

La característica NOR

La salida NOR se obtiene del emisor de un cambiador de nivel *Q*6 (idéntico al *Q*5 de la Fig. 6-45*b*) conectado al colector de *Q*1. La característica de transferencia NOR está también indicada en la Fig. 6-46. Con tensiones de entrada altas aparecen grandes diferencias entre las características OR y NOR. Al ir creciendo v_i más allá de V_{IH}, I_{C1} continúa creciendo y la salida NOR cae por debajo de V_{OL}. No obstante cuando v_i se hace suficientemente grande para saturar *Q*1 la corriente de emisor aumentada hace aumentar V_E. Con V_{CE1} constante en $V_{CE\,(sat)} = 0{,}2$ V, la tensión V_{C1} también crece. Por tanto, a medida que v_i sigue creciendo por encima de la tensión a la que se alcanza la saturación de *Q*1, la salida NOR sube nuevamente como se ve en la Fig. 6-46 (Probl. 6-73). Sin embargo, en el funcionamiento normal se limita a la tensión de entrada.

La etapa de salida

El circuito de la Fig. 6-45*b*, además de ser un cambiador de nivel se denomina también *seguidor de emisor*. Expliquemos el significado de esta voz: puesto que $V_{BE\,(ON)}$ es prácticamente constante e independiente de la corriente del transistor, cualquier incremento de la tensión base-tierra se traduce en igual incremento de la tensión emisor-tierra. Así pues, el emisor «sigue» a la base en cuanto a las variaciones de tensión. El circuito es un amplificador de ganancia en tensión aproximadamente uno. Esta conclusión es válida aun cuando varíe la carga exterior de emisor y en consecuencia la resistencia de salida

[7] El empleo de los puntos de pendiente unidad para calcular NM_H y NM_L conduce a resultados numéricos que sólo difieren en algunos milivolt.

R_o de un seguidor de emisor es extremadamente baja (véase la Sec. 10-12 para el cálculo cuantitativo de R_o). Un seguidor de emisor constituye una excelente etapa de salida ya que proporciona la baja resistencia de salida necesaria para conseguir grandes velocidades al excitar una carga capacitiva (las entradas a las puertas que comprenden la carga).

Topología ECL OR/NOR

La configuración completa es la de la Fig. 6-47 consistente en los tres circuitos principales ya comentados: (1) El par diferencial conmutador de corriente, (2) la red de la tensión de referencia y (3) la etapa de salida seguidora de emisor. Los valores de los componentes dados en la figura son los típicamente usados en la familia ECL serie 10.000 que se verá más adelante en esta misma sección.

En las puertas ECL no está prevista ninguna carga interior al chip, y no habiendo carga los emisores de *Q*5 y *Q*6 están abiertos. La resistencia de carga de cada seguidor de emisor la dan las conexiones de transmisión (frecuentemente una línea de transmisión de 50Ω) y la resistencia de entrada de la etapa siguiente. Las resistencias de 50 kΩ conectadas entre la base y V_{EE} de los transistores de entrada pueden suponer la carga para las salidas del excitador. Obsérvese que sin señal de entrada (*A* y *B* permanecen en circuito abierto) estas conexiones de resistencia aseguran que las entradas estén en *V*(0). Así pues, las puertas ECL tienen subida activa y bajada pasiva.

El circuito de la tensión de referencia se diseña de tal forma que V_R resulte prácticamente constante, independientemente de la corriente de base en *Q*2, haciendo I_{E2} mucho más grande que I_{B2}. En parte, este elevado valor de I_{E2} cuenta para la alta disipación de potencia de las puertas ECL. Los diodos *D*1 y *D*2 se emplean para compensar la temperatura de la unión base-emisor de *Q*4 y juntamente con *R* mantienen *I* igual a I_{E2}.

Como puede verse en la Fig. 6-47 hay dos conexiones distintas a V_{CC} (tierra); una para el seguidor de emisor y otra para el interruptor de corriente y la tensión de referencia. El motivo de separar estas conexiones es para aislar los transitorios de las interrupciones (elevados picos de corriente y de tensión causados por la carga y descarga de la carga externa y de las capacidades de salida parásitas) que aparecen en la salida de los seguidores de emisor afectando el par diferencial y el circuito de referencia (etapas internas). Teniendo las puertas ECL un margen de ruido bajo (0,3 V) esta configuración ayuda a contener los niveles de ruido.

Disipación de potencia

Una consecuencia del empleo de interruptores de corriente no saturante es que V_{EE} puede suministrar una corriente relativamente alta. Esto supone una disipación de potencia mayor que la de otras familias lógicas. La corriente I_{E4} (despreciando las corrientes de base) es:

$$I_{E4} = \frac{V_R - (-V_{EE})}{R_4} = \frac{-1.32 + 5.2}{6.1} = 0.636 \text{ mA}$$

Según la Ec. (6-41) la corriente del diodo es I_D = 0,63 mA y según la (6-44), I_{EE} = 4,02 mA. La corriente total suministrada por V_{EE} es $I_T = I_D + I_{EE} + I_{E4}$ = 0,63 + 4,02 + 0,64 = 5,29 mA, y la potencia consumida es $P_D = 5{,}29 \times 5{,}2 = 27{,}5$ mW. Obsérvese que en este valor no está incluida la potencia suministrada a la carga por el seguidor de emisor (para la disipación normal por puerta, véase la tabla 6-4).

Número de salidas (fan-out)

En las puertas ECL el número de salidas no está limitado por la corriente en continua que puede suministrar la etapa de salida, sino que viene determinado por la capacitancia de la carga. Cada puerta de carga que debe ser excitada tiene una capacidad C a la salida de la puerta excitadora, y con un fan-out N, la capacidad total será NC. Para conservar la velocidad (tanto de propagación como de subida) de una puerta ECL sólo puede usarse un número limitado (unas 10) de tales puertas.

La gran velocidad de las puertas ECL obliga a que la transmisión de la señal de una puerta no degrade la calidad de la señal que tiene un tiempo de subida del orden de 1 ns. Con la velocidad de la luz en un semiconductor, que es de unos $1{,}5 \times 10^8$ m/s (aproximadamente la mitad que en el vacío) un tramo conductor de más de 4 cm supone un retardo de más de 0,25 ns, lo que es comparable con el tiempo de subida. Por tanto las vías de transmisión de estas dimensiones deben ser tratadas como sistemas de distribución (líneas de transmisión). Una línea de transmisión mal terminada puede provocar que alguna de las señales transmitidas se refleje hacia atrás hasta el extremo emisor. Lo mejor que puede pasar es que la señal reflejada se combine con el impulso inicial, deteriorándose la calidad (resonancia), y lo peor es que la señal reflejada se retrase lo suficiente para que aparezca como una segunda señal e introduzca errores lógicos. Para evitar cualquier reflexión, las líneas de transmisión usadas para interconectar puertas ECL deben terminarse con su resistencia característica (usualmente entre 50 y 100 Ω).

Familias ECL

La familia lógica ECL más popular es la serie 10.000 (o serie 10K) que tiene un retardo de propagación de tan sólo unos 2 ns. Esto se atribuye a la pequeña variación de tensión entre $V(0)$ y $V(1)$ y al interruptor no saturante excitando un circuito de baja resistencia. Existe también en el mercado otra familia lógica ECL que es la serie 100.000 (o 100K)[8].

La serie 10K está diseñada de forma que la tensión de referencia con compensación de temperatura, quede siempre entre $V(0)$ y $V(1)$. No obstante, estas tensiones varían con la temperatura, y los cambios de los niveles lógicos pueden ser perjudiciales. Las modificaciones del circuito en la serie 100K hace que las tensiones $V(0)$ y $V(1)$ sean casi insensibles a la temperatura.

La serie 100K es más moderna y por ello emplea técnicas de fabricación más avanzadas, y en consecuencia consigue las mayores velocidades alcanzables actualmente, con retardos de propagación menores de 1 ns. Sin embargo, debido a su circuito de la tensión de referencia más complejo, su disipación de potencia es mayor que en la serie 10K.

La familia lógica ECL trabaja a distintos niveles lógicos y con una tensión de alimentación negativa. Esto es diferente de otras familias lógicas (TTL y CMOS) existentes en circuitos integrados a pequeña y media escala. A veces es necesario y conveniente construir sistemas en los que las diferentes secciones que lo forman utilicen distintas familias lógicas. Muchos fabricantes proporcionan adaptadores para facilitar la interconexión entre puertas ECL y las familias TTL y CMOS, pudiendo ser de TTL a ECL o de ECL a TTL.

6-15. COMPARACIÓN ENTRE FAMILIAS LÓGICAS

En la Tabla 6-4 se exponen los datos de funcionamiento de los circuitos clásicos para cada una de las familias lógicas comentadas en este capítulo. Las características específicas que se dan en esta Tabla

[8] Las designaciones 10K y 100K fueron introducidas por Fairchild Semiconductor. Dos series similares MECLII Y MECLIII las emplea la Motorola Company, que desarrolló la serie original MECLI. La serie MECLII es comparable con la 10K pero con un retardo de propagación de casi el doble. La MECLIII tiene prácticamente propiedades idénticas a la 100K pero con subida más rápida.

corresponden a la temperatura normal de trabajo de 25 °C. El *recorrido lógico*, que es la diferencia entre V_{OH} y V_{OL} se basa en los valores mínimo y máximo respectivamente de estas cantidades. Análogamente, $NM_H = V_{OH\,(min)} - V_{IH\,(max)}$ y $NM_L = V_{IL\,(min)} - V_{OL\,(max)}$, representan los valores en el peor de los casos. Todos los demás datos que aparecen en la tabla han sido ya definidos previamente en este capítulo.

Comparando los datos de la tabla se llega a las siguientes conclusiones (ya establecidas a lo largo del capítulo):

1. La familia ECL tiene los menores retardos de propagación, lo que representa que son los circuitos lógicos más rápidos disponibles.
2. La familia TTL 54/74 ALS tiene el menor producto retardo- potencia.
3. Los circuitos lógicos CMOS son los que disipan menor potencia.

No se han incluido en la tabla los datos correspondientes a las puertas NMOS pues no existen como circuitos integrados a pequeña y media escala, aunque se utilizan mucho a gran y muy grande escala (capítulo 9) porque permiten la mayor densidad de componentes en un chip de cualquier tecnología. Es interesante observar que cualquiera de las cuatro principales familias lógicas vistas en este capítulo es «la mejor» bajo un cierto punto de vista.

Tabla 6-4 Comparación entre familias lógicas

Familia, serie	*TTL*			*CMOS**		*ECL*	
Parámetro	*74 LS*	*74 AS*	*74 ALS*	*74 C*	*74 HC*	*10 K*	*100 K*
Tensión nominal de alimentación, V.	5	5	5	5	5	−5.2	−4.5
V_{OL} máximo, V	0.5	0.5	0.5	0.4	0.4	−1.7	−1.7
V_{OH} mínimo, V	2.7	2.7	2.7	4.2	4.2	−0.9	−0.9
V_{IL} máximo, V	0.8	0.8	0.8	1.0	1.0	−1.4	−1.4
V_{IH} mínimo, V	2.0	2.0	2.0	3.5	3.5	−1.2	−1.2
NM_H, V	0.7	0.7	0.7	0.7	0.7	0.3	0.3
NM_L, V	0.3	0.3	0.3	0.6	0.6	0.3	0.3
Recorrido, V	2.0	2.0	2.0	3.8	3.8	0.8	0.8
Disipación de potencia por puerta, mW	2	20	1	≈0	≈0	24	40
Producto retardo potencia *p*J	10	1.5	4	30	10	2	0.75
Fan-out	100	10	100	>100	>100	10	10

* Medido con una corriente de carga

REFERENCIAS

1 Hodges, D.A., y H.G. Jackson: "Analysis and Design of Digital Integrated Circuits," McGraw-Hill Book Company, Nueva York, 1983.

2 Taub, H. y D. Schilling: "Digital Integrated Electronics," McGraw-Hill Book Company, Nueva York, 1977.

3 Sedra, A.S., y K.C. Smith: "Microelectronic Circuits," Holt, Nueva York, 1982

4 Ghausi, M.S.: "Electronic Devices and Circuits: Discrete and Integrated," Holt, Nueva York, 1985.

5 Elmasry, M.I. (ed.): "Digital MOS Integrated Circuits," IEEE Press, Nueva York, 1981.

6 Solomon, P.M.: A Comparison of Semiconductor Devices for High-Speed Logic, *Proceedings of IEEE*, vol. 70, nº 5, pp. 489-509, Mayo 1982.

7 *IEEE Journal of Solid-State Circuits*, ediciones especiales sobre lógica de los semiconductores y memoria, Octubre 1970 hasta el presente.

TEMAS DE REPASO

6-1. ¿Que se entiende por número binario?
6-2. Definir (*a*) lógica positiva y (*b*) lógica negativa.
6-3. ¿Qué se entiende por lógica dinámica?
6-4. Definir una puerta OR y escribir su tabla de la verdad.
6-5. Evaluar las siguientes expresiones: (*a*) $A + 1$, (*b*) $A + A$, (*c*) $A + 0$.
6-6. Definir una puerta AND y escribir su tabla de la verdad.
6-7. Evaluar (*a*) $A1$, (*b*) AA, (*c*) $A\,0$, (*d*) $A + AB$.
6-8 Definir una puerta NOT y escribir su tabla de la verdad.
6-9 Evaluar las siguientes expresiones: (*a*) $\overline{\overline{A}}$; (*b*) $\overline{AA}$; (*c*) $\overline{A} + A$.
6-10 Definir un inhibidor y dar la tabla de la verdad para $AB\overline{S}$.
6-11. Definir una OR-Exclusiva y dar su tabla de la verdad.
6-12. Mostrar dos diagramas de bloques lógicos para una OR-Exclusiva.
6-13. Demostrar que las siguientes expresiones de Boole representan una OR-Exclusiva: (*a*) $+ A\overline{B}$, (*b*) $(A + B)\,(\overline{A} + \overline{B})$.
6-14. Enunciar las dos formas de las leyes de Morgan.
6-15. Mostrar cómo se forma una AND con puertas OR y NOT.
6-16. Mostrar cómo se forma una OR con puertas AND y NOT.
6-17. Definir una puerta NAND y dar su tabla de la verdad.
6-18. Definir una puerta NOR y dar su tabla de la verdad.
6-19. Definir (*a*) fan-out, (*b*) fan-in.
6-20. Definir el margen de ruido.
6-21. Esbozar un inversor NMOS con una carga de acumulación.
6-22. Repetir el tema 6-21 para: (*a*) una carga lineal, (*b*) una carga de deplexión.
6-23. ¿Qué efecto tiene la disminución de la relación W/L del transistor de carga sobre el funcionamiento del inversor?
6-24. Definir (*a*) tiempo de subida, (*b*) tiempo total, (*c*) retardo de propagación.
6-25. Esbozar una puerta NMOS NOR de dos entradas y comprobar que satisface la ecuación NOR de Boole.
6-26. Repetir el tema 6-25 para una puerta NAND de dos entradas.
6-27. Repetir el tema 6-25 para un inversor AND-OR.
6-28. ¿Qué se entiende por lógica interconectada?
6-29. (*a*) Esbozar el circuito de un inversor CMOS.
(*b*) Comprobar que esta configuración cumple la operación NOT.
6-30. Esbozar el circuito de una puerta CMOS NAND de dos entradas y comprobar que satisface la ecuación NAND de Boole.
6-31. Citar cinco propiedades deseables de las puertas CMOS.
6-32. (*a*) Esbozar el circuito de una puerta de transmisión empleando transistores CMOS.
(*b*) Explicar su funcionamiento.
6-33. Dibujar el circuito de una puerta TTL NAND y explicar su funcionamiento.

6-34. Dibujar un separador de salida en totem y explicar su funcionamiento.

6-35. Explicar la función de una puerta TTL de tres estados.

6-36. (*a*) Esbozar una puerta ECL OR (y también NOR) de dos entradas.
(*b*) ¿Qué parámetros determinan el margen de ruido?
(*c*) ¿Por qué no son iguales las dos resistencias de colector?
(*d*) Explicar por qué prácticamente no existen picos de potencia.

6-37. Citar y comentar por lo menos cuatro ventajas y cuatro inconvenientes de las puertas ECL.

6-38. Comparar las virtudes relativas de las familias lógicas NMOS, CMOS, TTL y ECL.

7 Combinación de sistemas digitales

A mediados del siglo XIX Charles Babbage admitió que un sistema digital debe contener una unidad de control (lógica), otra aritmética, y memoria (la facultad de almacenar datos) así como los mecanismos de entrada y de salida apropiados. Estas unidades se utilizan también en los sistemas electrónicos digitales modernos para el cálculo, comunicación y control.

Para procesar las señales binarias empleadas en los sistemas digitales bastan unos pocos tipos de circuitos básicos. Estos bloques constructivos elementales se usan repetidamente en varias configuraciones topológicas para desempeñar funciones específicas. El control y la aritmética binaria se llevan a cabo mediante combinaciones de puertas lógicas, y como se hizo notar en la Sec. 6-3, toda operación lógica puede lograrse con un único tipo de puerta (p. ej. una puerta NAND). También puede construirse a partir de puertas lógicas básicas una célula de memoria básica; el biestable o FLIP-FLOP (FF). Debido a que este es un bloque constructivo fundamental en los circuitos secuenciales, tales como registradores y contadores, será tratado en el Cap. 8.

En este capítulo nos referiremos a circuitos cuyo funcionamiento depende de combinaciones lógicas. El número de funciones a realizar no es grande, incluyendo la suma y multiplicación binarias, la selección de datos (multiplexor) y decodificación (demultiplexor). Los fabricantes de circuitos integrados encapsulan en un chip circuitos y subsistemas para realizar estas funciones y también preparan encapsulados conteniendo varias puertas. Estos bloques constructivos se encuentran normalmente en el mercado en las tres tecnologías TTL, CMOS y ECL.

7-1. MONTAJES DE PUERTAS NORMALIZADAS

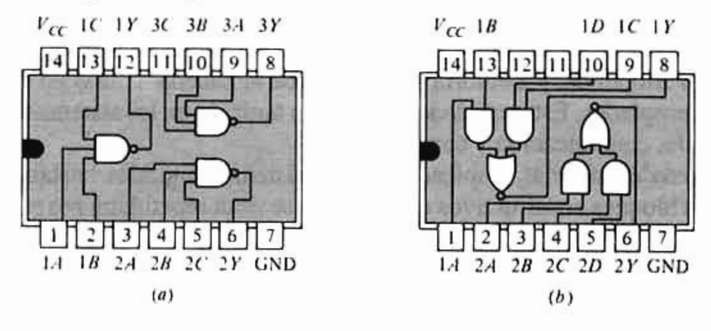
Las puertas fundamentales descritas en el Cap. 6 se emplean en grandes cantidades aun en sistemas digitales relativamente simples. En consecuencia es más eficaz y conveniente construir varias (o muchas) puertas en un solo encapsulado que encapsular individualmente cada puerta. La siguiente lista de componentes digitales integrados a pequeña escala es típica, pero en modo alguno exhaustiva:

NAND cuádruple de 2 entradas
NAND triple de 3 entradas
NAND doble de 4 entradas
NAND simple de 8 entradas
AND doble de 4 entradas
AND triple de 3 entradas
Inversor séxtuple

NOR cuádruple de 2 entradas
OR cuádruple de 2 entradas
NOR-Exclusivo cuádruple de 2 entradas
OR-Exclusivo cuádruple de 2 entradas
NOR triple de 3 entradas
NOR doble de 4 entradas
OR triple de 3 entradas

AOI doble de 2 bandas y 2 entradas
AOI simple de 2 bandas y 4 entradas
AOI simple de 4 bandas, y 4-2-3-2 entradas
AOI simple de 4 bandas y 2 entradas
AOI simple de 4 bandas y 2-2-3-2 entradas
NOR simple de 8 entradas
OR séxtuple de 2 entradas
OR triple de 4 entradas
NOR triple de 4 entradas.

Estas combinaciones pueden adquirirse en la mayor parte de las familias lógicas (TTL, CMOS, etc.) citadas en la Sec. 6-15. El número de puertas por chip está generalmente limitado por el número de terminales (patillas) disponibles. El encapsulado más corriente es el de dos en línea, (de plástico o de cerámica) con 14 terminales, siete en cada lado (Fig. 7-1*c*). Las dimensiones del conjunto, que es mucho mayor que el tamaño del chip, son aproximadamente 20 × 7,5 × 5 mm. En la Fig. 7-1*a* está representado el esquema de un NAND triple de tres entradas. Obsérvese que hay 3 × 3 = 9 contactos de entrada, tres de salida, uno de alimentación y uno de puesta a tierra: en total, catorce.



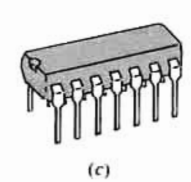


Figura 7-1. Vista superior de las conexiones de carga de : (*a*) Puerta NAND triple de tres entradas, (*b*) puerta AND-OR inversora doble de dos bandas y dos entradas, (*c*) encapsulado de dos en línea.

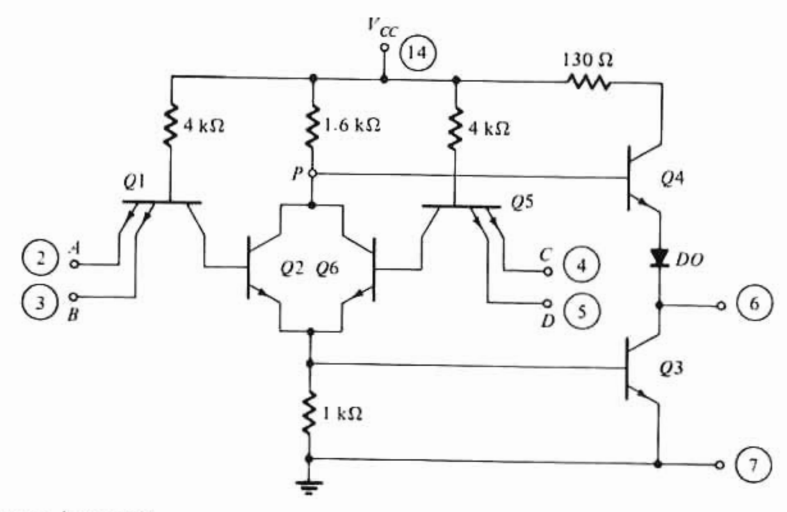


Figura 7-2. Puerta AND-OR-invert TTL.

En la Fig. 7-1*b* está representado un AOI (inversor AND-OR) doble de dos bandas y dos entradas. Esta combinación precisa 4 patillas de entrada y una de salida para cada AOI, o sea 10 para el doblado. Si se añade una para la alimentación de potencia y otra para la puesta a tierra, vemos que de las 14 disponibles se utilizan 12. La voz «dos bandas» indica el número de puertas AND que alimentan las puertas OR y se refiere a un sistema lógico de dos niveles.

El esquema de esta puerta AOI viene dado por la Fig. 7-2 dispuesto en lógica TTL. El funcionamiento de esta red queda claro con las explicaciones dadas en el Cap. 6. *Q*1 y la entrada de *Q*2 (que se corresponden con los transistores de igual numeración de la Fig. 6-37) forman una puerta AND. La disposición idéntica de *Q*5 y *Q*6 forma una segunda puerta AND. Puesto que los colectores de *Q*2 y *Q*6 están unidos en *P*, la salida de este nudo corresponde a cualquiera de las entradas 2 y 3 o 4 y 5. Además, debido a la inversión en un transistor, aparece la operación NOT en *P*, resultando una lógica AND-OR-Invertida (AOI) con representación ($\overline{AB + CD}$). Finalmente, obsérvese que *Q*3, *DO* y *Q*4 forman la etapa salida en totem de la Fig. 6-38.

Otra forma de analizar el circuito de la Fig. 7-2 consiste en considerar que *Q*1 y *Q*2 (juntamente con la salida en *P*) forman un circuito NAND, y de igual forma, *Q*5 y *Q*6 forman una segunda puerta NAND. Las salidas de estas dos configuraciones NAND están unidas entre sí por la conexión de los colectores de *Q*2 y *Q*6, formando un AND. Por tanto, la salida en *P* será, según la ley de Morgan [Ec. (6-25)].

$$(\overline{AB})(\overline{CD}) = \overline{AB + CD}$$

lo que confirma la obtención de una lógica AOI.

Una lógica interconectada se refiere a la facultad de efectuar operaciones lógicas adicionales conectando entre sí las salidas de varias puertas. La puerta de la Fig. 7-2 es un ejemplo de lógica AND-interconectada. La puerta AOI NMOS de la Fig. 7-3 representa una configuración OR-interconectada. Los excitadores *Q*1, *Q*2 y *Q*3, *Q*4 puede considerarse que cumplen la operación AND. Cada una de estas configuraciones, junto con sus cargas NMOS de deplexión *Q*5 y *Q*6 actúan como inversoras. La conexión entre las respectivas salidas cumplen la operación OR. Obsérvese que sólo se necesita un transistor de deplexión, ya que la interconexión entre las puertas conecta en paralelo *Q*5 y *Q*6.

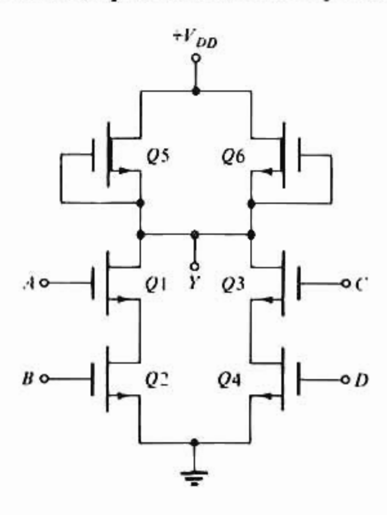


Figura 7-3. Puerta AND-OR-invert NMOS.

Algunas de las funciones más complejas descritas en este libro requieren más de 14 patillas, y estos circuitos integrados se encapsulan con 16, 20, 24 y hasta 64 terminales.

Las combinaciones normalizadas consideradas en esta sección forman ejemplos de *integración a pequeña escala*, (SSI). Menos de 12 puertas (unos 100 componentes) en un solo chip, se considera

integración a pequeña escala. Los biestables (flip-flop) descritos en la Sec. 8-3 son también SSI. Muchas otras funciones que se comentan en este capítulo constituyen una *integración a escala media* (MSI) conteniendo más de 12 pero menos de 100 puertas por chip. Las memorias de la Sec. 7-9 y otras formaciones en este capítulo y en el 9 pueden contener más de 100 puertas (más de 1.000 componentes) y se califican como de *integración a gran escala* (LSI). Muchos chips de memorias y de procesado de señales contienen más de 10.000 componentes formando la *integración a muy gran escala* (VLSI).

Criterios de diseño

El diseñador, al proyectar un sistema eléctrico debe hacerlo empleando cuanto sea posible los sistemas integrados normalizados tratando de reducir al mínimo el número de chips (y por tanto el coste). Es preferible un chip integrado a media escala que varios de ellos a pequeña escala que cumplan la misma función, y asimismo es preferible uno a gran escala que varios a escala media. Es decir, que al diseñar un sistema digital debe realizarse a base de encapsulados normalizados a media o gran escala (MSI o LSI). Las puertas discretas (SSI) deben utilizarse únicamente para establecer las necesarias relaciones entre subsistemas integrados.

En el Apéndice B-1 figura una lista de los fabricantes de circuitos integrados. Estas empresas pueden facilitar datos, manuales e instrucciones valiosas para el diseñador por tenerlo informado al día de los nuevos encapsulados y sus aplicaciones. En el Cap. 8 se trata de las principales funciones desarrolladas por los circuitos integrados a escala media. En el Cap. 9 se trata de los encapsulados a gran y muy gran escala (LSI y VLSI). El sistema LSI más versátil es el *microcomputador*, que es un *computador programable*, en un solo chip.

7-2. SUMADORES BINARIOS

Un calculador digital debe contener, naturalmente, circuitos que efectúen operaciones aritméticas tales como suma, resta, multiplicación y división. Las operaciones básicas son la suma y la resta, ya que la multiplicación no es más que una suma repetitiva, y la división una resta también repetitiva.

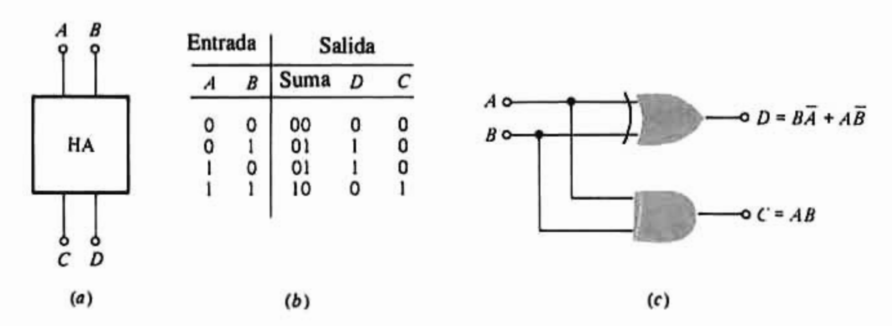
Supongamos que se desea sumar dos números en aritmética decimal y obtener, por ejemplo, los dígitos de las centenas. Deberemos sumar conjuntamente no sólo los dígitos de las centenas de cada número sino también los dígitos que se arrastran de las decenas (si los hay). En forma análoga, en aritmética binaria deberemos sumar no sólo los dígitos de cada lugar significativo de los números a sumar sino también (en caso de que los haya) el dígito que se arrastra del lugar significativo próximo inferior. Esta operación se lleva a cabo en dos pasos: primero, sumar los dos bits correspondientes a los dígitos 2^n y luego sumar el resultado de lo que se lleva del 2^{n-1}. A un sumador de dos entradas se le denomina *semisumador* porque para completar la suma se requieren dos semisumadores.

Veremos cómo se construye un semisumador a partir de puertas lógicas: Un semisumador tiene dos entradas,—*A* y *B*—que representan los bits a sumar, y dos salidas, *D* (para los dígitos de igual significación que *A* y *B*) y *C* (para el bit que se lleva).

Semisumador

En la Fig. 7-4*a* está representado el símbolo del semisumador y en la Fig. 7-4*b* su tabla de la verdad. Obsérvese que la columna *D* es la suma de *A* y *B* mientras esta suma pueda ser representada por un solo

dígito. Si la suma fuera mayor de lo que se puede representar con un solo dígito, la columna D representaría el dígito de la suma correspondiente al mismo lugar significativo que los sumandos. Es decir, que según vemos en las tres primeras filas de la tabla, D da directamente la suma de A y B. Puesto que la suma decimal «1 más 1 igual a 2» se escribe en forma binaria «01 más 01 igual a 10», en la última fila resulta $D = 0$. El 1 deberá «llevarse» al lugar de la cifra significativa inmediata superior, o sea $C = 1$.



Entrada		Salida		
A	B	Suma	D	C
0	0	00	0	0
0	1	01	1	0
1	0	01	1	0
1	1	10	0	1

Figura 7-4. (*a*) Símbolo de un semi-sumador. (*b*) Tabla de la verdad para los bit del dígito D y del arrastre C. (*c*) Disposición con bloques lógicos normalizados.

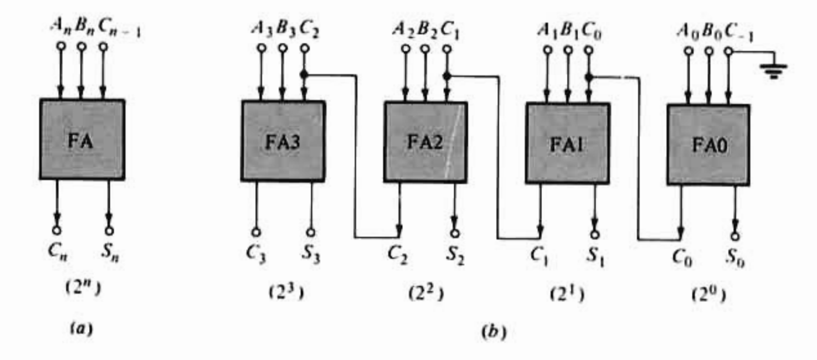


Figura 7-5. (*a*) Símbolo de un sumador completo. (*b*) Sumador binario de 4 bit en paralelo formado por sumadores completos en cascada.

En la Fig. 7-4*b* vemos que D corresponde a la función OR- Exclusiva, y C sigue la lógica de una puerta AND. Estas funciones quedan indicadas en la Fig. 7-4*c* y pueden llevarse a cabo de muy distintas maneras con los circuitos vistos en el Cap. 6. Por ejemplo, se puede construir una OR-Exclusiva con cualquiera de las cuatro tipologías de la Sec. 6-15 y en cualquiera de las familias lógicas de la Tabla 6-4. La configuración de la Fig. 6-8*b* ($Y = A\bar{B} + B\bar{A}$) se construye en lógica TTL con el circuito AOI de la Fig. 7-2. El inversor para B (o para A) es una puerta NAND de una sola entrada. Puesto que Y tiene una topología AND-OR (más que AOI) se coloca un transistor inversor entre el nudo P y la base de $Q4$ de la Fig. 7-2.

Funcionamiento en paralelo

Dos números multidígitos pueden sumarse en serie (una columna cada vez) o en paralelo (todas las columnas al mismo tiempo). Consideremos primeramente el funcionamiento en paralelo. Para un número binario con N dígitos hay (además de una tierra común) N conexiones de señales por cada número. La n-ésima línea del número A(o B) se activa por A_n (o B_n) que es el bit para el dígito 2^n ($n = 0,1,...,N$-1).

Sumador completo

Con circuitos integrados, la suma se realiza con sumadores completos y no con dos semisumadores (por razones de economía de componentes). El símbolo del sumador completo (FA, full-adder) es el indicado en la Fig. 7-5*a*. El circuito consta de tres entradas: los sumandos A_n y B_n y el arrastre C_{n-1} del bit inmediato inferior. Las salidas son: la suma S_n (a veces designada Σ_n) y el arrastre C_n. La Fig. 7- 5*b* representa un sumador en paralelo de 4 bit. FAO corresponde al bit menos significativo, y no tiene entrada de arrastre, por tanto $C_{-1} = 0$.

A partir de la Fig. 7-6 cabe determinar el circuito en el interior del bloque FA. Esta figura es la tabla de la verdad para sumar 3 bits binarios. Con esta tabla podemos comprobar que las expresiones de Boole de S_n y C_n son

$$S_n = \overline{A}_n\overline{B}_nC_{n-1} + \overline{A}_nB_n\overline{C}_{n-1} + A_n\overline{B}_n\overline{C}_{n-1} + A_nB_nC_{n-1} \tag{7-1}$$

$$C_n = \overline{A}_nB_nC_{n-1} + A_n\overline{B}_nC_{n-1} + A_nB_n\overline{C}_{n-1} + A_nB_nC_{n-1} \tag{7-2}$$

	Entradas			Salidas	
Línea	A_n	B_n	C_{n-1}	S_n	C_n
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

Figura 7-6. Tabla de la verdad de un sumador de 3 bit. El bit menos significativo (LSB) es C_{n-1}, y el más significativo (MSB) es A_n.

Obsérvese que el primer término de S_n corresponde a la línea 1 de la tabla, el segundo término a la línea 2, el tercero a la 4 y el último a la 7. (Estas son las únicas líneas en las que $S_n = 1$). Análogamente, el primer término de C_n corresponde a la línea 3 (en la que $C_n = 1$), el segundo término a la línea 5, etc.

La función AND se denomina a veces *producto* de A y B y C. Asimismo, la operación OR + se expresa como *suma*. Por tanto, expresiones tales como las de las Ecs. (7-1) y (7-2) representan una suma de productos de Boole. Una ecuación de este tipo se dice que está dada en forma *canónica* o normalizada y a cada uno de sus términos se le llama *minterm*. Un minterm contiene el producto de todas las variables de Boole o sus complementos.

La expresión de C_n puede simplificarse notablemente de la siguiente forma: puesto que $Y + Y + Y = Y$, la Ec. (7-2) c()n $Y = A_nB_n$ IC_{n-1} se convierte en

$$\begin{aligned} C_n = {} & (\overline{A}_nB_nC_{n-1} + A_nB_nC_{n-1}) + (A_n\overline{B}_nC_{n-1} + A_nB_nC_{n-1}) \\ & + (A_nB_n\overline{C}_{n-1} + A_nB_nC_{n-1}) \end{aligned} \tag{7-3}$$

Puesto que $\overline{X} + X = 1$ siendo $X = A_n$ en el primer paréntesis, $X = B_n$ en el segundo y $X = C_{n-1}$ en el tercero, la ecuación anterior se reduce a

$$C_n = B_nC_{n-1} + C_{n-1}A_n + A_nB_n \tag{7-4}$$

Esta expresión podría escribirse directamente a partir de la tabla de la verdad de la Fig. 7-6 observando que $C_n = 1$ si, y sólo si, por lo menos dos de las tres entradas son 1.

Es interesante observar que si se cambian todos los 1 por 0 y todos los 0 por 1 se intercambian las líneas 0 y 7 así como las 1 y 6, 2 y 5 y 3 y 4. Ya que esta permuta de los 1 y los 0 no cambia la tabla, esta es igualmente válida, cualquiera que sea la lógica representada por la Fig. 7-6, si se complementan todas las entradas y salidas. Por tanto, la Ec. (7-3) es cierta si se niegan todas las variables, o sea

$$\overline{C}_n = \overline{B}_n\overline{C}_{n-1} + \overline{C}_{n-1}\overline{A}_n + \overline{A}_n\overline{B}_n \tag{7-5}$$

Al mismo resultado se llega (Probl. 7-2) transformando la Ec. (7-4) de Boole.

Hallando $D_n \equiv (A_n + B_n + C_{n-1})\,\overline{C}_n$ y comparando el resultado con la Ec. (7-1) encontraremos que $S_n \equiv D_n + A_n B_n C_{n-1}$, o sea:

$$S_n = A_n\overline{C}_n + B_n\overline{C}_n + C_{n-1}\overline{C}_n + A_nB_nC_{n-1} \tag{7-6}$$

Las Ecs. (7-4) y (7-6) se cumplimentan en la Fig. 7-7 con el empleo de puertas AOI del tipo representado en las Figs. 7-2 y 7-3.

Sumadores MSI

Existen en el mercado sumadores completos de 1, 2 y 4 bit cada uno de ellos en un solo encapsulado. La Fig. 7-8 representa la topología lógica para la suma de 2 bit. Las entradas a la primera etapa son A_o y B_o; la entrada señalada C_{-1} está a tierra. La salida S_o es la suma. El arrastre C_o está conectado internamente y no a una patilla de salida. La segunda etapa del bit menos significativo (LSB) es idéntica a la de la Fig. 7-7 con $n = 0$.

Como el arrastre de la primera etapa es C_o, debe negarse antes de introducirlo en la etapa 2^1. Sin embargo, el retraso introducido por la inversión no es deseable, puesto que la limitación de la velocidad máxima de funcionamiento proviene precisamente del retraso de propagación (Sec. 6-15) del arrastre a través de todos los bit del sumador. El retardo de la puerta NOT se elimina completamente en el arrastre conectando directamente $\overline{C}_o$ a la siguiente etapa y completando las entradas A_1 y B_1 antes de introducirlas en esta etapa. En la Fig. 7-8 se utiliza este último método. Obsérvese que ahora las salidas S_1 y C_1 se obtienen directamente sin necesidad de inversores. La lógica seguida para el arrastre en esta segunda etapa viene dada por la Ec. (7-5) y para la suma por la Ec. (7-6) modificada, en la que cada símbolo es sustituido por su complemento.

En un sumador de 4 bit, C_1 no sale al exterior sino que está conectado interiormente a la tercera etapa que es idéntica a la primera. Asimismo, la cuarta y la segunda tienen topologías idénticas. Un sumador de 4 bit precisa un encapsulado de 16 patillas; 8 de entrada, 4 de salida de suma, 1 salida de arrastre, 1 de entrada de arrastre, 1 para la alimentación y 1 a tierra. La entrada de arrastre sólo se necesita si hay dos unidades aritméticas en cascada. Por ejemplo, poniendo en cascada un sumador de 2 bit con otro de 4 nos da la suma de dos números de 6 bit. Si la unidad de 2 bit se emplea para los dígitos 2^4 y 2^5 deberá sumarse 4 a todos los subíndices de la Fig. 7-8. Por ejemplo, C_{-1} se llamará ahora C_3 y procederá de la salida de arrastre del sumador de 4 bit.

El chip MSI (54LS283) para un sumador binario completo de 4 bit contiene unos 200 componentes

A_n B_n C_{n-1}
$C_{n-1}\bar{C}_n$
$A_n\bar{C}_n$
$B_n\bar{C}_n$
$A_nB_nC_{n-1}$
$\bar{S}_n$
S_n
$\bar{C}_n$
$C_{n-1}A_n$
B_nC_{n-1}
A_nB_n
$\bar{C}_n$

Figura 7-7. Disposición lógica de la n-ésima etapa de un sumador completo.

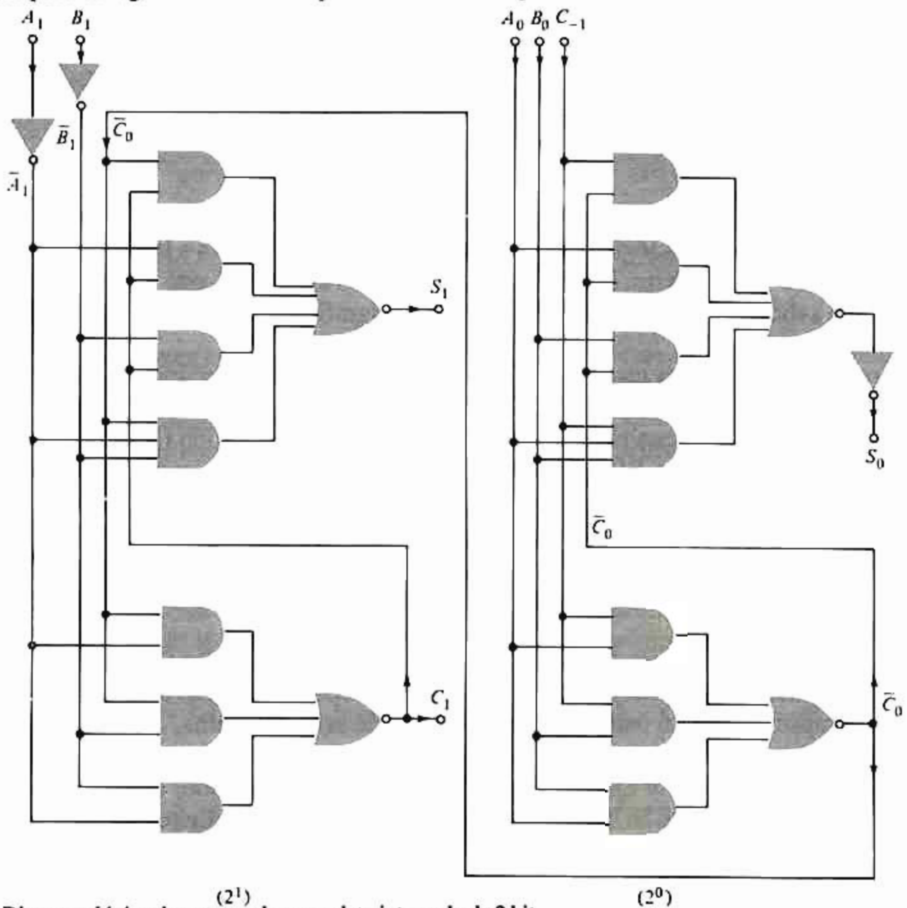


Figura 7-8. Diagrama lógico de un sumador completo integrado de 2 bit.

(resistencias, diodos o transistores). El tiempo de retraso de la propagación desde la entrada a la salida del dato es de unos 16 ns, con una potencia disipada de 190 mW.

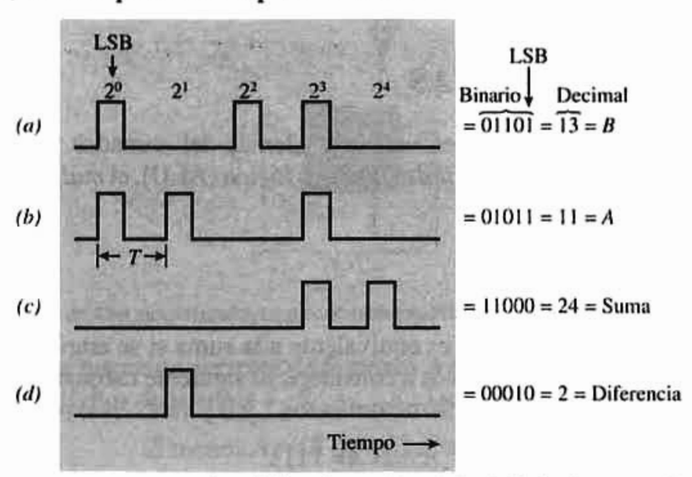


Figura 7-9. (*a, b*) Ondas de impulsos representativas de los números B y A. (*c, d*) Ondas de suma y de diferencia.

Funcionamiento en serie

En un sumador en serie las entradas *A* y *B* son trenes de impulsos sincronizados en dos líneas del calculador. Las Figs. 7-9*a* y *b* representan trenes de impulsos típicos representativos de los números decimales 13 y 11 respectivamente. La suma (24) y la diferencia (2) están representadas por los trenes de impulsos de las Figs. 7-9*c* y *d*. Un sumador en serie es un dispositivo que toma como entradas las ondas de las Figs. 7-9*a* y *b* y da como salida la de 7-9*c*. Asimismo un sustractor (Sec. 7-3) da la salida de la Fig. 7-9*d*.

Hemos hecho notar que la suma de dos números multidígitos puede hacerse añadiendo a la suma de los dígitos de igual significación el arrastre (si lo hay) resultante del lugar inmediato anterior. Con respecto a los trenes de impulsos de la Fig. 7-9 lo dicho equivale a decir que en cualquier momento debemos sumar (en forma binaria) a los impulsos *A* y *B* el de arrastre (si lo hay) procedente del resultado obtenido un periodo de tiempo anterior *T*. La lógica citada se logra con el circuito sumador completo de la Fig. 7-10. Este circuito difiere de la configuración del sumador en paralelo de la Fig. 7-5 en que incluye un tiempo de retardo *TD* igual al tiempo *T* entre impulsos. Así el impulso de arrastre se retrasa un tiempo *T* y se añade a los impulsos dígitos de *A* y *B* en su momento exacto.

Comparando las Figs. 7-5 y 7-10 se ve que la suma en paralelo es más rápida que la en serie porque en la primera se suman simultáneamente todos los dígitos y en la segunda se hace secuencialmente. Pero mientras para una suma aritmética en serie sólo se necesita un sumador completo, en el sistema en paralelo se necesita uno por cada bit. Por tanto, la suma en paralelo es mucho más costosa que la en serie.

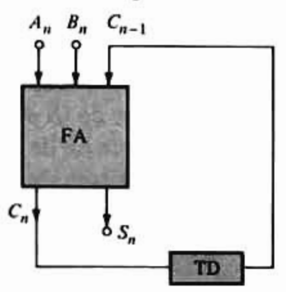


Figura 7-10. Sumador completo en serie.

La unidad de retardo de tiempo *TD* es un FLIP-FLOP (biestable) tipo *D* y la serie de números A_n, B_n y S_n se almacenan en registradores de desplazamiento (Sec. 8-4 y 8-5).

7-3. FUNCIONES ARITMÉTICAS

En esta sección y en las dos siguientes veremos además del sumador ya citado otras unidades aritméticas, incluyendo el *sustractor*, la *unidad aritmética lógica* (ALU), el *multiplicador*, el *comparador digital* y el *comparador de paridad.*

Sustracción binaria

El proceso de sustracción (*B* menos *A*) es equivalente a la suma si se emplea el complemento $\bar{A}$ del sustraendo. Para justificar esta premisa vamos a considerar el siguiente razonamiento (aplicado específicamente a un número de 4 bit). La función NOT cambia los 1 y 0 y viceversa, por tanto[1]

$$A \text{ más } \bar{A} = 1111$$
$$A \text{ más } \bar{A} \text{ más } 1 = 1111 \text{ más } 0001 = 10000$$

o sea

$$A = 10000 \text{ menos } \bar{A} \text{ menos } 1$$

y finalmente

$$B \text{ menos } A = (B \text{ más } \bar{A} \text{ más } 1) \text{ menos } 10000 \quad (7\text{-}7)$$

Esta ecuación indica que para restar un número *A* de 4 bit de otro número *B* también de 4 bit sólo se requiere sumar *B*, $\bar{A}$ y 1 (un 2.º bit). La operación *B* menos *A* debe dar una respuesta de 4 bit. El término «menos 10000» de la Ec. (7-7) infiere que la suma (*B* más $\bar{A}$ más 1) tiene un quinto bit del que deberemos prescindir. Sumando un 1 al complemento a uno de un número binario, se forma el complemento a dos de dicho número. Así, para un número binario *B*, $\bar{B}$ más 1 es la representación del complemento a dos de B.

Ejemplo 7-1

Comprobar la Ec. (7-7) para *B* = 1100 y *A* = 1001 (en decimal, 12 y 19).

Solución

B más $\bar{A}$ más 1 = 1100 más 0110 más 0001 = 10011. Los cuatro bit (menos significativos) 0011 representan el decimal 3 y el quinto bit 1 es un arrastre.

Puesto que en notación decimal *B-A* =12-9 = 3, y la respuesta correcta se obtiene calculando la suma dentro del paréntesis de la Ec. (7-7) teniendo en cuenta que se debe ignorar el arrastre.

En la Ec. (7-7) el 1 del 10000 es el arrastre de salida C_3 = 1 del sumador de 4 bit y cabe emplearlo para el 1 que debe sumarse a $\bar{A}$. A este bit se le denomina *arrastre de retorno* (EAC) porque este arrastre realimenta la entrada C_{-1} del bit menos significativo de *A*. En la Fig. 7-11 se indica esquemáticamente el proceso de sustracción mediante un sumador paralelo de 4 bit.

El método de complemento que acabamos de describir sólo es válido si *B* es mayor que *A* de forma que la diferencia resulte positiva y se genere un arrastre de ($B + \bar{A} + 1$). Si *B* es menor que *A*, el bit más significativo (MSB) de *B* (que difiere del correspondiente bit de *A*) es 0 mientras que el de *A* es 1. Puesto que $\bar{A}$ = 0 el bit más significativo de (*B* más $\bar{A}$) es 0. Por tanto no habrá arrastre en la suma (*B* más $\bar{A}$ más 0001) y hay que modificar el método de la Fig. 7-11. Vamos a demostrar que si no hay arrastre en el

[1] Para evitar confusiones con la operación NOR, emplearemos las palabras «más» (o «menos») en lugar de los signos + y - en las siguientes ecuaciones.

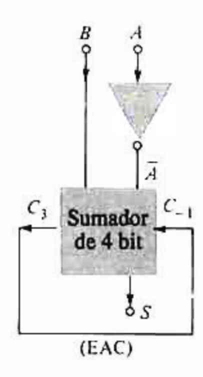


Figura 7-11. Sumador paralelo de 4 bit simplificado, empleado como sustractor.

sistema de la Fig. 7-11, la respuesta correcta de B menos A es negativa y se obtiene por la suma (B más $\bar{A}$) complementando los dígitos de la suma S_0, S_1, S_2, y S_3. De la Ec. (7-7)

$$\begin{aligned} B \text{ menos } A &= (B \text{ más } \bar{A}) \text{ menos } 1111 = \\ &= \text{menos } [1111 \text{ menos } (B \text{ más } \bar{A})] \\ &= \text{menos } \overline{(B \text{ más } \bar{A})} \end{aligned}$$

ya que 1111 menos un número binario de 4 bit es el complemento de dicho número.

Resumiendo: para restar A de B efectuar la suma (B más $\bar{A}$) y ver si existe arrastre. Si lo hay, la diferencia B menos A es positiva y viene dada por S de la Fig. 7-11. Pero si el arrastre es nulo, la diferencia es negativa y viene dada por $\bar{S}$. En la Fig. 7-11 se han omitido los circuitos para detectar el arrastre y para obtener el complemento de S cuando falta el arrastre de retorno.

Un método alternativo para representar números binarios negativos consiste en valerse de un bit adicional llamado *bit de signo*. El número decimal positivo, por ejemplo el 46, se escribe en forma binaria 0^0101110 mientras que si fuera negativo se escribiría 1^0101110. El bit de signo es el dígito situado a la izquierda del signo ^. Como ya se ha indicado, el bit de signo es cero para números positivos y uno para los negativos. El valor del número está representado por los dígitos binarios situados a la derecha del bit de signo, con el más significativo junto a la separación ^. Téngase en cuenta que este signo de separación no siempre se emplea.

Unidad aritmética lógica (ALU) / Función generador

La sustracción puede hacerse también utilizando una unidad aritmética lógica (ALU) tal como la 74AS-181A (o bien la 74AS-881A). Usando cuatro (o tres) líneas selectoras de función se pueden resolver las siguientes operaciones con dos números de 4 bit: B menos A, A menos B, A más B, $A \oplus B$, $A + B$, AB, $A = B$, $A > B$ así como otras operaciones aritméticas y lógicas. Estos encapsulados integrados a escala media tienen 24 patillas y tienen la complejidad de 85 puertas equivalentes (unos 800 componentes).

Multiplicadores binarios

El encapsulado 74LS261 de 16 patillas se emplea para realizar en paralelo el producto de 4×4 bit y para dar una salida de 4 bit. Empleándola conjuntamente con el chip 74LS284 se consigue un producto de 8 bit en unos 40 ns. A esto mismo se puede llegar con el encapsulado 74AS274 de 20 patillas y gran complejidad. Obsérvese que hace falta un segundo chip para obtener los 8 bit resultantes de la multiplicación de 4 × 4 bit. Sin este segundo chip sólo se obtienen los cuatro bit más significativos del producto.

7-4. COMPARADOR DIGITAL

A veces es necesario saber si un número binario A es mayor, igual o menor que otro número B. El sistema para determinarlo se denomina *comparador de magnitud digital* (o binario). Consideremos primero números de un solo bit. Como ya se indicó en la Sec. 6-3, la puerta NOR-Exclusiva es un detector de igualdad, ya que

$$E = \overline{A\overline{B} + \overline{A}B} = \begin{cases} 1 & A = B \\ 0 & A \neq B \end{cases} \tag{7-9}$$

La condición $A > B$ viene dada por

$$C = A\overline{B} = 1 \tag{7-10}$$

ya que si $A > B$, entonces $A = 1$ y $B = 0$, siendo así $C = 1$. Por otra parte, si $A = B$ o $A < B$ ($A = 0$, $B = 1$) entonces $C = 0$.

Análogamente, la restricción $A < B$ viene determinada por

$$D = \overline{A}B = 1 \tag{7-11}$$

El diagrama de bloques lógico de n-ésimo bit de la Fig. 7-12 tiene las tres salidas deseadas C_n, D_n y E_n. Consta de dos inversores, dos puertas AND y del circuito AOI de la Fig. 7-2. Asimismo se puede considerar que la Fig. 7-12 consta de una puerta NOR-Exclusiva y de dos puertas AND. (Obsérvese que las salidas de las puertas AND del bloque AOI de la Fig. 7-2 no son accesibles, y por tanto hay que formar puertas AND adicionales para tener C_n y D_n.)

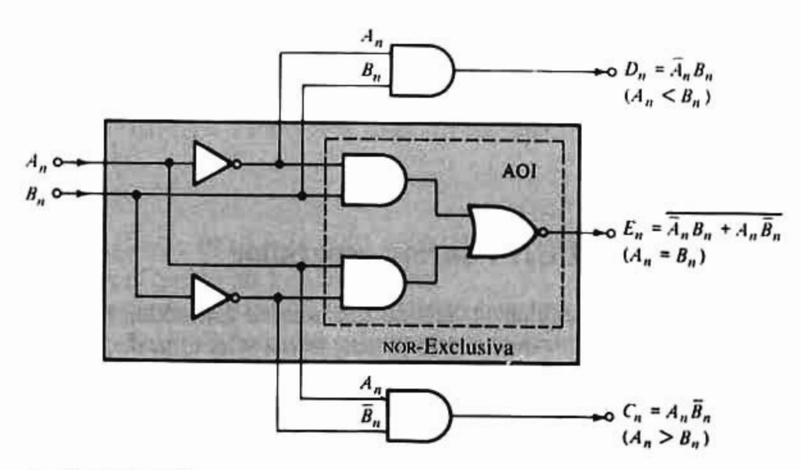


Figura 7-12. Comparador digital de 1 bit.

Consideremos ahora un comparador de 4 bit. $A = B$ requiere que

$$A_3 = B_3 \text{ y } A_2 = B_2 \text{ y } A_1 = B_1 \text{ y } A_0 = B_0$$

por tanto, la puerta AND (E de la Fig. 7-13) descrita por

$$E = E_3E_2E_1E_0 \tag{Fig. 7-12}$$

implica que $A = B$ si $E = 1$ y $A \neq B$ si $E = 0$ (se supone que la entrada E' se mantiene alta, $E' = 1$.)

La desigualdad A> B requiere que

$$\begin{aligned} & A_3 > B_3 \quad \text{(MSB)} \\ \text{o} \quad & A_3 = B_3 \quad \text{y} \quad A_2 > B_2 \\ \text{o} \quad & A_3 = B_3 \quad \text{y} \quad A_2 = B_2 \quad \text{y} \quad A_1 > B_1 \\ \text{o} \quad & A_3 = B_3 \quad \text{y} \quad A_2 = B_2 \quad \text{y} \quad A_1 = B_1 \quad \text{y} \quad A_0 > B_0 \end{aligned}$$

Las condiciones anteriores se satisfacen por la expresión de Boole

$$C = A_3\overline{B}_3 + E_3A_2\overline{B}_2 + E_3E_2A_1\overline{B}_1 + E_3E_2E_1A_0\overline{B}_0 \tag{7-13}$$

si, y sólo si $C = 1$. La puerta AND-OR para C está indicada en la Fig. 7-13 (supuesto que $C' = 0$).

La condición de que $A > B$ se obtiene de la Ec. (7- 13) intercambiando A y B, o sea

$$D = \overline{A}_3B_3 + E_3\overline{A}_2B_2 + E_3E_2\overline{A}_1B_1 + E_3E_2E_1\overline{A}_0B_0 \tag{7-14}$$

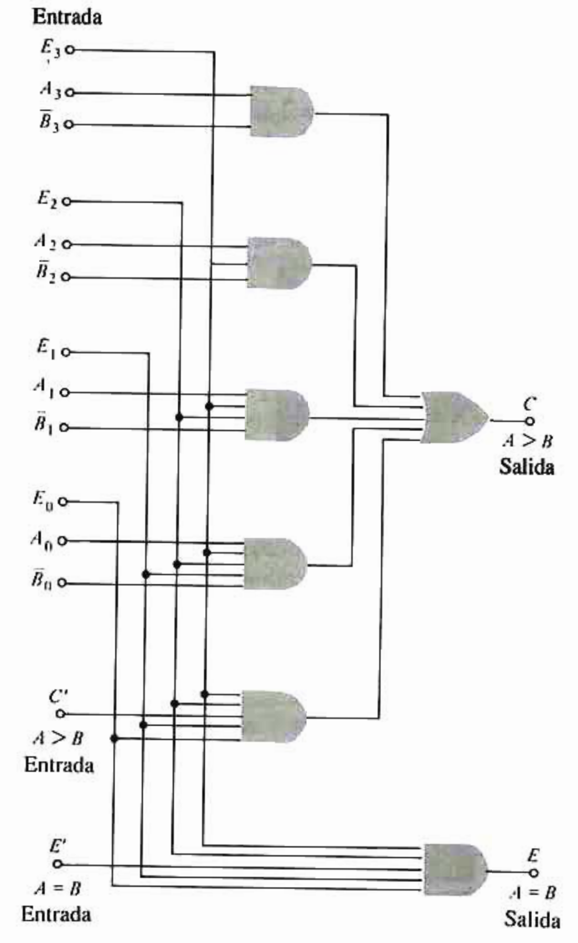


Figura 7-13. Comparador de magnitud de 4 bit. Supuesto C' = 0 y E' = 1. Si E = 1 entonces A = B y si C = 1, A > B. Si D = 1, A < B teniendo D la misma topología que C pero con A y B intercambiadas.

implica que $A < B$ si, y sólo si $D = 1$. Esta parte del sistema se obtiene de la Fig. 7-13 cambiando A por B, B por A y C por D. Además D se puede deducir de $D = \overline{EC}$ ya que si $A \neq B$ ($E = 0$) y si $A \not> B$ ($C = 0$), entonces $A < B$ ($D = 1$). Sin embargo esta utilización de D introduce el retardo de propagación adicional de un inversor y de una puerta AND. Por tanto, la lógica indicada en la Ec. (7-14) para D se fabrica en el mismo chip que para C de la Ec. (7-13) y E de la Ec. (7-12).

El 74HC85 es un encapsulado a media escala que permite comparar magnitudes de 4 bit. Si hay que comparar números de más cifras se pueden emplear varias de estas unidades en cascada. Consideremos un comparador de 8 bit. Designemos con E_L el terminal de salida $A = B$ de la etapa correspondiente a los bit menos significativos, con C_L el terminal de esta etapa para $A > B$ y con D_L la salida $A < B$. Entonces, las conexiones $E' = E_L$, $C' = C_L$ y $D' = D_L$ (Fig. 7-13) deben hacerse a las etapas de los bit más significativos (Prob. 7-8). Para la etapa correspondiente a los bit menos significativos, las salidas C' y D' están conectadas a tierra ($C' = 0$ y $D' = 0$) y la entrada E' lo está al suministro de tensión ($E' = 1$). ¿Por qué? El 74HC688 es uno de tales comparadores de 8 bit.

7-5. COMPROBADOR GENERADOR DE PARIDAD

Otra operación aritmética que se encuentra frecuentemente en sistemas digitales es la de determinar si la suma de los bit binarios en una información es impar o par. La salida de una puerta OR-Exclusiva es 1 si una de las entradas es 1 y la otra es 0; o dicho de otra forma, la salida es 1 si la suma de los dígitos es 1. Una extensión de este concepto al OR-Exclusivo múltiple de la Fig. 7-14 lleva a la conclusión de que $Z = 1$ (o $Y = 0$) si la suma de los bit de entrada A, B, C y D es impar. Por tanto, si la entrada P' está a tierra ($P' = 0$) tendremos $P = 0$ si la suma es impar y $P = 1$ si es par.

El sistema de la Fig. 7-14 no es sólo un comprobador de paridad, sino que puede usarse también para generar un bit de paridad P. Independientemente de la paridad de la información de entrada de 4 bit, la paridad de código de 5 bit A, B, C, D y P es impar. Esto proviene del hecho de que si la suma de A, B, C y D es impar (o par), P será 0 (o 1) y por tanto la suma de A, B, C, D y P será siempre impar.

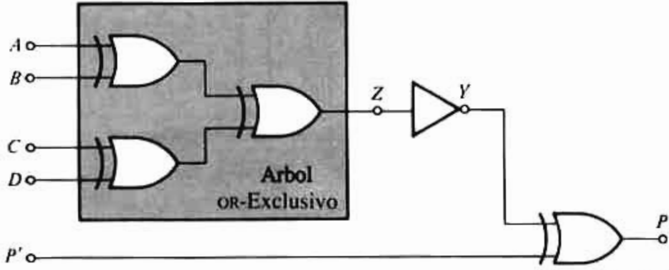


Figura 7-14. Comprobador de paridad impar, o generador de bit de paridad para una información de 4 bit. Suponiendo P' = 0, P = 0 (o 1) representa paridad impar (o par).

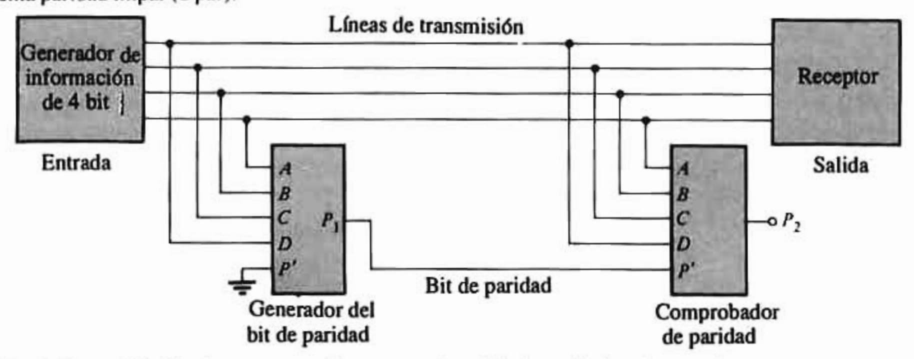


Figura 7-15. Una información binaria se comprueba generando un bit de paridad en la entrada de una línea y comprobando en el extremo receptor el sistema de paridad de los bit transmitidos más el generado.

El empleo de un código de paridad es un método eficaz para aumentar la fiabilidad de la transmisión de información binaria. Tal como se indica en la Fig. 7-15 se genera un bit de paridad P_1 que se transmite junto con los N bit de entrada de la información. A la recepción se comprueba la paridad de la señal aumentada de (N + 1) bit. Y si la salida del comprobador P_2 es 0 se puede suponer que no hay error en la transmisión del mensaje, mientras que si $P_2 = 1$ indica que hay un error (debido quizás al ruido) en la recepción. Obsérvese que con un solo comprobador de paridad sólo se pueden detectar los errores en un número impar de dígitos.

Existe un generador-comprobador de paridad de 9 bit (74HC280) con entradas controladas de tal forma que puede aplicarse a cualquiera de los dos tipos de paridad. Para informaciones de más de 8 bit se pueden emplear varias unidades en cascada. (Prob. 7- 14).

La unidad 74HC386 integrada a escala media contiene cuatro puertas OR-Exclusiva de 2 entradas.

7-6. DECODIFICADOR DEMULTIPLEX

En un sistema digital pueden transmitirse tanto instrucciones como números mediante niveles binarios o trenes de impulsos. Si por ejemplo los cuatro bit de un mensaje se disponen para transmitir instrucciones se pueden lograr 16 órdenes distintas. Esta información está *codificada* en sistema binario. Frecuentemente se precisa de un conmutador de varias posiciones que pueda funcionar de acuerdo con este código. Dicho de otra forma: para cada uno de los 16 códigos una, y sólo una línea debe ser excitada. Esta forma de identificar un código particular se denomina *decodificación.*

Sistema de codificación binario-decimal (BCD)

Este código traduce números decimales sustituyendo cada cifra decimal por una combinación de cuatro dígitos binarios. Como hay 16 formas distintas en que se pueden disponer 4 cifras binarias, 10 combinaciones cualesquiera pueden representar los dígitos decimales de 0 al 9. Por tanto tenemos una amplia disponibilidad de códigos BCD. Una de éstas llamada *código binario decimal natural* es el código 8421 empleado para representar el número decimal 264 en la Tabla 7-1. Este es un código ponderado porque sus dígitos decimales son iguales a la suma de los productos de los bit de las señales codificadas por las sucesivas potencias de dos, empezando por la derecha. Necesitamos 4N bit para representar en notación BCN un número decimal de N dígitos. Los cuatro bit de la derecha representan las unidades, los cuatro siguientes las decenas, los siguientes las centenas, etc. Por ejemplo, el número 264 necesita tres grupos de 4 bit, como puede verse en la Tabla 7-1. Obsérvese que estas tres décadas pueden representar cualquier número desde el 0 al 999. Por tanto tiene una resolución de una parte en mil, o sea 0,1 %. Esto requiere 12 bit que en un código normal puede resolver una parte en $2^{12} = 4096$, o sea 0,025%.

Tabla 7-1 Representación BCD del decimal 264

Factor ponderado	800	400	200	100	80	40	20	10	8	4	2	1
Código BCD	0	0	1	0	0	1	1	0	0	1	0	0
Dígitos decimales			2				6				4	

Decodificador de BCD a decimal

Supongamos que deseamos decodificar una instrucción BCD representativa de un número decimal, por ejemplo el 5. Esta operación puede llevarse a cabo con una puerta AND de cuatro entradas excitadas

por los cuatro bit BCD. Por ejemplo, la salida de la puerta AND de la Fig. 7-16 es 1 sólo si las entradas BCD son $A = 1$ (LSB), $B = 0$, $C = 1$ y $D = 0$. Ya que este código representa al número decimal 5, la salida se señala «línea 5».

En la Fig. 7-17 se representa un decodificador BCD a decimal. Esta unidad MSI (74HC42) tiene cuatro entradas A, B, C y D, y 10 líneas de salida (de momento prescindimos de las líneas de trazos). Además ha de haber una conexión a tierra y otra a la alimentación de potencia, y por consiguiente se hace necesario un encapsulado de 16 patillas. Las entradas complementarias $\bar{A}$, $\bar{B}$, $\bar{C}$ y $\bar{D}$ se obtienen de inversores en el mismo chip. Como se emplean puertas NAND una salida es 0 (baja) para el código BCD correcto, y es 1 (alta) para cualquier otro código (no válido). Al sistema de la Fig. 7-16 se le denomina también «decodificador de 4 a 10» indicando que una entrada de 4 bit selecciona una de las 10 líneas de salida. En otras palabras, el decodificador actúa como un conmutador de 10 posiciones que responde a las instrucciones de una entrada BCD.

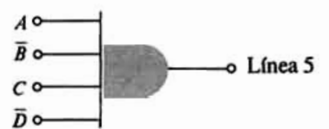


Figura 7-16. La salida es 1 si la entrada BCD es 0101 y es 0 para cualquier otra instrucción de entrada.

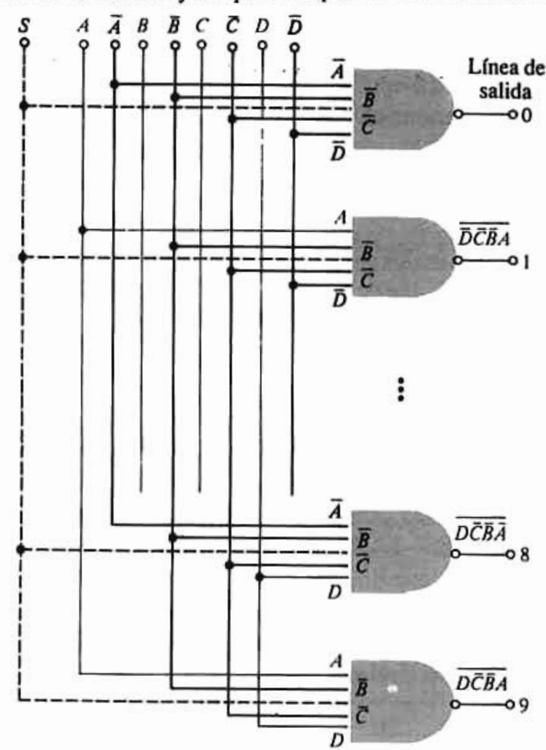


Figura 7-17. Decodificador BCD a decimal.

Algunas veces se desea decodificar sólo durante ciertos intervalos de tiempo. En tales aplicaciones se añade una entrada adicional inhibidora a cada puerta NAND. Todas estas entradas se unen entre sí y se excitan mediante una señal binaria S como se indica con las líneas de trazos de la Fig. 7-17. Si S = 1 queda liberada una puerta y tiene lugar la decodificación, mientras que si $S = 0$ no hay coincidencia posible y la decodificación queda inhibida. La entrada adicional puede emplearse cualquiera que sea el número de entradas y de salidas del codificador.

Demultíplex

El *demultíplex* es un sistema para transmitir una señal binaria (con los datos en serie) a una de entre N líneas, elegida mediante un selector. El equivalente mecánico del demultíplex sería un conmutador rotativo unipolar de N posiciones conectado como en la Fig. 7-18*a*. El selector determina el ángulo de giro del brazo del conmutador. Un decodificador se convierte en demultíplex añadiendo las conexiones de trazos de la Fig. 7-17. Si se aplica la señal a S, la salida será el complemento de tal señal (ya que la salida es 0 si todas las entradas son 1) apareciendo únicamente en la línea seleccionada.

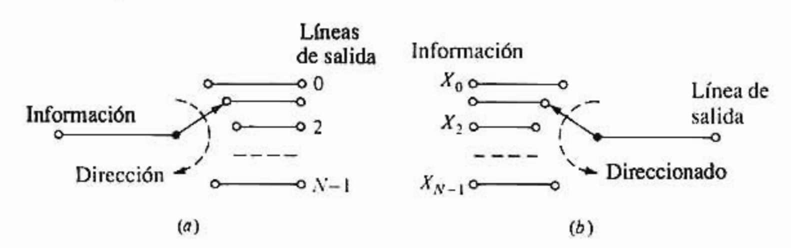


Figura 7-18. Semejanza mecánica de: (*a*) un demultíplex, y (*b*) un multíplex.

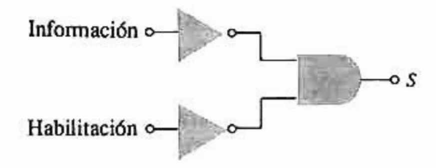


Figura 7-19. Un decodificador se convierte en un multíplex (con una entrada habilitadora) si el terminal S de la Fig. 7-17 se saca de la puerta AND.

Se puede aplicar a un demultíplex una señal de cebado conectando en cascada el sistema de la Fig. 7-17 con el de la Fig. 7-19. Si la entrada de la habilitación es 0, S será el complemento del dato. Por tanto, el dato aparecerá (sin inversión) en la línea con el código deseado. Si la entrada de habilitación es 1, S = 0 los datos se inhiben en cualquier línea y todas las entradas permanecen en 1.

Decodificador-Demultíplex de 4 a 16 líneas

Si se aplican a las entradas de la Fig. 7-17 las instrucciones correspondientes a un número decimal mayor que 9, esta instrucción será rechazada, es decir, que las 10 salidas permanecerán en 1. Si se desea seleccionar 1 de las 16 líneas de salida el sistema se ampliará añadiendo 6 puertas NAND más y utilizando los 16 códigos posibles con 4 bit binarios.

El 74HC154 es un decodificador-demultíplex de 4 a 16 líneas. Tiene 4 líneas de selección, 16 de salida, dos entradas de habilitación, una patilla para tierra y el suministro de potencia, en total se necesita un encapsulado de 24 patillas.

También existen decodificadores-demultíplex de 2 a 4 líneas (74HC139) y de 3 a 8 líneas (74HC138) en encapsulados integrados individuales.

Un demultíplex de 1 a 2 líneas se forma con dos puertas NAND de dos entradas. La línea de salida cero procede de la NAND cuyas entradas son S y $\bar{A}$ mientras que la línea de salida uno se conecta a la NAND cuyas entradas son S y A. Esta última entrada se denomina de *control* ya que si A = 0 (o 1) en la línea 0 (o 1) aparecerá el complemento del dato $\bar{S}$.

Decodificador-excitador de lámpara

Algunos decodificadores van equipados con unas etapas de salida especiales de forma que pueden excitar lámparas tales como los tubos Burroughs Nixie. El indicador Nixie es un tubo de descarga de gas de cátodo frío de un solo ánodo y 10 cátodos que son unos alambres perfilados con la forma de las cifras 0 al 9. Estos cátodos están conectados a las líneas de salida 0 a 9 respectivamente, y el ánodo lo está a una tensión fija. La combinación de decodificador-excitador de lámpara-indicador Nixie hace visible el número decimal correspondiente al número BCD aplicado. Por tanto si la entrada es 0101 lucirá en la lámpara el número 5.

En la Sec. 7-11 trataremos de un decodificador cuyas cifras se forman con siete segmentos que se hacen visibles por tratarse de diodos emisores de luz. Estos dispositivos son muy corrientes en calculadoras, relojes y en una gran variedad de instrumentos.

Demultíplex de orden superior

Si el número N de líneas de salida supera las 16, se disponen demultíplex de $N = 16, 8, 4$ o 2 formando «árbol» para alcanzar el número de salidas deseado. Por ejemplo, para $N = 32$ podemos usar un demultíplex con el «tronco» $N_1 = 4$ y cuatro «ramas» $N_2 = 8$ como en la Fig. 7-20. Obsérvese que el número total de líneas de salida es $N = N_1N_2 = 32$. Las líneas del 0 al 7 las decodifica el demultíplex N_{20}, mientras que N_{21} decodifica los ocho siguientes y así sucesivamente.

Para $ED = 01$ las líneas 8 a 15 se decodifican secuencialmente a medida que el selector CBA pasa de 000 a 001, a..... a 111. Por ejemplo la línea 12 se decodificará con la selección EDCBA = 01100 que es la representación binaria del decimal 12. La línea 19 se decodifica con EDCBA = 10011, etc. Puesto que en un encapsulado hay dos decodificadores de 2 a 4 líneas, para el sistema de la Fig. 7-20 se necesitará el equivalente de 4,5 encapsulados. Este mismo sistema se puede formar con $N_1 = 8$ y $N_2 = 4$ (Prob. 7-16) o con $N_1 = 2$ y $N_2 = 16$, etc. El diseño más adecuado lo determina el coste total.

Se puede diseñar un demultíplex de 64 salidas con $N_1 = N_2 = 8$, con un total de 9 encapsulados. ¿Por qué? Para valores muy grandes de N se requiere una mayor ramificación (Prob. 7-17) en la que cada salida de la Fig. 7-20 es la entrada a otro demultíplex.

7-7. MULTÍPLEX-SELECTOR DE DATOS

La función desempeñada por un multíplex es la de seleccionar una de entre N líneas de entrada y transmitirla a un canal de información único. El conmutador de N posiciones conectado como en la Fig. 7-18*b* es el equivalente mecánico de un multíplex. Comparemos las Figs. 7-18*a* y 7-18*b*. Puesto que el demultíplex tiene una sola línea de entrada cuya señal se transmite a una de entre varias salidas, es evidente que el multíplex realiza el proceso inverso.

El demultíplex de la Fig. 7-17 se convierte en multíplex mediante las dos modificaciones siguientes: (1) Adición de una puerta NAND cuyas entradas incluyen las N salidas de la Fig. 7-17, y (2) Añadir a cada puerta NAND una entrada de datos individual $X_0, X_1 \ldots X_N$. La Fig. 7-21 representa el sistema lógico de un multíplex-selector de datos de 4 a 1 línea. Esta lógica AND-OR es equivalente a la lógica NAND-NAND descrita anteriormente en 1 y 2. Obsérvese que tanto en el multíplex como en el demultíplex se emplea la misma configuración de decodificador. Si el código seleccionado es 01, en la salida Y aparecerá X_1 y si es 11 tendremos $Y = X_3$, etc., supuesto que el sistema esté habilitado ($S = 0$).

Existen en el mercado los siguientes multíplex-selector de datos: 16 a 1 línea (74AS250) uno por

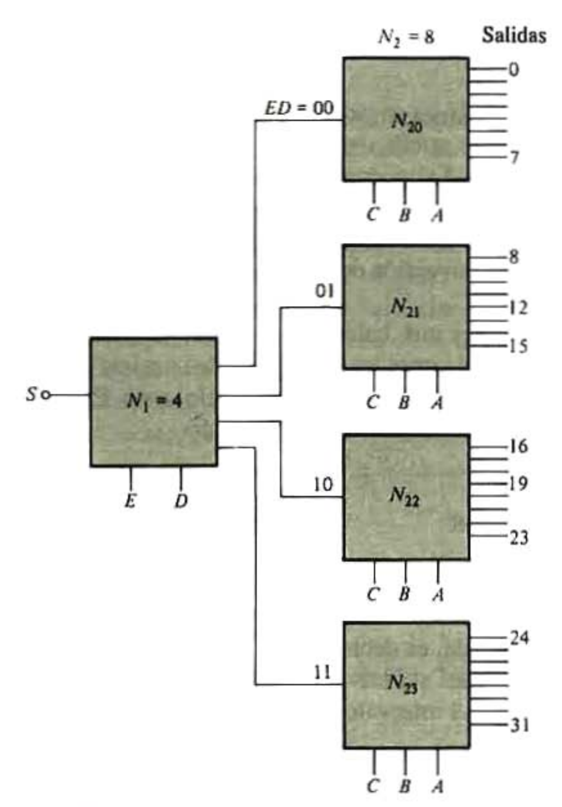


Figura 7-20. Arbol demultíplex de 32 salidas siendo N_1 un demultíplex de 4 salidas y N_2 otro de 8 salidas.

encapsulado; 8 a 1 línea (74HC151A) uno por encapsulado; 4 a 1 línea (74HC253) dos por encapsulado; y 2 a 1 línea (74HC157) cuatro por encapsulado. El multíplex 1 de 16 es un encapsulado de 24 patillas con 16 entradas de datos, un selector de código de 4 bit, una entrada inhibidora, una salida, una de alimentación y un terminal de tierra. Para un selector de 16 a 1 líneas la Fig. 7-21 se amplía desde 4 puertas AND de 4 entradas hasta 16 puertas AND de 6 entradas.

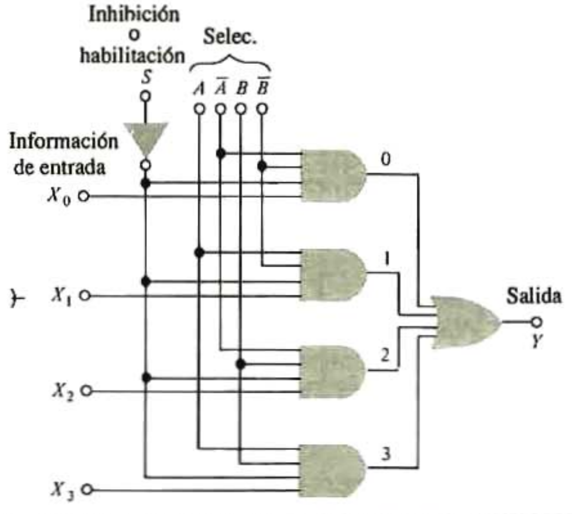


Figura 7-21. Multíplex de 4 a 1 líneas. Dos de tales sistemas se encapsulan formando el 74HC253. Obsérvese que A es el bit menos significativo; A y B se obtienen de inversores del propio chip.

Conversión paralelo a serie

Consideremos una información de 16 bit en paralelo, de forma que X_0 represente el bit 2^0, X_1 el bit 2^1, etc. Mediante un contador (Sec. 8-6) se puede cambiar el código de tal forma que sea 0000 durante los *T* primeros segundos, 0001 durante los *T* siguientes, 0010 durante otros *T*, etc. Con estos cambios de código, la salida del multíplex será X_0 durante el primer período T, X_1 durante el segundo, X_2 durante el tercero, etc. La salida *Y* es una onda que representa en serie los datos varios aplicados en paralelo a la entrada. En otras palabras, se ha llevado a cabo una conversión de paralelo a serie de una información de 16 bit. Este proceso emplea 16 *T* segundos.

En un sistema digital tal como una calculadora, o un sistema de comunicación de datos, etc., frecuentemente se necesita un tren de impulsos con fines de ensayos y mando (excitación). El generador de secuencia se obtiene por medio de un convertidor paralelo-serie. Eligiendo apropiadamente el dato de entrada *X* se puede obtener cualquier forma de onda deseado.

Selección secuencial de datos

Cambiando el código en la forma indicada en el párrafo anterior se simula el funcionamiento de un conmutador electromecánico. Si los datos de entrada son un tren de impulsos, la información aparecerá secuencialmente en el canal de salida, es decir que el impulso X_0 aparecerá durante *T* segundos, seguido del X_1 durante otros *T* segundos y así sucesivamente. Si el número de fuentes de entrada es *M*, X_0 será seleccionado nuevamente durante el intervalo $MT < t < (M + 1)\ T$.

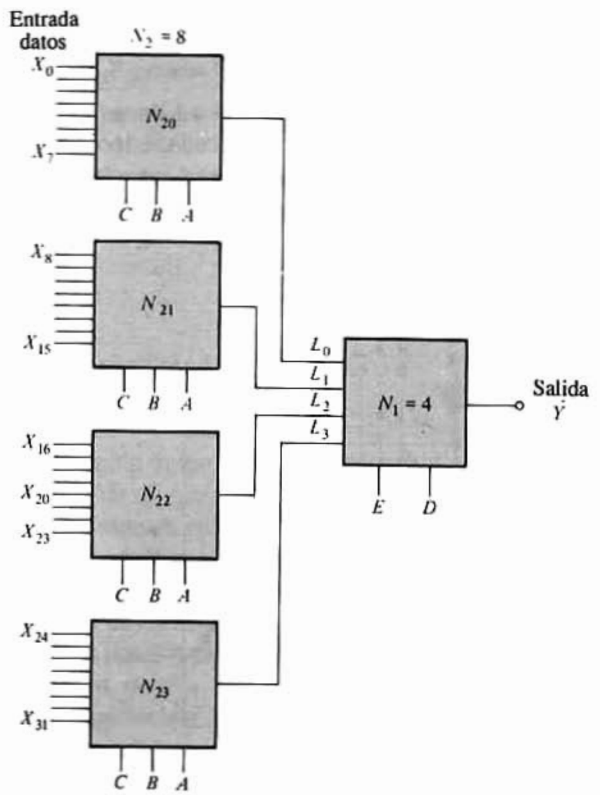


Figura 7-22. Multíplex selector de datos de 32 a 1 líneas, siendo N_1 un multíplex de 4 a 1 líneas y N_2 otro de 8 a 1 líneas.

Multíplex de orden superior

Si el número de líneas de entrada es mayor de 16 el diagrama lógico toma una topología que no es más que la inversa de la de la Fig. 7-20. Por ejemplo, para seleccionar uno de entre 32 datos de entrada deberá emplearse el sistema de la Fig. 7-22. El multíplex N_{20} sitúa secuencialmente los datos de entrada X_0 a X_7 en la línea L_0 a medida que el código CBA va pasando de 000 a 001, a... 111. De igual forma N_{21} transmite los datos de X_8 a X_{15} en la línea L_1 a medida que CBA va pasando de 000 hasta 111. Concretamente, si el código es CBA = 100, entonces X_4 aparece en L_0, X_{12} en L_1, X_{20} en L_2 y X_{28} en L_3. Si se desea que el dato X_{20} pase a la salida, ED deberá ser igual a 10 de forma que N_1 seleccione el dato de la línea L_2. Resumiendo: con el código EDCBA = 10100 el multíplex transfiere el dato de entrada X_{20} a la línea de salida Y. En el Prob. 7-20 se da una solución alternativa para seleccionar uno entre 32 datos de entrada empleando dos multíplex de 16 entradas de datos. Obsérvese que el número total de líneas de entrada es $N = N_2N_1$. Para valores muy grandes de N puede ser necesario un tercer nivel N_3 de multíplex. Las salidas de N_3 se conectan a las entradas de N_2 y las salidas de éstos a las entradas de N_1. Este sistema selecciona una entrada de entre $N = N_3N_2N_1$.

Lógica combinacional

La expresión de Boole para la salida Y del multíplex de la Fig. 7-21 es:

$$Y = X_0\overline{B}\,\overline{A} + X_1\overline{B}A + X_2B\overline{A} + X_3BA \tag{7-15}$$

Como se vio en la Sec. 7-2 la combinación lógica de tres variables viene representada por la suma de productos A, B y C. Cada «minterm» es de la forma CBA o los complementos de estas variables. Por tanto, un multíplex puede satisfacer cualquier ecuación lógica-combinacional si se eligen adecuadamente las entradas X. Por tanto se requiere que $X = C$ o bien $X = \overline{C}$. Si los términos contienen ambos C y $\overline{C}$, entonces $X = C + \overline{C} = 1$ y si falta un término, entonces $X = 0$.

Ejemplo 7-2

Formar la siguiente ecuación lógica-combinacional a partir de un multíplex de 4 entradas

$$Y = C\overline{B}\,\overline{A} + \overline{C}\,\overline{B}\,\overline{A} + C\overline{B}A + \overline{C}BA \tag{7-16}$$

Solución

Puesto que $\overline{B}\,\overline{A}$ representa el decimal 0, el coeficiente de $\overline{B}\,\overline{A}$ es X_0. Por tanto, $X_0 = C + \overline{C} = 1$. Puesto que $\overline{B}A$ representa el decimal 1, el factor multiplicador de $\overline{B}A$ es X_1. Por tanto $X_1 = C$. Puesto que BA representa el 3, $X_3 = \overline{C}$. Puesto que $B\overline{A}$ que representa el 2 no aparece en la ecuación, $X_2 = 0$. Resumiendo:

$$X_0 = 1 \quad X_1 = C \quad X_2 = 0 \quad \text{y} \quad X_3 = \overline{C}$$

Si se emplean estos valores en el multíplex de la Fig. 7-21, la salida Y iguala a la lógica combinacional de la Ec. (7-16).

En este ejemplo se ha formado una ecuación de Boole de tres variables mediante un multíplex de 4 a

1 líneas. En general se puede generar una ecuación de N variables con un selector de datos de 2^{n-1} entradas.

7-8. CODIFICADOR

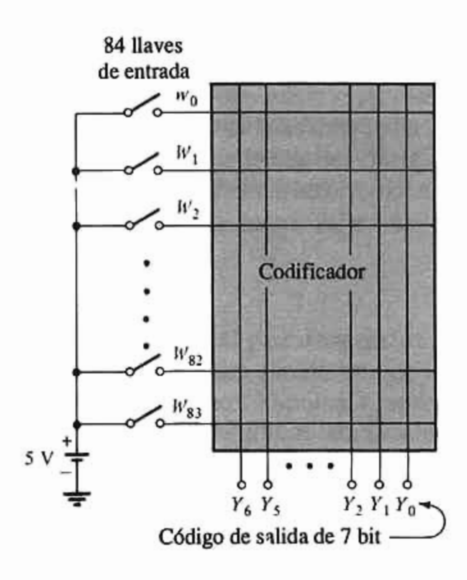


Figura 7-23. Diagrama de bloques de un codificador que genera una información de salida para cada carácter de un teclado.

Un decodificador es un sistema que acepta una información de M bit y establece el estado 1 en una (y sólo en una) de 2^M líneas de salida (Sec. 7-6). En otras palabras, un decodificador identifica (reconoce) un código particular. Al proceso inverso se le denomina *codificador*. Un codificador tiene un número de entradas, de las que sólo una está en estado 1, y se forma un código de N bit dependiente de cuál de las entradas sea la excitada.

Supongamos por ejemplo que se desea transmitir un código binario con cada pulsación a un teclado (una máquina de escribir o un teletipo). En el teclado hay, por ejemplo, 26 letras minúsculas, 26 mayúsculas, 10 cifras, y unos 22 caracteres especiales; y por tanto el número de códigos necesarios es de aproximadamente 84. Esto puede satisfacerse con un mínimo de 7 bit ($2^7 = 128$, pero $2^6 = 64$). Modifiquemos el teclado de forma que si se presiona una tecla se cierre un interruptor que conecta una alimentación a 5*V* (correspondiente al estado 1) a una línea de entrada. La Fig. 7-23 representa el diagrama de bloques de un codificador. En el interior del bloque sombreado hay una serie de conductores cruzados rectangularmente (matriz) y vamos a determinar cómo conectarlos para formar los códigos deseados.

Para explicar el proceso del diseño para construir un codificador simplificaremos el anterior ejemplo limitando a 10 el número de teclas del teclado correspondientes a las cifras del 0 al 9. Un código de salida de 4 bit es suficiente en este caso, y tomaremos el sistema BCD para los códigos de salida. La tabla de la verdad que define este codificador puede verse en la Tabla 7-2. La entrada W_n ($n = 0, 1, 2, \ldots 9$) representa la tecla n-ésima. Cuando $W_n = 1$ la tecla n está presionada. Como se supone que no hay más que una tecla activada simultáneamente, en cada fila todas las entradas menos una están en 0. De esta tabla de la verdad se deduce que $Y_0 = 1$, o si $W_1 = 1$, o si $W_3 = 1$, o si $W_5 = 1$ o si $W_7 = 1$, o si $W_9 = 1$, y de ahí que en notación de Boole

$$Y_0 = W_1 + W_3 + W_5 + W_7 + W_9 \tag{7-17}$$

y análogamente

$$\begin{aligned} Y_1 &= W_2 + W_3 + W_6 + W_7 \\ Y_2 &= W_4 + W_5 + W_6 + W_7 \\ Y_3 &= W_8 + W_9 \end{aligned} \tag{7-18}$$

Las puertas OR de las Ecs. (7-17) y (7-18) se forman con diodos (Fig. 7-24). (Compárese con la Fig. 2-13 pero con los diodos invertidos porque estamos considerando una lógica positiva.) Una disposición de codificador como la de la Fig. 7-24 se denomina *matriz rectangular de diodos* y es semejante a la disposición lógica programable (PLA) descrita en la Sec. 7-15.

Tabla 7-2 Tabla de la verdad para codificar los números decimales del 0 al 9

Entradas										*Salidas*			
W_9	W_8	W_7	W_6	W_5	W_4	W_3	W_2	W_1	W_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	1	0	0	1

Incidentalmente, puede construirse un decodificador como una matriz rectangular de diodos (Prob. 7-29) lo que se deduce del hecho de que un decodificador está formado de puertas AND (Fig. 7-16) y de la posibilidad de formar puertas AND con diodos (Fig. 6-36).

Cada diodo del codificador de la Fig. 7-24 se puede reemplazar por el diodo base-emisor de un transistor. Si el colector está unido a la tensión de alimentación V_{CC}, resulta una puerta 0 de seguidor de emisor. Tal configuración está representada en la Fig. 7-25*a* para la salida Y_2. Obsérvese que si cualquiera de las W_4, W_5, W_6 o W_7 están en estado alto la salida del seguidor de emisor también está alta cumpliéndose que $Y_2 = W_4 + W_5 + W_6 + W_7$ como requiere la Ec. (7-18).

Por cada entrada del codificador se necesita sólo un transistor (con emisor múltiple). La base se une a la línea de entrada y cada emisor a una línea de salida distinta de acuerdo con la lógica del codificador. Por ejemplo, puesto que en la Fig. 7-24 la línea W_7 está unida a tres diodos cuyos cátodos van a Y_0, Y_1 y Y_2 esta combinación puede sustituirse por el transistor *Q*7 de tres emisores conectado como en la Fig. 7-25*b*. El máximo número de emisores que se pueden necesitar es igual al número de bit del código de salida. Para el codificador en particular esbozado en la Fig. 7-24, *Q*1, *Q*2, *Q*4 y *Q*8 tienen un emisor cada uno; *Q*3, *Q*5, *Q*6 y *Q*9 tienen dos y *Q*7 tiene tres emisores.

Etapas de salida

Un codificador bipolar utiliza etapas de salida normales TTL. Si cada línea de salida del codificador va a la entrada de datos de la Fig. 6-39*a* resulta una salida de excitación en totem. Si una línea de salida del codificador va a la entrada de datos de la Fig. 6-39*b* tendremos una salida en colector abierto.

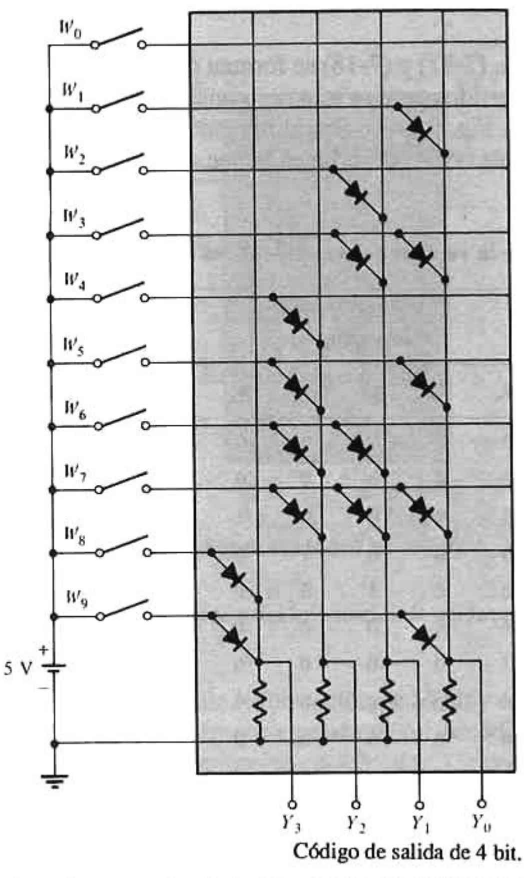


Figura 7-24. Matriz codificadora para transformar un número decimal a código BCD. Se puede suprimir la llave W_0 ya que la salida es siempre 0000 salvo que esté activada alguna de las otras nueve llaves.

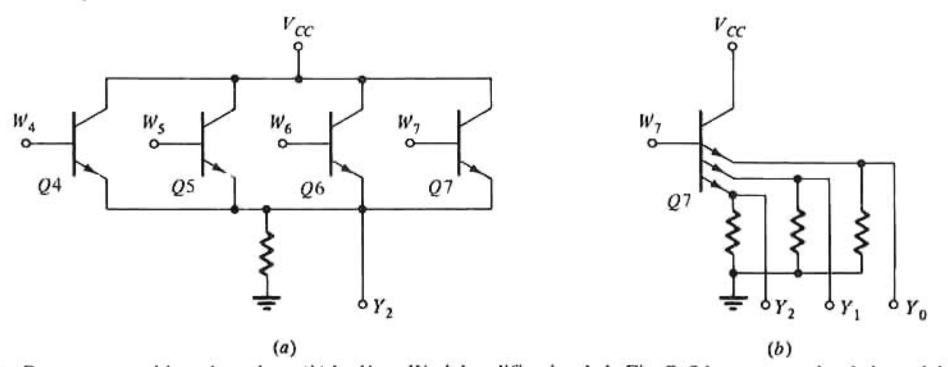


Figura 7-25. (*a*) Puerta OR seguidora de emisor. (*b*) La línea W_7 del codificador de la Fig. 7- 24 va conectada a la base del transistor de tres emisores.

Codificador con prioridad

Vamos a prescindir del supuesto de que en cualquier momento haya presionada una sola tecla. Si accidentalmente se presionan simultáneamente varias de ellas vamos a dar prioridad y codificar la de orden más elevado. Por ejemplo, si se activan simultáneamente W_5 y W_6 se pretende que la salida corresponda a W_6. La tabla de la verdad de un codificador de 10 a 4 líneas con prioridad es la expuesta en la Tabla 7-3. Una X en la tabla significa que esa entrada es *irrelevante*. Puede ser 1 o 0 y por tanto no importa cual sea su estado. Sin embargo sí habrá que tener en cuenta un 0 en la tabla, que en la Tabla 7-2 se podía despreciar, ya que ésta queda determinada únicamente por los 1 en su diagonal.

La expresión de Boole para Y_1 deducida de la Tabla 7-3 es

$$Y_1 = \overline{W}_9\overline{W}_8\overline{W}_7\overline{W}_6\overline{W}_5\overline{W}_4\overline{W}_3W_2 + \overline{W}_9\overline{W}_8\overline{W}_7\overline{W}_6\overline{W}_5\overline{W}_4W_3 + \overline{W}_9\overline{W}_8\overline{W}_7W_6 + \overline{W}_9\overline{W}_8W_7 \tag{7-19}$$

Esta ecuación puede simplificarse notablemente. Obsérvese que

$$Y_1 = \overline{W}_9\overline{W}_8(\overline{W}_7B + W_7) \tag{7-20}$$

donde

$$B \equiv \overline{W}_6\overline{W}_5\overline{W}_4\overline{W}_3W_2 + \overline{W}_6\overline{W}_5\overline{W}_4W_3 + W_6 \tag{7-21}$$

Tabla 7-3 Codificador con prioridad (10 líneas decimales a 4 líneas BCD)

Entradas										*Salidas*			
W_9	W_8	W_7	W_6	W_5	W_4	W_3	W_2	W_1	W_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	X	0	0	0	1
0	0	0	0	0	0	0	1	X	X	0	0	1	0
0	0	0	0	0	0	1	X	X	X	0	0	1	1
0	0	0	0	0	1	X	X	X	X	0	1	0	0
0	0	0	0	1	X	X	X	X	X	0	1	0	1
0	0	0	1	X	X	X	X	X	X	0	1	1	0
0	0	1	X	X	X	X	X	X	X	0	1	1	1
0	1	X	X	X	X	X	X	X	X	1	0	0	0
1	X	X	X	X	X	X	X	X	X	1	0	0	1

De la Ec. (6-18) con $A = W_7$ se obtiene:

$$Y_1 = \overline{W}_9\overline{W}_8(W_7 + B) \tag{7-22}$$

y de la Ec. (7-21)

$$B = \overline{W}_6C + W_6 = W_6 + C \tag{7-23}$$

en donde se ha hecho uso nuevamente de la Ec. (6-18) y donde

$$C \equiv \overline{W}_5\overline{W}_4\overline{W}_3W_2 + \overline{W}_5\overline{W}_4W_3 = \overline{W}_5\overline{W}_4(\overline{W}_3W_2 + W_3)$$
$$= \overline{W}_5\overline{W}_4(W_3 + W_2) \tag{7-24}$$

De las Ecs. (7-22), (7-23) y (7-24)

$$Y_1 = \overline{W}_9\overline{W}_8(W_7 + W_6 + \overline{W}_5\overline{W}_4W_3 + \overline{W}_5\overline{W}_4W_2) \tag{7-25}$$

Para generar $\overline{W}_9\overline{W}_8 = \overline{W_9 + W_8}$ (ley de Morgan) se emplea una puerta NOR, y para generar Y_1 se necesita una puerta AND-OR de 2-2-4-4 entradas. Procediendo de forma similar se halla la lógica combinacional para Y_0, Y_2 e Y_3 (Prob. 7-30 y 7-31).

La lógica anterior se fabrica en un chip integrado a media escala (74LS147) cuya prioridad codifica 10 líneas decimal a 4 líneas BCD. Entre sus aplicaciones figura la codificación de teclados pequeños, conversión analógico-digital (Sec. 16-5) y el control de perturbaciones de un computador con prioridad. El encapsulado 74LS148 codifica ocho líneas de datos a binario de tres líneas.

7-9. MEMORIA DE SOLO LECTURA (ROM)

Consideremos el problema de convertir un código binario a otro. Tal sistema de conversión de código (denominado ROM y esbozado en la Fig. 7-26a) tiene M entradas (X_0, X_1, ...X_{M-1}) y N salidas (Y_0, Y_1 ... Y_{N-1}) pudiendo N ser mayor, igual o menor de M. Cada código de M bit determina un código de salida específico de N bit. Esta traslación de código se lleva a cabo, como indica la Fig. 7-26*b*, decodificando las M entradas en $2^M \equiv \mu$ líneas de información (W_0, W_1 ... $W_{\mu-1}$) codificando luego cada línea a la forma de salida que se desee. Si las entradas adoptan todas las combinaciones de 1 y de 0 posibles, en la salida se leerán informaciones de μN bit (no todas estas 2^M informaciones precisan ser únicas ya que se puede pretender tener el mismo código de salida para distintas informaciones de entrada).

La relación funcional entre las informaciones de salida y de entrada se realiza en el bloque codificador de la Fig. 7-26. Como sea que esta información queda almacenada permanentemente se dice que el sistema tiene «memoria no disipable». Los elementos de la memoria son los diodos de la Fig. 7-24 o los emisores de los transistores de la Fig. 7-25. La información de salida para cualquier código de entrada puede leerse tantas veces como se desee. No obstante, ya que la relación almacenada entre los códigos de salida y de

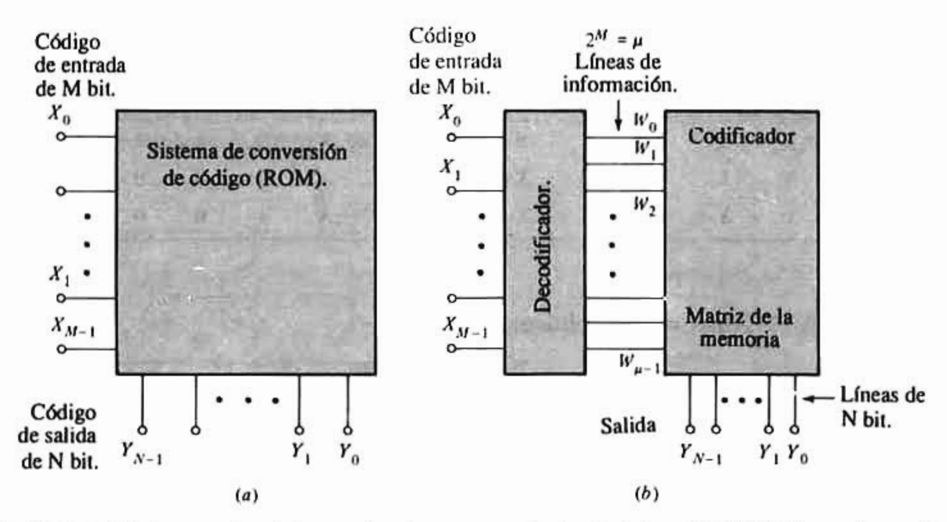


Figura 7-26. (*a*) Conversión de uno a otro código empleando una memoria de sólo lectura (ROM). (*b*) Se puede considerar un ROM como un decodificador del código de entrada seguido de un codificador del código de salida.

entrada no se puede modificar sin añadir o eliminar elementos memorizadores, a este sistema se le llama *memoria de sólo lectura*, abreviadamente ROM (Read-Only-Memory).

Convertidores de código

La Tabla 7-4 corresponde a la tabla de la verdad para traducir de código binario a código Gray. Al pasar de una línea a la siguiente del Gray, sólo se cambia un bit, y sólo uno, de 0 a 1 o viceversa. (Esta propiedad no define unívocamente un código y por tanto se pueden formar varios códigos Gray). Los bit de entrada (1) en la Tabla 7-4, se decodifican en un ROM formando las líneas de información W_0, W_1 ... W_{15} como se indica en la Fig. 7-26*b* codificando luego [(2) de la Tabla 7-4] al código de Gray deseado Y_3, Y_2, Y_1 e Y_0. Las W son las salidas minterm del decodificador.

Tabla 7-4. Conversión de código binario a Gray [(1) a (2)] y de Gray a binario [(1) a (3)]

(1) Entrada				*Inform. decodif.*	*(2) Salidas código Gray*				*(3) Salidas código binario*			
X_3	X_2	X_1	X_0	W_n	Y_3	Y_2	Y_1	Y_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	W_0	0	0	0	0	0	0	0	0
0	0	0	1	W_1	0	0	0	1	0	0	0	1
0	0	1	0	W_2	0	0	1	1	0	0	1	1
0	0	1	1	W_3	0	0	1	0	0	0	1	0
0	1	0	0	W_4	0	1	1	0	0	1	1	1
0	1	0	1	W_5	0	1	1	1	0	1	1	0
0	1	1	0	W_6	0	1	0	1	0	1	0	0
0	1	1	1	W_7	0	1	0	0	0	1	0	1
1	0	0	0	W_8	1	1	0	0	1	1	1	1
1	0	0	1	W_9	1	1	0	1	1	1	1	0
1	0	1	0	W_{10}	1	1	1	1	1	1	0	0
1	0	1	1	W_{11}	1	1	1	0	1	1	0	1
1	1	0	0	W_{12}	1	0	1	0	1	0	0	0
1	1	0	1	W_{13}	1	0	1	1	1	0	0	1
1	1	1	0	W_{14}	1	0	0	1	1	0	1	1
1	1	1	1	W_{15}	1	0	0	0	1	0	1	0

Por ejemplo:

$$W_0 = \bar{X}_3\bar{X}_2\bar{X}_1\bar{X}_0 \qquad W_5 = \bar{X}_3 X_2\bar{X}_1X_0 \qquad W_9 = X_3\bar{X}_2\bar{X}_1X_0 \tag{7-26}$$

De la tabla de la verdad (Tabla 7-4) se deduce

$$Y_0 = W_1 + W_2 + W_5 + W_6 + W_9 + W_{10} + W_{13} + W_{14} \tag{7-27}$$

Esta ecuación se cumple conectando ocho diodos con sus cátodos unidos todos a Y_0 y sus ánodos conectados a las líneas W_1, W_2, W_5, W_6, W_9, W_{10}, W_{13} y W_{14} del decodificador. (O se pueden usar los diodos base-emisor de los transistores en forma análoga para formar una puerta OR-seguidor-de-emisor, como en la Fig. 7- 25*a*.) Asimismo, a partir de los demás bit de salida. Por ejemplo

$$Y_3 = W_8 + W_9 + W_{10} + W_{11} + W_{12} + W_{13} + W_{14} + W_{15} \qquad \text{(7- 8)}$$

Consideremos la traducción inversa, de Gray a binario. Las entradas de código Gray (1) de la Tabla

7-4, se disponen en el orden W_0, W_1 ... W_{15} (correspondientes a los números decimales del 0 al 15). El código binario correspondiente a una información de entrada dada W_n queda registrado como código de salida para esa línea [(3) de la Tabla 7-4]. Por ejemplo, de (1) y (2) de la Tabla 7-4 vemos en su línea W_{14} que el código Gray 1001 corresponde al código binario 1110 y esta relación se mantiene en (1) y (3) de la línea W_9 de la Tabla. De esta misma tabla se deduce la relación entre los bit de salida binaria (3) y los de entrada Gray (1). Por ejemplo:

$$Y_0 = W_1 + W_2 + W_4 + W_7 + W_8 + W_{11} + W_{13} + W_{14} \qquad (7\text{-}29)$$

Esta ecuación define cómo han de disponerse los elementos de la memoria en el codificador. Obsérvese que para convertir un código binario a Gray la ROM emplea la misma disposición decodificadora que para la conversión de Gray a binario. Sin embargo, los codificadores son completamente distintos. Dicho de otra forma, los chips integrados para estos dos ROM son completamente distintos, empleándose máscaras individuales para la matriz de los elementos de memoria del codificador.

Programación del ROM

Consideremos la memoria de sólo lectura (ROM) bipolar de 256 bit dispuesta en 32 informaciones de 8 bit cada una. La entrada del decodificador es un código binario de 5 bit, y sus salidas son las 32 líneas de información. El codificador está formado por 32 transistores (estando cada una de las bases conectada a una línea distinta) y con 8 emisores cada transistor. El cliente rellena la tabla de la verdad que desea que satisfaga su ROM, y entonces el constructor prepara una máscara para la metalización de forma que quede conectado un emisor de cada transistor a la línea de salida apropiada o en su caso dejarlo flotante. Por ejemplo, para la conversión de código Gray a binario, la Ec. (7-29) señala que un emisor de cada uno de los transistores $Q1$, $Q2$, $Q4$, $Q7$, $Q8$, $Q11$, $Q13$ y $Q14$ va conectado a la línea Y_o, mientras se dejan desconectado los emisores correspondientes a cada uno de los demás transistores $Q0$, $Q3$, $Q5$, $Q6$... Este proceso descrito se denomina *programación según demanda*, o de *máscara programada*. Téngase en cuenta que estamos considerando una programación «al por menor».

ROMS NMOS

Las memorias de sólo lectura se forman corrientemente con la tecnología NMOS, frecuentemente como chips de integración a gran escala. Frecuentemente los ROM se fabrican como partes de un sistema más complejo en un solo chip tal como el microprocesador (Sec. 9-10). Consideremos por ejemplo un código de entrada de 10 bit, resultando $2^{10} = 1024$ líneas de información, y con 4 bit para el código de salida. La matriz de la memoria para este sistema consta de $1024 \times = 4096$ intersecciones como se indica esquemáticamente en la Fig. 7-27. Este es un ROM de 4-Kilobit (4-kb) organizado como 1kb × 4. Esta designación proviene del hecho de que $2^{10} = 1024$, es aproximadamente 10^3. Así el ROM de 64 kb tiene $2^6 \times 2^{10} = 64 \times 2^{10}$ bit. La conversión de código a desarrollar por la ROM se programa permanentemente durante el proceso de fabricación utilizando una máscara diseñada para incluir u omitir un transistor MOS en cada intersección de la matriz. La Fig. 7-27 representa un codificador de este tipo en el que se puede ver cómo se conectan los FET de memoria entre las líneas de información y de bit.

Hemos demostrado anteriormente que la relación entre los bit de salida Y y las líneas de información W se satisface por la función lógica OR. Consideremos por ejemplo que la conversión de código deseada exija que

$$\bar{Y}_0 = W_0 + W_2 \qquad \bar{Y}_1 = W_1 \qquad (7\text{-}30)$$
$$\bar{Y}_2 = W_1 + W_2 + W_{500} \qquad \bar{Y}_3 = W_0 + W_{500}$$

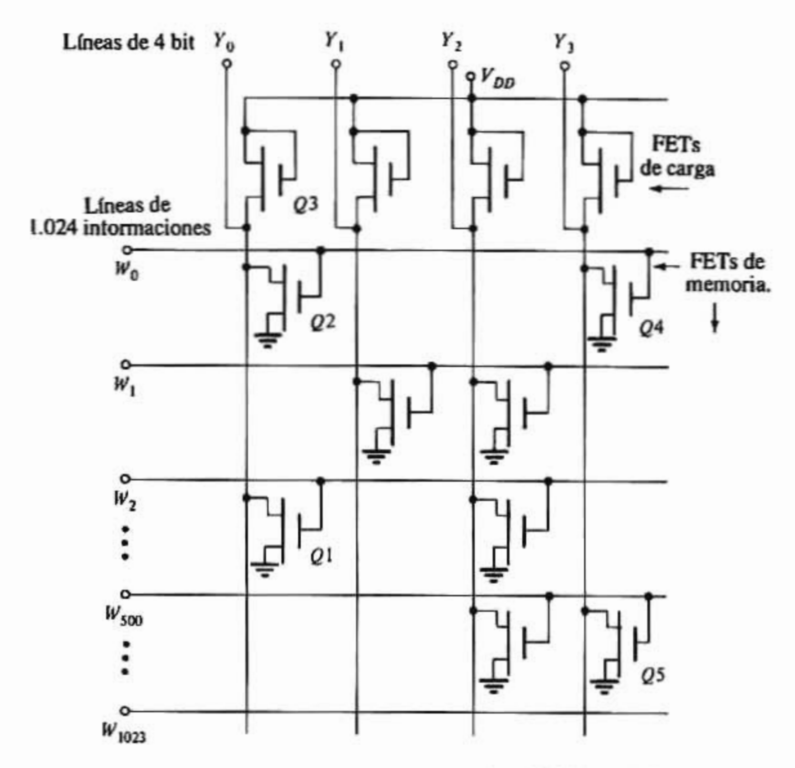


Figura 7-27. Codificador NMOS ROM (sólo están representadas 5 de las 1.024 líneas de información).

Esta relación se cumple con las conexiones de la Fig. 7-27. La puerta NOR para Y_o de la Ec. (7-30) es precisamente la dibujada en la Fig. 6-28*a*, con las señales W_o y W_2 *a*plicadas a las entradas *A* y *B* respectivamente.

La inclusión o exclusión de una célula de memoria MOS en una intersección de la matriz se determina durante la fabricación, en el proceso de enmascarado, para la puerta de óxido (Fig. 5-14). Si el MOSFET tiene una puerta normal de óxido fino su tensión umbral V_T es baja; si la capa de óxido es gruesa, V_T será alta. En respuesta a un impulso positivo en la línea de información, el elemento de umbral bajo conducirá y se detectará una lógica 0 (por la acción del inversor) en la línea de bit. Por otra parte si se aplica un impulso positivo a la puerta de óxido grueso (de umbral alto) ésta no conducirá, como si realmente no existiera en el circuito. En otras palabras, construir una puerta de óxido grueso en un punto de la matriz equivale a no construir un MOSFET en tal posición, como se ve en la Fig. 7-28. La ROM es una memoria permanente, no volátil, porque si se interrumpe el suministro de potencia y se repone luego, no se pierde la relación entrada-salida programada.

Un ROM estático no necesita relojes y la salida se mantiene mientras la dirección de entrada permanezca válida. Existen disponibles ROM en gamas desde 1 hasta 64 kb (de Intel, Mostek, Texas Instruments y otros) con normalmente 4 u 8 bit de salida. Los tiempos de acceso están comprendidos entre 0,1 y 1 μs (como una vez y media mayor que en el ROM bipolar) y con una disipación de potencia de 0,1 a 1 W.

Como ejemplo de ROM estático citemos el Intel 2316 de 16 kb (2048 × 8) en encapsulado de 24 patillas. Utiliza MOSFET de canal *n* (NMOS), funciona con una alimentación única de 5 V de forma que entradas y salidas son compatibles con la lógica TTL. El direccionado bidimensional visto en la Sec. 7-2 se emplea también con ROM integrados a gran escala. El ROM 2316 está organizado según la Fig. 7-29. Para 2048 informaciones se necesitan once bit de direccionado. Obsérvese que siete de estas entradas (del A_4 al A_{10}) las emplea el decodificador *X* para obtener 128 líneas. La matriz de memoria es cuadrada con 128

columnas que deben reducirse a 8 salidas (O_0 a O_7), lo que se consigue con 8 selectores (16 a 1) utilizando entradas (A_0 a A_3) de direccionado de cuatro columnas. Esta organización es una ampliación de la expuesta en la Fig. 7-30 para un ROM de 2 kb (512 × 4) aun cuando los dos esquemas (Figs. 7-29 y 7-30) se han trazado algo distintos.

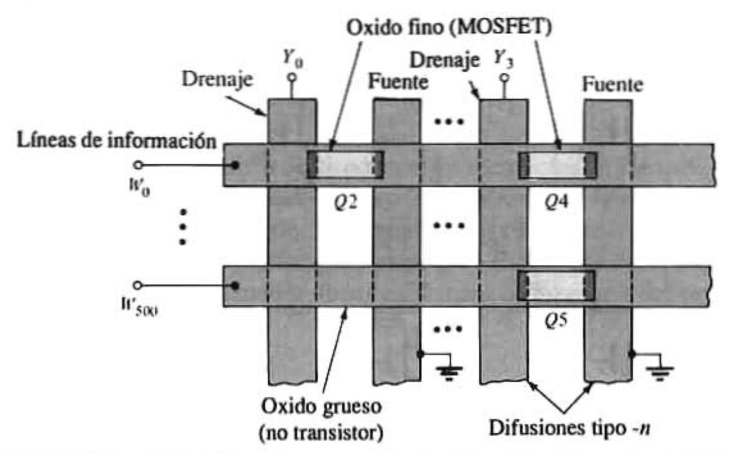


Figura 7-28. Matriz ROM MOS (sólo están representadas las líneas W_0 y W_{500}, y las de bit Y_0 e Y_3 de la Fig. 7-27).

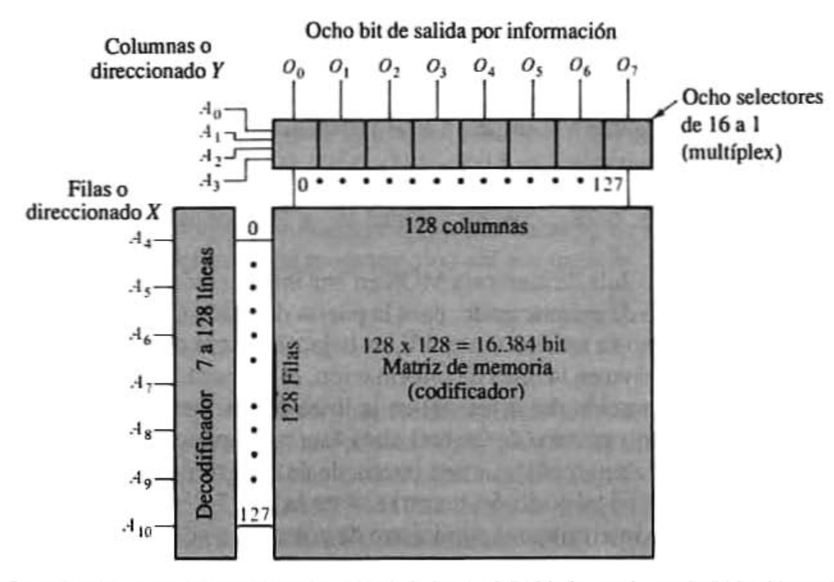


Figura 7-29. Organización de la ROM 2316A de 16 kb de la Intel, (2.048 informaciones de 8 bit). No están representados los circuitos de selección.

El decodificador es un ROM MOS estático (Fig. 7-29) contiene puertas NAND que son estáticas, por lo que la disipación de potencia es relativamente alta. Un ROM dinámico emplea inversores dinámicos o temporizados en el decodificador y/o FET de carga requiriendo una cadencia de reloj mínima pues de lo contrario se perdería la información. No obstante la disipación de potencia es menor que en el ROM estático. La mayor parte de los ROM comerciales son estáticos por la ventaja que supone no necesitar relojes y dar una salida que permanece válida mientras esté aplicada la entrada.

Se consigue aumentar el número de bit por información (*expansión de la información*) o el número de informaciones con el mismo número de bit por información (*expansión de direccionado*) interconectando varios encapsulados ROM como se describe en la Sec. 7-10 para los chips bipolares.

7-10. DIRECCIONADO BIDIMENSIONAL DE UN ROM

Algunos fabricantes (Apéndice B-1) suministran ROM MOS y bipolares en gama desde los 256 bit hasta los 64 kb. Con cuatro u ocho líneas de salida. Existen también ROM mayores que constituyen ejemplos de integración a gran escala (LSI). El tiempo necesario para que aparezca una salida válida desde el momento en que se aplica una entrada a la memoria se denomina *tiempo de acceso*, que en el ROM bipolar es de menos de 100 ns.

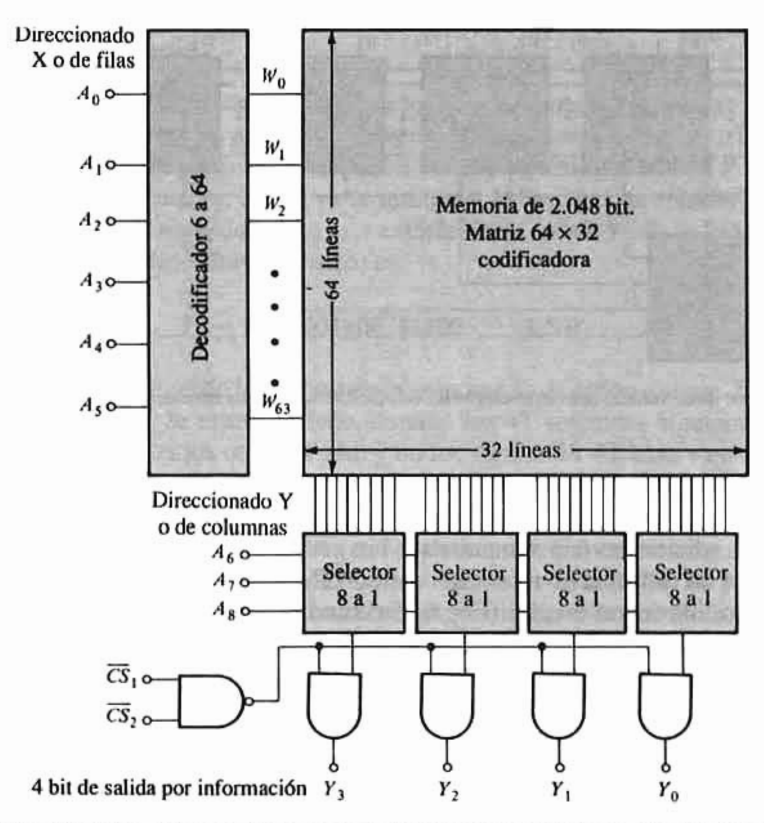


Figura 7-30. ROM de 2 kb (512 x 4 bit) con direccionado en dos direcciones. Obsérvese que el direccionado de columnas $A_8 A_7 A_6$ se aplica a los cuatro selectores multíplex. El chip selector de entrada CS se emplea con fines de habilitación.

En un ROM con gran número de entradas, la disposición de decodificación de la Fig. 7-26 es impracticable. Consideremos por ejemplo un ROM de 512 × 4 = 2048 bit (M = 9 y N = 4). En el decodificador se necesitan en total 512 puertas NAND, una por cada línea. Se consigue una gran economía empleando la topología de la Fig. 7-30. Una entrada (fila) de 6 bit genera 64 líneas horizontales. Si en la matriz de memoria se utilizan 32 líneas Y (verticales) el número total de bit será 64 × 32 = 2048 como pretendíamos. No obstante, como sólo están especificadas cuatro líneas de salida deberán emplearse cuatro selectores de 8 a 1 líneas. Cada multíplex viene alimentado por una columna de direccionado de 3 bit. A esta disposición se le llama *X-Y* o de *direccionado bidimensional*. Obsérvese que ahora se necesitan 64 puertas NAND para el decodificador y 4 × 9 = 36 para los selectores de la configuración NAND-NAND (AND-OR) de la Fig. 7-21. (Evidentemente un selector de 8 entradas necesita nueve puertas). El total de 64 + 36 = 100 NAND es muy ventajoso frente a las 512 necesarias para la disposición decodificadora de la Fig. 7-26 a igualdad de tamaño del ROM. Para la Fig. 7-30 se necesitan 64 transistores con 32 emisores cada uno, mientras que en la Fig. 7-26 hay 512 transistores de cuatro emisores cada uno.

Ampliación de la información

Se consigue fácilmente aumentando el número de bit por información. Por ejemplo, se obtiene un ROM de 512 × 8 bit empleando dos de 512 × 4 bit. El direccionado de la Fig. 7- 27 se aplica a los dos chips simultáneamente. Los 4 bit de menor significancia se obtienen de uno de los dos encapsulados y los 4 más significativos del otro.

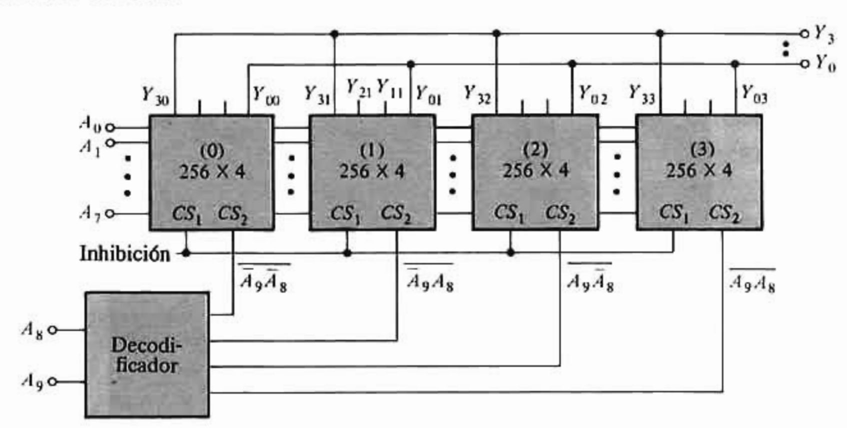


Figura 7-31. La ampliación de direccionado convierte cuatro ROMs de 256 × 4 en una memoria de 1.024 × 4 bit.

Ampliación del direccionado

Tener informaciones adicionales (sin aumentar sus bits) es más complicado. Por ejemplo, para tener 1024 informaciones de 4 bit cada una se necesitan cuatro ROM de 256 × 4, un decodificador exterior de 2 a 4 líneas y etapas de salida de tres estados (Fig. 6-39) como indica la Fig. 7-31.

El funcionamiento de este sistema se explica de la siguiente forma: Las entradas A_7.......A_0 se aplican en paralelo a los cuatro ROM de 256 x 4 cuyas salidas OR están unidas entre sí. Una entrada de 2 bit A_9A_8 se aplica a un decodificador (Fig. 7-17) cuyas cuatro salidas gobiernan los cuatro chips CS_2. Por ejemplo, si $A_9 = 0$ y $A_8 = 1$ entonces $CS_2 = 0$ para el chip 1 y $CS_2 = 1$ para todos los demás. En consecuencia el chip 1 queda habilitado mientras que los otros tres presentan una gran impedancia de salida. Por tanto, en la salida sólo aparecen $Y_0 = Y_{01}$, $Y_1 = Y_{11}$, $Y_2 = Y_{21}$ e $Y_3 = Y_{31}$ del encapsulado 1. Cada combinación de 0 y 1 en las entradas $A_9\,A_8$....$A_1\,A_0$ se convierte en un código de salida de 4 bit, con un total de 1024 informaciones de 4 bit en la memoria.

7-11. APLICACIONES DE LOS ROM

Como se ha visto en la sección anterior, un ROM es una unidad de conversión de código. Sin embargo, muchos sistemas prácticos distintos representan una traslación de uno a otro código.

A continuación veremos las aplicaciones más importantes de los ROM.

Tablas de recurrencia

A veces se requieren de una calculadora cálculos de rutina tales como funciones trigonométricas, logaritmos, exponenciales, raíces cuadradas, etc. Si esto ocurre con suficiente frecuencia es más econó-

mico emplear un ROM a manera de tabla de recurrencia en lugar de seguir un programa más complicado para el cálculo. Una tabla de recurrencia de por ejemplo $Y = \text{sen } X$ es un sistema de conversión entre el código de entrada representativo del argumento X en notación binaria (con cualquier precisión deseada) y el código de salida que dé los valores correspondientes de la función seno. Evidentemente, cualquier cálculo para el que se pueda establecer una tabla de la verdad podrá resolverse con un ROM (uno distinto para cada tabla).

Generadores de secuencia

Si en un sistema digital se precisan trenes de P impulsos con fines de control o ensayo, éstos se pueden obtener con P multíplex conectados para conversión de paralelo a serie (Sec. 7-7). Un procedimiento más económico de suministrar estas secuencias binarias es emplear una ROM con P salidas, cambiando el direccionado mediante un contador. Como ya se indicó en la Sec. 7-7, la entrada al codificador pasa de W_0 a W_1, a W_2.... etc. cada T segundos. Con esta excitación la salida Y_1 de la ROM representada por la Tabla 7-4 (conversión de código Gray a binario) es:

$$Y_1 = 1100001100111100 \qquad \text{(LSB)} \tag{7-31}$$

Esta ecuación se obtiene leyendo los dígitos de la columna Y_1 de arriba a abajo. Ello indica que durante los 2T primeros segundos Y_1 se mantiene bajo, durante los 4T segundos siguientes Y_1 está alto, en los siguientes 2T otra vez bajo, en los otros 2T alto y en los siguientes 4T bajo y en los últimos 2T Y_1 está alto. Pasados estos 16T segundos se va repitiendo la secuencia mientras se suministren impulsos al contador.

Simultáneamente con Y_1 se crean otros tres trenes de impulsos sincronizados, Y_0, Y_2 e Y_3. En general, el número de secuencias obtenidas es igual al número de salidas de la ROM. Se puede generar cualquier serie de ondas binarias si la tabla de la verdad está bien especificada, es decir, si la ROM está correctamente programada.

Generador de ondas

Si la salida del generador digital de secuencias se convierte en tensión analógica tendremos un generador de ondas. Consideremos una ROM de 256 × 8 bit, secuenciada por medio de un contador de 8 bit. Cada paso del contador representa un 360/256 = 1,406° de la onda. La ROM está programada de forma que las salidas de Y_0 a Y_8 dan el número digital correspondiente a la amplitud analógica en cada paso. Las salidas de la ROM alimentan un convertidor digital/analógico (Secc. 16-4) y la salida de la onda analógica deseada. Esta salida varía en pequeños pasos discretos (cada uno de ellos de menos del 0,5% del valor a plena escala) y por tanto puede ser conveniente un simple filtrado.

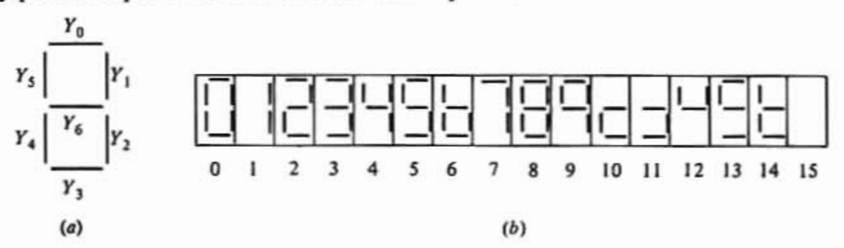


Figura 7-32. (*a*) Identificación de los segmentos en una imagen visible de 7 segmentos. (*b*) Figura resultante en cada uno de los 16 códigos de entrada de 4 bit.

Imagen visible de siete segmentos

Es práctica común hacer visible la lectura de un aparato digital (medidor de frecuencia, voltímetro digital, etc.) mediante el indicador numérico de siete segmentos como el de la Fig. 7-32, de los que existe una gran variedad en el comercio. Un indicador de estado sólido cuyos segmentos reciben su luminosidad de unos diodos emisores de luz de arseniuro o fosfururo de galio. Trabajan a baja tensión y poca potencia y por tanto pueden ser excitados directamente por puertas lógicas integradas.

Las 10 primeras imágenes de la Fig. 7-23*b* son las cifras del 0 al 9 que en el instrumento digital están representadas en forma BCD. Un código de 4 bit tiene 16 estados posibles, y las imágenes del 10 al 15 de la Fig. 7-23*b* son los únicos símbolos utilizados para identificar una condición de BCD no válida.

Tabla 7-5 Conversión del código BCD al del indicador de siete segmentos

Entradas en código binario decimal				*Información decodificada*	*Salidas en código del indicador de 7 segmentos*						
$S_3 = D$	$X_2 = C$	$X_1 = B$	$X_0 = A$	W_n	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0
0	0	0	0	W_0	1	0	0	0	0	0	0
0	0	0	1	W_1	1	1	1	1	0	0	1
0	0	1	0	W_2	0	1	0	0	1	0	0
0	0	1	1	W_3	0	1	1	0	0	0	0
0	1	0	0	W_4	0	0	1	1	0	0	1
0	1	0	1	W_5	0	0	1	0	0	1	0
0	1	1	0	W_6	0	0	0	0	0	1	1
0	1	1	1	W_7	1	1	1	1	0	0	0
1	0	0	0	W_8	0	0	0	0	0	0	0
1	0	0	1	W_9	0	0	1	1	0	0	0
1	0	1	0	W_{10}	0	1	0	0	1	1	1
1	0	1	1	W_{11}	0	1	1	0	0	1	1
1	1	0	0	W_{12}	0	0	1	1	1	0	1
1	1	0	1	W_{13}	0	0	1	0	1	1	0
1	1	1	0	W_{14}	0	0	0	0	1	1	1
1	1	1	1	W_{15}	1	1	1	1	1	1	1

El problema de pasar de la entrada BCD a las salidas de siete segmentos de la Fig. 7-32 se resuelve fácilmente empleando un ROM. Si un segmento excitado (luminoso) se identifica como en estado 0 y uno apagado como en estado 1 se obtiene la tabla de la verdad (Tabla 7-5). Esta tabla se comprueba de la siguiente forma: Para la información W_0 (correspondiente a la cifra 0) vemos en la Fig. 7-32 que $Y_6 = 1$ y que todos los demás valores Y son 0. Para W_4 (correspondiente a la cifra 4) $Y_0 = Y_3 = Y_4 = 1$, e $Y_1 = Y_2 = Y_5 = Y_6 = 0$, y así sucesivamente. La ROM se programa tal como se ha explicado en la Sec. 7-9 para responder a la tabla de la verdad.

Por ejemplo:

$$Y_0 = W_1 + W_4 + W_6 + W_{10} + W_{11} + W_{12} + W_{14} + W_{15} \qquad (7\text{-}32)$$

Hay que observar que una ROM puede no usar el mínimo número de puertas para llevar a cabo una conversión de código particular. Consideremos la Ec. (7-32) escrita como suma de productos. Reemplazando W_1 por $\bar{X}_3\, \bar{X}_2\, X_1\, \bar{X}_0 \equiv \bar{D}\bar{C}B\bar{A}$ y empleando expresiones análogas para las salidas de los demás decodificadores, la Ec. (7- 32) se convierte en

$$Y_0 = \bar{D}\bar{C}\bar{B}A + \bar{D}C\bar{B}\bar{A} + \bar{D}CB\bar{A} + D\bar{C}B\bar{A} + D\bar{C}BA$$
$$+ DC\bar{B}\bar{A} + DCB\bar{A} + DCBA \quad (7\text{-}33)$$

Existen técnicas algebraicas y gráficas y programas de cálculo para minimizar estas expresiones de Boole. Obsérvese por ejemplo que pueden simplificarse los términos segundo y tercero

$$\bar{D}C\bar{B}\bar{A} + \bar{D}CB\bar{A} = \bar{D}C\bar{A}$$

ya que $\bar{B} + B = 1$. Procediendo de esta forma (Prob. 7-40) se obtiene la siguiente expresión minimizada de Y_0

$$Y_0 = \bar{D}\bar{C}\bar{B}A + C\bar{A} + DB \quad (7\text{-}34)$$

Empleando las expresiones minimizadas de Y_0, $Y_1 .... Y_6$ se economizan alrededor del 20% de los componentes requeridos por la ROM. Un chip construido de esta forma (por ejemplo el 74HC4511) se denomina «decodificador/excitador de BCD a siete segmentos».

La minimización de las ecuaciones de Boole resulta pesada y lenta (sobre todo si el número de variables de cada producto es mayor de cinco). Hay que comparar el coste del tiempo empleado para minimizar y diseñar un chip integrado especial, con el de programar sencillamente una ROM ya existente. Salvo el caso de tener que fabricar un enorme número de ejemplares (particularmente si la matriz es muy amplia) la ROM es el procedimiento más económico. Las disposiciones lógicas programables que estudiaremos en la próxima sección aportan un método conveniente para diseñar funciones lógicas complejas empleando elementos fijos.

Lógica combinatoria

Si se dan N ecuaciones lógicas de M variables en la forma canónica de suma de productos, pueden cumplirse estas ecuaciones con una ROM de M entradas y N salidas. Como ya se ha indicado anteriormente, esta es una solución económica cuando M y N son grandes (especialmente si lo es M). Sin embargo, en el diseño lógico de una etapa de un sumador completo en el que $M = 3$ y $N = 2$ (números pequeños) y que se vende en grandes cantidades es más económico usar distintas combinaciones de puertas, como en la Fig. 7-7, que emplear ROM.

Generador de caracteres

Los caracteres alfanuméricos se pueden «escribir» en la pantalla de un tubo de rayos catódicos (del tipo de televisión) con la ayuda de una ROM.

Almacenamiento de programas

En una ROM se almacenan permanentemente programas de control (por ejemplo en una calculadora de bolsillo).

7-12. ROMS PROGRAMABLES (PROMS)

Muchos fabricantes suministran ROM programables denominados PROM (véase Apéndice B-1). Estos chips integrados proporcionan flexibilidad al diseñador y permiten reducir costes, especialmente cuando sólo se precisan pequeñas cantidades de un determinado ROM. El coste de la máscara de conexiones es elevado cuando hay que amortizarlo entre pocas unidades. Además la demora en el suministro puede ser excesiva.

Una PROM contiene una matriz codificadora en la que están hechas todas las conexiones que puedan ser requeridas. Por ejemplo, la ROM de 256 bit descrita en la sección anterior puede convertirse en PROM conteniendo 32 transistores con 8 emisores cada uno (designados E_0, E_1.... E_7). Cada emisor E_0 está unido a la salida Y_0, cada emisor E_1 a la salida Y_1, y así sucesivamente. En serie con cada emisor se añade una fina cinta de polisilicio que actúa como fusible que abre al circuito cuando pasa una corriente superior a la prescrita a través del elemento de memoria. El usuario puede fundir o eliminar estos fusibles para abrir las conexiones oportunas a fin de que la ROM responda a la relación funcional deseada entre entrada y salida.

Otra forma de ver la ROM es considerarla como una matriz consistente en una disposición AND y otra OR. Esta organización engendra una relación funcional entrada-salida en forma de suma de productos. La memoria programable de sólo lectura consiste en una disposición AND fija y otra OR programable como se ve en la Fig. 7-33. Las *X* de esta figura representan conexiones a las entradas de puerta (fusibles). Obsérvese que sólo existen algunas conexiones AND, mientras todas las conexiones de entrada OR están hechas. La programación se lleva a cabo fundiendo las conexiones OR no deseadas. Para «quemar» el programa se emplea un aparato llamado *programador* que suministra la corriente necesaria para abrir el fusible. Evidentemente, una vez la ROM ha sido programada fundiendo fusibles el programa ya no se puede alterar. No obstante, en ciertos MOS PROM se puede borrar el programa y escribir eléctricamente uno nuevo.

7-13. PROM BORRABLE

Existen dos tipos de MOS PROM en los que se puede borrar el programa, y que son el llamado «PROM borrable (EPROM)» y el «PROM borrable eléctricamente» (cambiable) (E^2PROM o EAROM). En la próxima sección estudiaremos ambos tipos.

EPROMS

Las memorias programables de sólo lectura programadas fundiendo las conexiones no admiten cambios, pues el fusible quemado no puede repararse. Los PROM borrables se basan en la estructura especial MOS representada en la Fig. 7-34*a*. A este transistor NMOS de doble puerta a veces se le denomina FAMOS (de las iniciales de Floating-gate Avalanche-injection Metal Oxide Semiconductor). La puerta 1 es de polisilicio y se deja «flotante» en cuanto no tiene conexión alguna. Esta puerta está completamente rodeada de SiO_2 y por tanto no existe ningún camino para la descarga y la carga almacenada en ella. Aplicando una tensión positiva alta (unos 25 V) entre la puerta 2 y el drenaje, la elevada intensidad del campo eléctrico en la región de deplexión de la unión *pn* drenaje-sustrato provoca la ruptura por avalancha, y de esta ruptura nace una corriente adicional elevada. En consecuencia, los electrones de alta energía, acelerados por el campo eléctrico, penetran en la fina capa de óxido y se acumulan en la puerta 1. No habiendo vía para la descarga, la carga acumulada fuerza que la tensión en la puerta 1 pase a negativa cuando la de la puerta 2 y del drenaje sean cero. Esta tensión negativa en la puerta 1 evita que se induzca

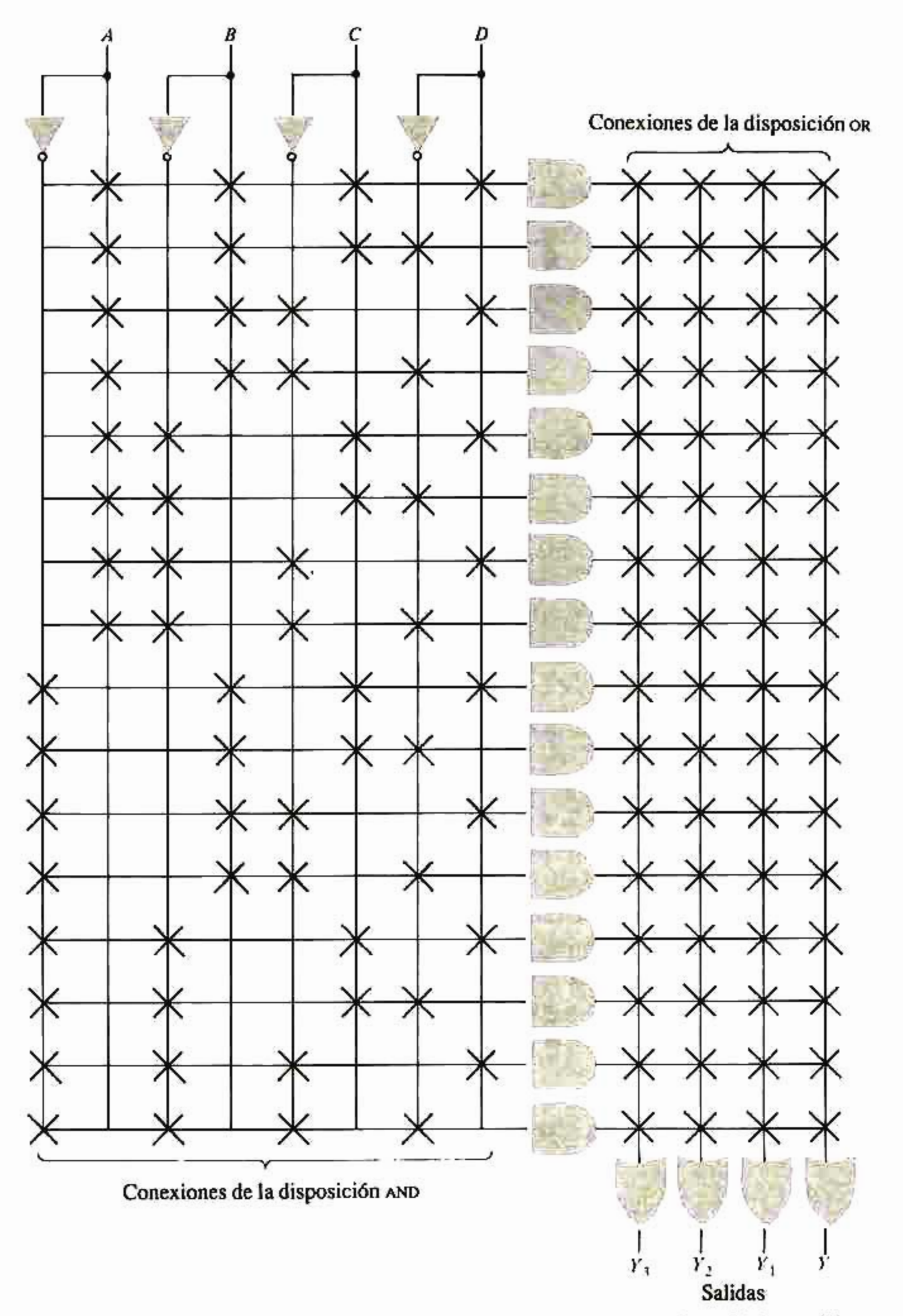


Figura 7-33. Organización de una memoria programable de sólo lectura consistente en una disposición AND fija y otra OR programable. (Las X representan conexiones fusibles.)

un canal entre la fuente n^+ y la región de drenaje cuando se aplique a la puerta 2 un nivel de tensión normal para la lógica 1 (unos 5 V) (Fig. 7-34*b*). El resultado es que se ha almacenado una lógica 1 en esta célula ROM. La programación del PROM se resuelve colocando lógicas 1 en las células apropiadas.

Las excelentes propiedades aislantes del SiO_2 pueden mantener durante muchos años las cargas inducidas en la puerta 1. (Se estima que más del 70% de la carga se mantendrá todavía después de 10 años

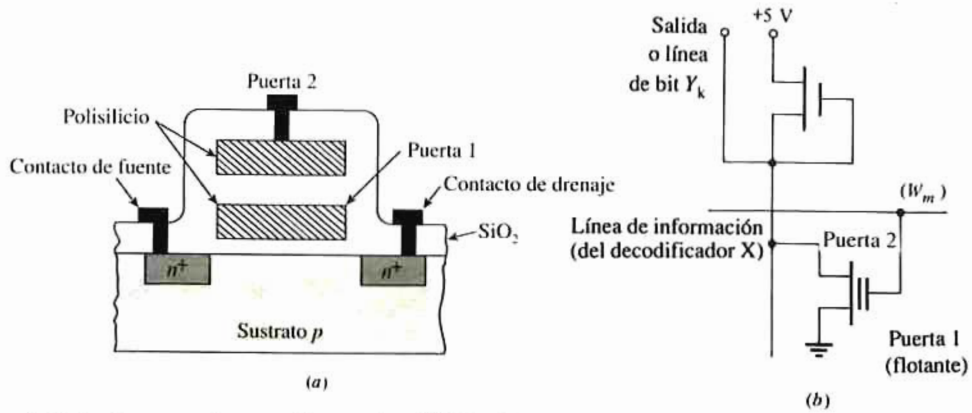


Figura 7-34. (*a*) Estructura de puerta flotante de polisilicio (FAMOS) empleada para formar una PROM (EPROM) borrable. (*b*) Diagrama del circuito de una célula EPROM típica empleando el FAMOS.

aún a la temperatura de 125°C.) Sin embargo, se puede borrar el elemento exponiéndolo a los rayos ultravioleta. La corriente fotoeléctrica producida elimina la carga de la puerta, porque el SiO_2 se hace ligeramente conductor bajo la acción de estos rayos.

E^2 PROMS

Los EPROM tienen el inconveniente de necesitar un tiempo de exposición largo para borrar con ultravioletas, por lo que no es adecuado en aplicaciones que requieran cambios rápidos. Los E^2PROM solventan este inconveniente permitiendo un borrado eléctrico relativamente rápido del dato almacenado. Se emplea una estructura similar a la de la Fig. 7-34*a* en la que el espesor del óxido entre la puerta 1 y la región de silicio se reduce hasta llegar al orden de unos 100 Å. Una tensión del orden de los 10 V (tensión mayor que el nivel lógico positivo normal) aplicada a través de la capa de SiO_2 extremadamente delgada hace que los electrones fluyan a la puerta 1 por un proceso mecánico-cuántico. Las cargas inducidas evitan la formación de un canal cuando se aplica una lógica 1 a la puerta 2, quedando en consecuencia almacenado un 1. El borrado se consigue invirtiendo la tensión necesitada para almacenar la lógica 1.

7-14. LÓGICA DE DISPOSICIÓN PROGRAMABLE

Esta lógica (PAL) está relacionada con la PROM en el sentido de que también es una matriz que comprende una formación AND y otra OR. Sin embargo en una PAL la OR es fija y la AND programable. En muchos sistemas lógicos las expresiones simplificadas de Boole se alcanzan con la disposición PAL. En la Fig. 7-35 vemos un PAL de 16 informaciones de 4 bit, en la que las *X* representan conexiones (uniones fusibles). Obsérvese que sólo figuran conexiones específicas OR mientras que están todas las AND posibles. El programa se prepara fundiendo las conexiones AND no deseadas empleando las mismas técnicas empleadas para los PROM. El «Monolithic Memories 10H8» es un PAL típico de 8 kb, disponible en un encapsulado de 20 patillas. Contiene 10 líneas de entrada y 8 de salida pudiendo almacenar 1024 (2^{10}) informaciones de 8 bit.

También se pueden formar PAL empleando disposiciones AOI (10L8). El proceso de programar es idéntico que para la disposición AND-OR, las salidas son los «minterm» relacionados con las combinaciones de la puerta AND-OR.

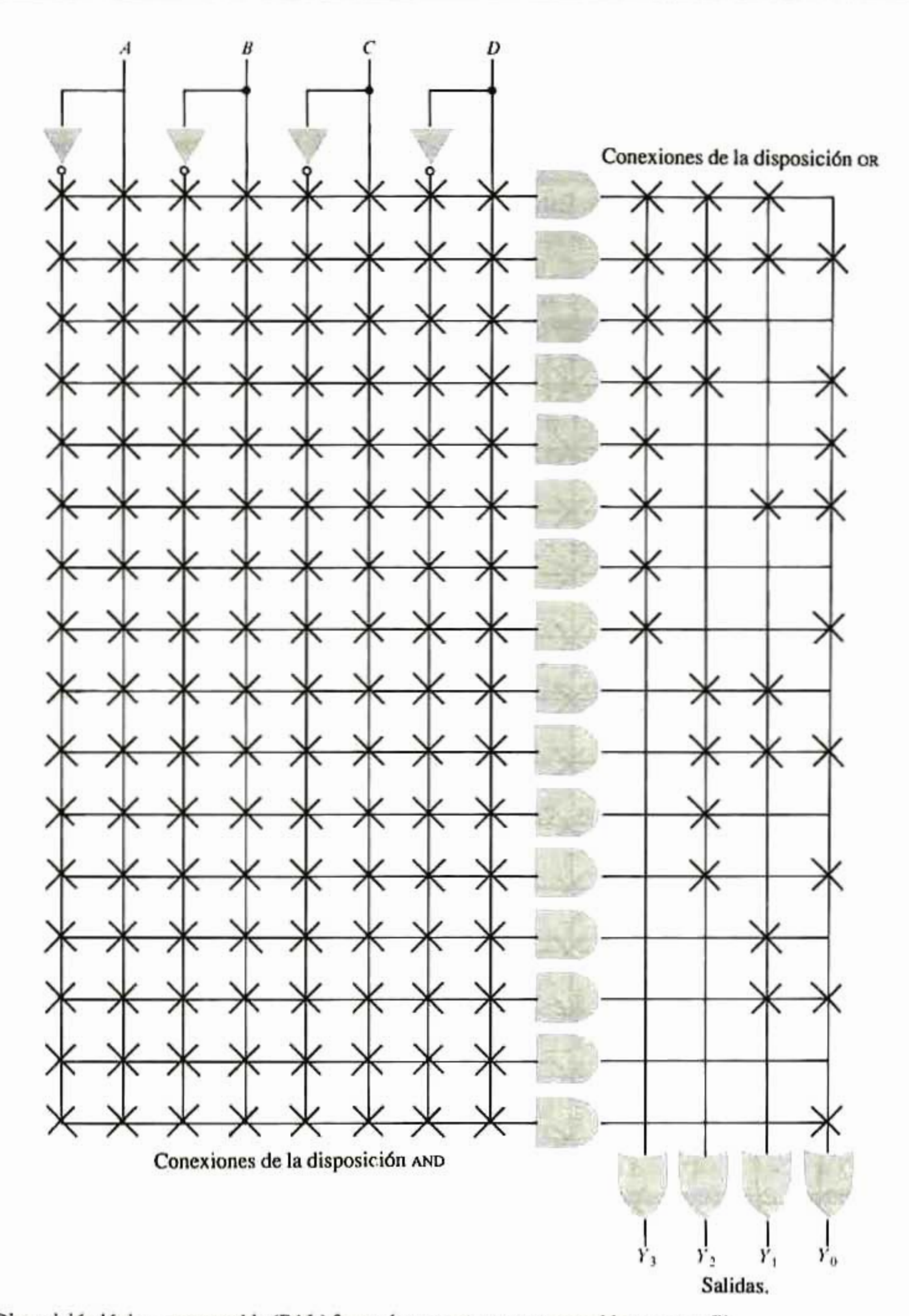


Figura 7-35. Disposición lógica programable (PAL) formada por una AND programable y una OR fija.

7-15. DISPOSICIONES LÓGICAS PROGRAMABLES (PLA)

Esta disposición es la más versátil de las disposiciones AND-OR integradas. En un PLA existen todas las conexiones de las puertas AND y OR. El programa se prepara fundiendo los enlaces no deseados.

Lo que sigue ilustra sobre el uso y versatilidad del PLA. En la Sec. 7-9 se comentó el ROM (Intel 2316A) de 16 kb (2048 × 8) que tiene $M = 11$ entradas y $N = 8$ salidas. Para cada aumento de M en una unidad se duplica el número de bit. Por ejemplo, si $M = 16$ conservándose $N = 8$, el número de informaciones en $2^{16} = 65.536$ y el de bit $65.536 \times 8 = 524.288$. Este enorme número de bit no es factible con un solo ROM en un chip, siendo necesarios 16 encapsulados ROM de 16 kb interconectados para la extensión de direccionado (Sec. 7-10). Este sistema satisface $N = 8$ ecuaciones lógicas combinacionales

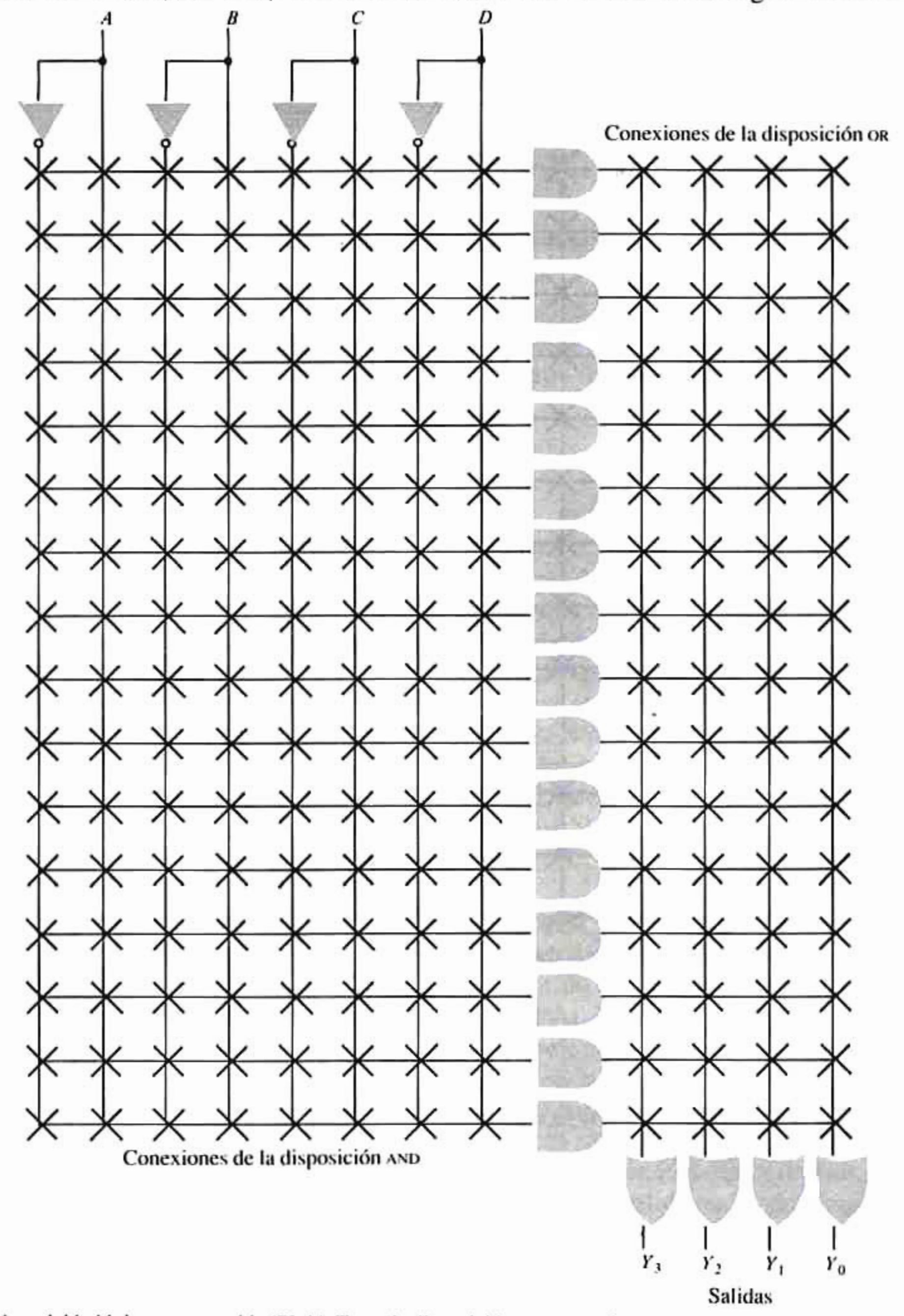


Figura 7-36. Disposición lógica programable (PLA). Tanto la disposición AND como la OR son programables.

con $M = 16$ variables (Sec. 7-11). Cada ecuación se expresa en forma canónica de suma de productos. Cada producto contiene 16 factores habiendo un total de 65.536 términos (o informaciones).

Consideremos un sub-conjunto del sistema ROM anterior. El número de entradas y de salidas se mantiene el mismo ($M = 16$ y $N = 8$) pero cada suma tiene, por ejemplo, sólo 48 términos de productos en lugar de los 65.536, a los que se les llama *productos parciales* de las variables de entrada porque cada producto *no* contiene todos los 16 impulsos (o sus complementos). Tal sistema de lógica combinacional se conoce como ordenación lógica programable (PLA) de $16 \times 48 \times 8$ lo que indica que hay 16 entradas, 8 salidas y un total de 48 productos parciales como indica la Fig. 7-36.

El decodificador del PLA de la Fig. 7-36 contiene 48 puertas AND. La salida de cada una de ellas es un término de producto parcial siendo normalmente pequeño el número de entradas a cualquier puerta: como máximo igual al número de bit de datos de entrada (16). La matriz codificadora consiste en ocho puertas OR cuyas salidas son las ocho funciones de salida del PLA. El máximo número de entradas a cualquier puerta OR es igual al número de términos de producto (48), aunque normalmente es mucho menor. A manera de ejemplo consideremos dos ecuaciones lógicas combinacionales (distintas de las ocho llevadas a cabo por el PLA de la Fig. 7-36) tales como

$$O_0 = \overline{A}_3 A_0 + \overline{A}_9 A_4 \overline{A}_1 + A_{11} \overline{A}_{10} \overline{A}_7 A_3 + A_{13} + \overline{A}_{15} A_{14} \tag{7-35}$$

$$O_1 = A_5 \overline{A}_4 A_0 + \overline{A}_9 A_4 \overline{A}_1 + A_{12} A_6 \tag{7-36}$$

Estas dos salidas emplean siete términos de producto porque $\overline{A}_9 A_4 \overline{A}_1$ es común a ambas. Los 48 — 7 = 41 términos restantes quedan disponibles para las seis salidas restantes desde O_2 a O_7. Una de las puertas AND tiene una entrada, tres tienen dos entradas, una tiene tres y otra cuatro. La puerta OR de O_0 tiene cinco entradas y la de O_1 tiene tres.

Tabla 7-6 Tabla de la verdad de un PLA para las Ec. (7-35) y (7-36)

	Entradas																*Salidas*	
Término	*15*	*14*	*13*	*12*	*11*	*10*	*9*	*8*	*7*	*6*	*5*	*4*	*3*	*2*	*1*	*0*	*1*	*0*
0	X	X	X	X	X	X	X	X	X	X	X	X	0	X	X	1	0	1
1	X	X	X	X	X	X	0	X	X	X	X	1	X	X	0	X	1	1
2	X	X	X	X	1	0	X	X	0	X	X	X	1	X	X	X	0	1
3	X	X	1	X	X	X	X	X	X	X	X	X	X	X	X	X	0	1
4	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	1
5	X	X	X	X	X	X	X	X	X	X	1	0	X	X	X	1	1	0
6	X	X	X	1	X	X	X	X	X	1	X	X	X	X	X	X	1	0

La Tabla 7-6 es la tabla de la verdad correspondiente a las ecuaciones anteriores. Se emplea lógica positiva y cada línea representa un término de producto. Si un dato de entrada es cierto (o falso) aparece una lógica 1 (o 0) en la columna representativa de tal entrada. Si en un producto falta una variable hay una X (indiferente) en la columna del dato de entrada y en la fila del producto en consideración. Si la salida O_k es 1 (o 0) ello significa que el término de producto representado por la línea considerada está presente (o ausente) en la k-ésima función de salida.

Programación de un PLA

La Tabla 7-6 (ampliada hasta cubrir 8 funciones de salida y hasta 48 términos de producto) es una *tabla de programación* para un PLA de $16 \times 48 \times 8$. El usuario rellena la tabla para satisfacer sus funciones

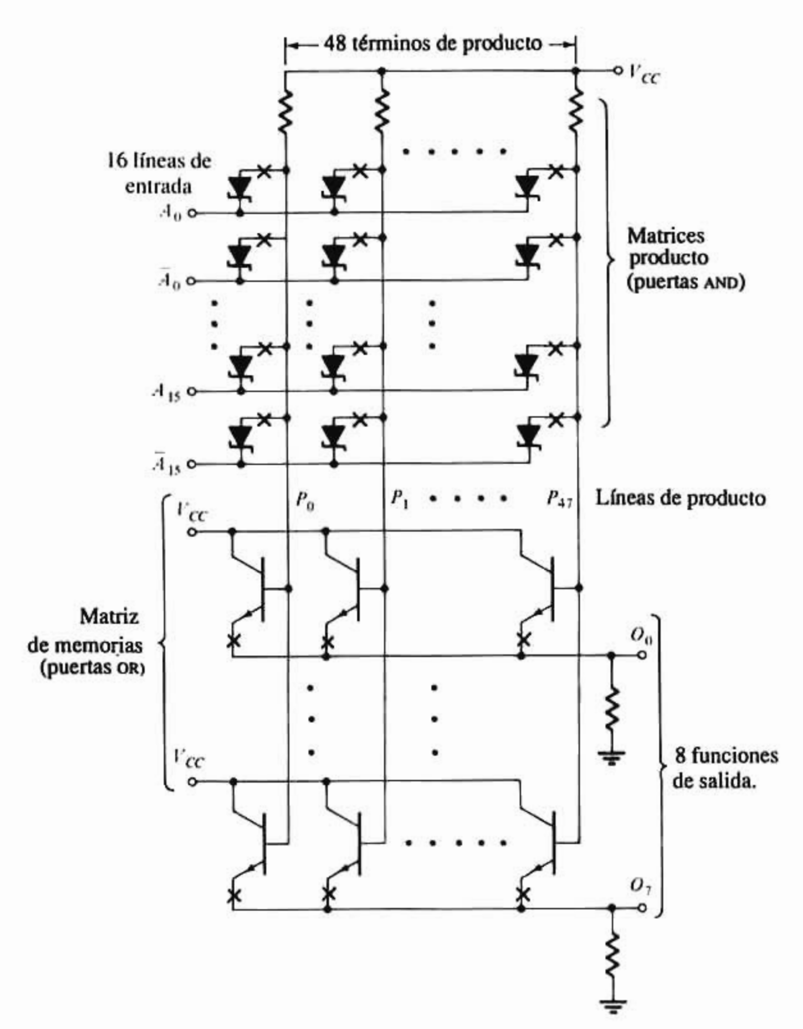


Figura 7-37. FPLA 82S100 (16 × 48 × 8), (*Cortesía de Signetics*).

lógicas combinacionales y el fabricante construye una máscara para la metalización y obtener las conexiones oportunas. Por ejemplo, si figura una *X* en la *p*-ésima entrada de datos, y el *r*-ésimo término de producto, *no* se hace conexión de aluminio entre la entrada *p* (ni entre su complemento) y la *r*-ésima puerta AND. Por otra parte, si la entrada *p*-ésima es 1 (o 0), para el término *r* se metaliza entre A_p (o $\bar{A}_p$) y la *r*-ésima puerta AND. Análogamente si la salida *k*-ésima es 1 (o 0), para la *m*-ésima línea de producto se conecta con aluminio (o no se conecta) el término *m* a la entrada de la *k*-ésima puerta OR. El 6775 de la Monolithic Memories Inc., (o el DM 8575 de la National Semiconductor) es un ejemplo de dispositivo lógico programable con máscara con 14 entradas, 8 salidas y 96 términos de producto (14 × 96 × 8). Es compatible con la lógica TTL y su tiempo de acceso es de aproximadamente 50 ns.

Existen también dispositivos lógicos programables en el propio taller (FPLA) tales como el Signetics 82S100 (16 × 48 × 8) representado en diagrama de bloques en la Fig. 7-36. Este chip bipolar emplea puertas AND de diodos (Shottky) y puertas OR seguidoras de emisor (Fig. 7-37). Este FPLA está representado en la Fig. 7-37 en que cada *X* representa una unión fusible. Este sistema se programa en el taller quemando selectivamente los fusibles para cortar las conexiones convenientes para satisfacer la tabla del programa como se ha explicado anteriormente. El complemento $\bar{A}_k$ de A_k se obtiene mediante un

inversor (no representado en la figura). También se puede conseguir en el chip el complemento de cada salida, pero este circuito se ha omitido en la figura para mayor simplicidad. El encapsulado es compatible con salidas de tres estados o de colector abierto (Fig. 6-39) incluyendo también chip de habilitación de control.

El PLA (o FPLA) está diseñado para la ejecución de funciones lógicas complejas: puede manejar más datos de entrada y es más económico que el ROM. Sirve para el mismo tipo de aplicaciones que el ROM (Sec. 7-11) supuesto que el número de términos de producto necesarios sea una pequeña parte del total de combinaciones de entrada posible.

REFERENCIAS

1 Hodges, D. A., y H. G. Jackson: "Analysis and Design of Digital Integrated Circuits," McGraw-Hill, Nueva York, 1983.

2 Blakeslee, T. R.: "Digital Design with Standard MSI and LSI," John Wiley and Sons, Nueva York, 1975.

3 Peatman, J.B.: "The Design of Digital Systems," 2ª ed., McGraw-Hill Book Company, Nueva York, 1981.

4 Taub, H., y D. Schilling: "Digital Integrated Electronics," McGraw-Hill Book Company, Nueva York, 1975.

5 Mano, M.M.: "Computer System Architecture," 2.ª ed., Prentice-Hall, Englewood Cliffs, N.J., 1982.

6 Taub, H.: "Digital Circuits and Microprocessors," McGraw-Hill Book Company, Nueva York, 1982.

7 *IEEE Journal of Solid-State Circuits*, publicación especial anual sobre lógica y memoria de los semiconductores, Nueva York, Octubre 1970 hasta el presente.

TEMAS DE REPASO

7-1. (*a*) ¿Cuántos terminales de entrada necesita un chip conteniendo cuatro puertas NOR de dos entradas? Explíquese.
(*b*) Repetir lo anterior para un chip con dos puertas AOI de dos entradas.

7-2. Describir SSI, MSI, LSI y VLSI.

7-3. Dibujar la configuración de una puerta integrada TTL AOI y explicar su funcionamiento.

7-4. Repetir el tema anterior para una puerta NMOS AOI.

7-5. ¿Qué tipo de conexionado se emplea en el tema 7-3? y ¿en el 7-4?

7-6. (*a*) Hallar la tabla de la verdad de un semisumador.
(*b*) Muéstrese su cumplimiento para el dígito D y el arrastre C.

7-7. Muéstrese el sistema de un sumador binario en paralelo de 4 bit construido mediante sumadores completos de 1 bit.

7-8. (*a*) Dibujar la tabla de la verdad en un sumador de 3 bit y explicar claramente el significado de los símbolos de entrada y de salida de la tabla.
(*b*) Escribir las expresiones de Boole (sin simplificar) para la suma y el arrastre.

7-9. (*a*) Mostrar el sistema para un sumador binario completo en serie.
(*b*) Explíquese su funcionamiento.

7-10. Definir los complementosa uno y a dos de un número binario.

7-11. (*a*) Consideremos dos números A y B de cuatro bit siendo $B > A$. Demostrar que para restar A de B sólo se necesita sumar B, $\bar{A}$ y 1.

(*b*) Indicar de forma sencilla un sustractor de 4 bit obtenido a partir de un sumador completo.

7-12. Consideremos dos números A y B de un bit. ¿Cuáles son las puertas lógicas necesarias para comprobar que: (*a*) $A = B$, (*b*) $A > B$ y (*c*) $A < B$?

7-13 (*a*) Consideremos dos números A y B de 4 bit. Si $E = 1$ representa $A = B$ escribir la expresión de Boole para E. Explíquese.

(*b*) Si $C = 1$ representa la desigualdad $A > B$, escribir la expresión de Boole para C. Explíquese.

7-14. Explicar el sistema para un comprobador de paridad impar de 4 bit.

7-15. (*a*) Mostrar un sistema para aumentar la fiabilidad de una transmisión de información binaria empleando un comprobador y generador de paridad.

(*b*) Explíquese el funcionamiento del sistema.

7-16. Escribir el número decimal 538 en sistema BCD.

7-17. (*a*) Definir un decodificador.

(*b*) Indicar cómo se decodifica el código de 4 bit 1011 (LSB).

7-18. (*a*) Definir un demultíplex.

(*b*) Mostrar cómo invertir un decodificador en un demultíplex.

(*c*) Indicar cómo se añade al sistema una señal de habilitación.

7-19. Dibujar el diagrama lógico de bloques de un árbol demultíplex de 1 a 32 salidas empleando un «tronco» con cuatro líneas de salida. Indicar el direccionado correcto.

7-20. (*a*) Definir un multíplex.

(*b*) Dibujar el diagrama lógico de bloques de un multíplex de 4 a 1 línea.

7-21. Mostrar cómo puede emplearse un multíplex a manera de: (*a*) convertidor paralelo-serie, y (*b*) selector secuencial de datos.

7-22. Dibujar el diagrama lógico de bloques de un selector-multíplex de 32 a 1 línea. Empléense selectores con un máximo de ocho líneas de entrada. Indíquese el direccionado correcto.

7-23. (*a*) Definir un codificador.

(*b*) Indicar un codificador de matriz de diodos para transformar un número decimal a código binario.

7-24. (*a*) Indicar una matriz codificadora empleando seguidores de emisor. En el caso concreto de un decodificador para transformar un número decimal a código binario, señalar las conexiones: (*b*) a la salida Y_2, y (*c*) en la línea W_4.

7-25. (*a*) Definir un codificador de prioridad.

(*b*) Escribir la tabla de la verdad para un codificador de prioridad de 4 a 2 líneas.

7-26. (*a*) Describir una memoria de sólo lectura.

(*b*) Dibujar el diagrama de bloques de una ROM.

(*c*) ¿Qué es lo que se almacena en la memoria?

(*d*) ¿De qué están formados los elementos de memoria?

7-27. Indicar el diagrama de bloques de una ROM de 624×4 bit empleando direccionado bidimensional. Empléese una matriz de 64×32.

7-28. (*a*) Escribir la tabla de la verdad para convertir un código binario a Gray.

(*b*) Escribir las seis primeras líneas de la tabla de la verdasd para convertir un código Gray a binario.

7-29. Explíquese lo que se entiende por programación con máscara de una ROM.

7-30. (*a*) ¿Qué se entiende por PROM?

(*b*) ¿Cómo se realiza la programación en el taller?

7-31. Citar tres aplicaciones del ROM explicándolas brevemente.

7-32. (*a*) ¿Qué es un indicador visible de siete segmentos?

(*b*) Mostrar las dos siguientes líneas en la tabla de conversión de código BCD al de siete segmentos 0001 y 0101.

7-33. (*a*) ¿Qué significan las siglas EPROM y E^2 *PROM?*

(*b*) Explicar brevemente su funcionamiento.

7-34. (*a*) Repetir el tema 7-33*a* para el dispositivo FAMOS.

(*b*) Esbozar la sección de un FAMOS y explicar brevemente su funcionamiento.

7-35. (*a*) Comparar una disposición lógica programable (PLA) con una lógica de disposición programable (PAL).

(*b*) ¿Cómo están el PAL y el PLA relacionados con un ROM?

7-36. ¿Qué se entiende por un PLA de $16 \times 48 \times 8$?



Circuitos y sistemas secuenciales

Muchos sistemas digitales deben trabajar en sincronismo con una secuencia de señales binarias (un tren de impulsos). Por ejemplo, el funcionamiento de una calculadora digital depende de recibir en primer lugar una instrucción de la memoria y almacenarla en un registrador hasta que queda ejecutada. El dato a procesar debe obtenerse de su memoria. El tercer paso consiste en ejecutar la instrucción. Simultáneamente un contador debe avanzar para preparar la instrucción siguiente. Para el buen funcionamiento del sistema la temporización y secuencia de estos pasos es crítica. Los circuitos y sistemas secuenciales se emplean para procesar sincrónicamente señales binarias. También se necesitan circuitos capaces de almacenar señales binarias (memorias).

El bloque constructivo básico incorporado en los circuitos secuenciales es el biestable o FLIP-FLOP. En este capítulo trataremos de registradores y contadores, dos tipos de circuitos basados en los FLIP-FLOP (o biestables). También describiremos varias aplicaciones típicas de estos circuitos.

8-1. UNA MEMORIA DE 1 BIT

Todos los sistemas vistos en el Cap. 7 están basados en una lógica combinatoria. Las salidas en un momento dado dependen sólo de los valores de las entradas en ese mismo momento. De estos sistemas se dice que *no* tienen memoria. Obsérvese que una ROM es un circuito combinatorio, y de acuerdo con la definición anterior no tiene memoria. *La memoria de un ROM se refiere al hecho de que «memoriza» la relación funcional entre las variables de salida y las de entrada*. No almacena bit de información.

Célula de almacenamiento de 1 bit

El circuito digital básico de memoria se obtiene por el acoplamiento mutuo de dos circuitos NOT, $N1$ y $N2$ (puertas NAND de una sola entrada) en la forma representada en la Fig. 8-1*a*. La salida de cada puerta se conecta a la entrada de la otra, y esta combinación de realimentación se denomina biestable o FLIP-FLOP. La propiedad más importante del biestable es que puede permanecer en uno de dos estados estables, ya sea $Q = 1$ ($\overline{Q} = 0$) que constituye el *estado 1* o $Q = 0$ ($\overline{Q} = 1$) que es el *estado 0*. La existencia de estos dos estados estables es debida a las interconexiones de la Fig. 8-1*a*. Por ejemplo, si la salida de $N1$ es $Q = 1$ también lo será A_2, entrada de $N2$. Este inversor tiene el estado 0 en su salida $\overline{Q}$. Puesto que Q está unido a A_1, la entrada de $N1$ es 0, y la correspondiente salida es $Q = 1$. Este resultado está de acuerdo con la primera suposición de que $Q = 1$. Un razonamiento similar nos lleva a la conclusión de que $Q = 0$, $\overline{Q} = 1$ es también un estado posible. Es también comprobable que la situación en que ambas salidas estén en el mismo estado (ambas 1 o ambas 0) no es compatible con esta conexión.

Puesto que la configuración de la Fig. 1-8*a* tiene dos estados estables se le denomina también *circuito binario o biestable*, y puesto que puede almacenar un bit de información (ya sea $Q = 1$ o $Q = 0$), forma

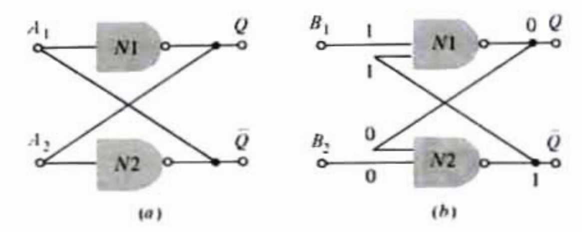


Figura 8-1. (*a*) Memoria de 1 bit, o biestable. (*b*) El biestable provisto de medios para introducir el dato en la célula.

una unidad de memoria de 1 bit o célula de almacenamiento de 1 bit. Esta información queda cerrada o bloqueada por lo que a veces se denomina también *cierre*.

Supongamos que se desea almacenar un estado dado, por ejemplo $Q = 1$, o que por el contrario queremos recordar el estado $Q = 0$. Deberemos «escribir» un 1 o un 0 en la célula de memoria cambiando las puertas NOT de la Fig. 8-1*a* por puertas NAND de dos entradas, $N1$ y $N2$ y alimentar por las entradas B_1 y B_2 como en la Fig. 1-8*b*. Si suponemos $B_1 = 1$ y $B_2 = 0$ el estado de cada entrada y salida de puerta será el que indica el esquema. Siendo $Q = 0$ es evidente que para entrar un 0 en la memoria se necesita que $B_1 = 1$ y $B_2 = 0$. Análogamente se puede demostrar que para almacenar un 1 es necesario que $B_1 = 0$ y $B_2 = 1$. Si $B_1 = 1$ y $B_2 = 1$ se pueden suprimir estos dos terminales de las puertas NAND sin afectar la lógica. Dicho de otra forma, el estado del biestable no está afectado por la combinación de entrada $B_1 = B_2 = 1$. Si antes de aplicar esta serie de entradas tenemos $Q = 1$ (o 0) la salida seguirá siendo $Q = 1$ (o 0) una vez hayamos pasado a $B_1 = B_2 = 1$. Obsérvese que $B_1 = B_2 = 0$ tampoco es admisible (Prob. 8-1)

Un interruptor sin oscilaciones

En un sistema digital es frecuente tener que pulsar una tecla para introducir un 1 o un 0 en un punto determinado. Muchos interruptores saltan o vibran varias veces antes de quedar fijos en la posición de cerrado. La célula de almacenamiento antes descrita puede emplearse para obtener un cambio de estado único cuando el interruptor cierra por primera vez independientemente de los saltos que puedan seguir. Consideremos la situación de la Fig. 8-2 en la que el conmutador unipolar de dos posiciones está al principio conectando B_2 a tierra, de forma que $B_2 = 0$. Despreciando la corriente de entrada de la puerta,

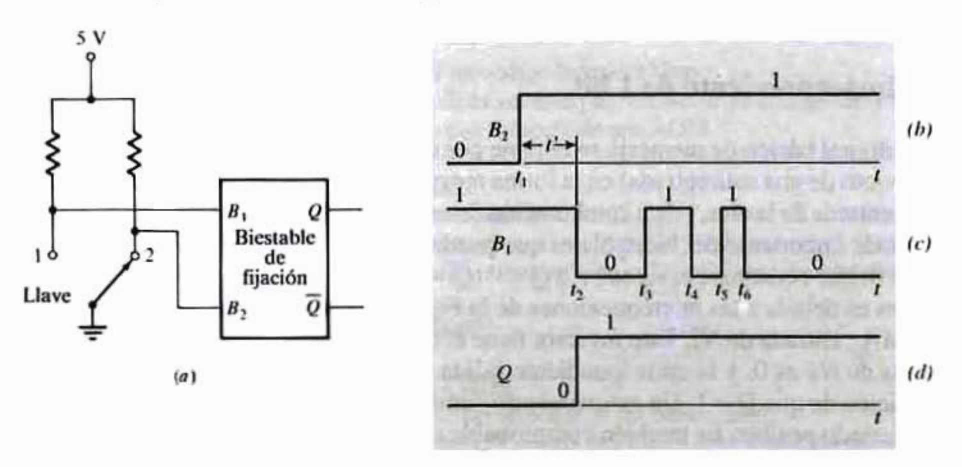


Figura 8-2. (*a*) El biestable de la Fig. 8-1*b* hace que el contacto del interruptor se produzca sin oscilaciones. Formas de onda de (*b*) B_2, (*c*) B_1 y (*d*) Q.

la tensión B_1 es de 5V que se considera la tensión de estado 1; así que inicialmente $B_1 = 1$. En el instante $t = t_1$ se pulsa la tecla y el conmutador pasa de la posición 2 a la 1. En la fig 8-2*b* está representada la onda de B_2. Para que el conmutador alcance el contacto 1 se necesita un tiempo $t' = t_2 - t_1$ de forma que B_1 pasa de 1 a 0 en el instante t_2. No obstante, como se ve en la Fig. 8-2*c*, el contacto rebota y la conexión se interrumpe durante los intervalos t_3 a t_4 y t_5 a t_6. (Para dibujar la figura se han puesto dos rebotes). La salida Q es la representada en la Fig. 8-2*d* que es congruente con la lógica vista anteriormente, o sea que $Q = 0$ si $B_1 = 1$ y $B_2 = 0$; $Q = 1$ si $B_1 = 0$ y $B_2 = 1$. Q no queda afectada (no varía) si $B_1 = B_2 = 1$. Obsérvese que el dispositivo ha eliminado los rebotes o vibraciones puesto que la salida Q muestra un solo cambio de estado de 0 a 1 en el primer instante en que B_1 queda conectado a tierra. De igual forma se puede demostrar que Q sufrirá un solo salto de 1 a 0 al volver el interruptor de B_1 a B_2 aun cuando se produzcan vibraciones en el contacto B_2 (Prob. 8-2). Existe en el mercado un circuito integrado (74LS 279A) con cuatro biestables, adecuado a esta aplicación. Puesto que B_1 está señalado $\bar{S}$ y a B_2 se le denomina $\bar{R}$, el encapsulado contiene cuatro biestables $\bar{S}\bar{R}$.

Biestable de fijación

La adición de dos puertas NAND precediendo a *N*1 y *N*2 de la Fig. 8-1*b*, juntamente con un inversor, dará el sistema (Fig. 8-3) para el almacenaje de una información binaria de un bit. Cuando la entrada de habilitación es alta ($G = 1$) los datos de entrada D se transfieren a la salida Q. Esta afirmación se comprueba realmente basándose en la lógica satisfecha por el conjunto *N*1-*N*2. Es decir, si $D = 0$, $S = 0$, $R = 1$, $B_1 = 1$, $B_2 = 0$ y $Q = 0$. Y análogamente, si $D = 1$, $S = 1$, $R = 0$, $B_1 = 0$, $B_2 = 1$ y $Q = 1$. Mientras G sea igual a 1, cualquier cambio en el dato D aparecerá en Q.

Si el sistema está inhibido ($G = 0$) entonces $B_1 = B_2 = 1$ independientemente del valor de D. Por tanto, Q retiene el valor binario que tenía inmediatamente antes de que G cambiase de 1 a 0.

La célula de memoria de la Fig. 8-3 se puede construir de la configuración AOI de la Fig. 7-2 (Prob. 8-3). Se fabrican cuatro de tales biestables en un solo encapsulado de 16 patillas (74 LS 375) con salidas complementarias (Q y $\bar{Q}$), así como encapsulados de 20 patillas con ocho biestables (74 ALS 573) con una salida separada de tres estados.

8-2. PROPIEDADES DEL CIRCUITO DE UN BIESTABLE DE FIJACIÓN

En la Sec. 8-1 se describió la puerta de fijación NAND en función de sus relaciones lógicas. En esta sección nos valdremos de las propiedades del circuito de las puertas para demostrar la naturaleza biestable del sistema.

Se pueden también formar biestables a partir de puertas NOR como se ve en la Fig. 8-4. Consideremos el caso en el que ambas entradas en cada puerta NOR estén unidas entre sí, haciendo que cada una actúe como un inversor. En la Fig. 8-5*a* está representada la característica de transferencia del inversor. Sin realimentación (línea sombreada de la salida de la puerta 2 a la entrada de la puerta 1 en la Fig. 8-4) los

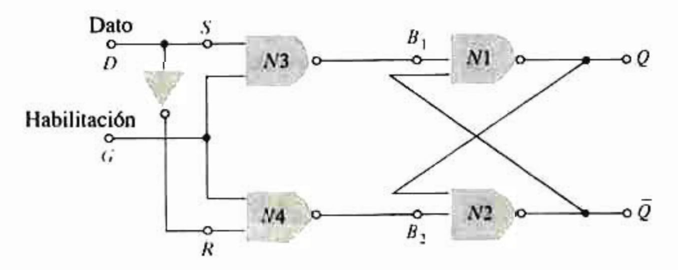


Figura 8-3. Un biestable de fijación transfiere el dato D a la salida Q si G = 1.

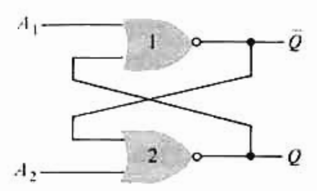


Figura 8-4. Puerta de fijación formada conectando cruzadas dos puertas NOR.

dos inversores están en cascada. La función de transferencia v_{o2} en función de v_{i1} se ha representado en la Fig. 8-5*b*. La línea de realimentación de la Fig. 8-4 hace que v_{i1} se iguale a v_{o2}; esta relación está indicada sombreada en la Fig. 8-5*b* mediante una línea recta de pendiente unidad. La característica de transferencia y la relación de tensión deben cumplirse simultáneamente, y por tanto el funcionamiento del circuito queda confinado a estar en la intersección de ambas curvas. Se ve que hay tres estados posibles, (*A*, *B* y *C* de la Fig. 8-5*b*), en el biestable. Sin embargo, tal como se ve en el párrafo siguiente sólo existen en realidad los *A* y *B*.

La pendiente de la característica de transferencia (ganancia del circuito) es mayor que la unidad entre *P* y *P'*. En consecuencia, si se está en estado *C* cualquier señal extraña (ruido) llevará la salida a *A* o a *B* (según sea la polaridad del impulso del ruido). La situación es análoga a los posibles resultados de lanzar una moneda: puede caer de cara, de cruz, o (teóricamente) de canto. Pero la más ligera perturbación hará que la que ha caído de canto pase inmediatamente a cara o a cruz. Llegamos a la conclusión que dos de los tres estados posibles, (*A* y *B* de la Fig. 8-5*b* o caras y cruces de las monedas) son *dinámicas* y estáticamente estables, mientras que el tercer estado (*C* o canto) es inestable. Así con sólo dos estados dinámicamente estables se confirma la naturaleza biestable del dispositivo. Obsérvese que en A y en B, donde la pendiente de la característica de transferencia es nula, cualquier pequeña perturbación no tiene efecto alguno.

Los biestables pueden adquirirse en cualquiera de las cuatro tecnologías de integración que se han visto en el Cap. 6. Frecuentemente se emplean biestables para «escribir» (*S*) o «borrar» (*R*) circuitos para funcionar sincrónicamente con una secuencia de impulsos. El biestable *SR* es un bloque constructivo muy corriente en circuitos secuenciales como se describirá detalladamente en la Sec. 8-3. La Fig. 8-6 corresponde a la topología del 74 LS 279 A en la que se identifican dos puertas NAND y las conexiones de realimentación. El biestable ECL de la Fig. 8-7 utiliza las salidas NOR de la puerta básica OR/NOR. Los circuitos de las Figs 8-8*a* y 8-8*b* son realizaciones NMOS y CMOS respectivamente de biestables *SR* que emplean la topología de puerta NOR acoplada.

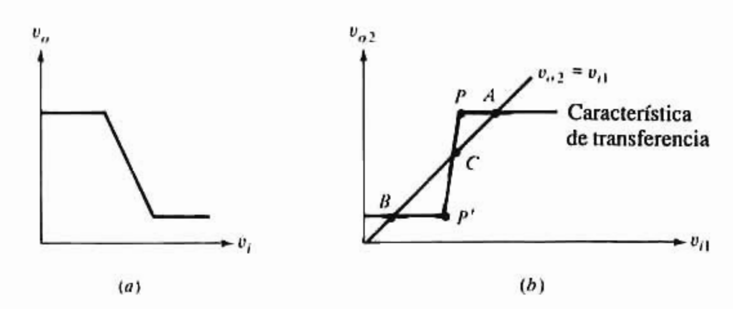


Figura 8-5. (*a*) Característica de transferencia inversora. (*b*) Característica de transferencia de tensión de inversores en cascada. La acción de la realimentación indica que los puntos *A* y *B* corresponden a dos estados estables del biestable (El punto *C* es dinámicamente inestable).

8-3. EL FLIP-FLOP *SR* TEMPORIZADO

Frecuentemente se presenta el caso de tener que escribir o borrar un biestable en sincronismo con un tren de impulsos. A un biestable gobernado de esta forma se le denomina FLIP-FLOP. En esta sección introduciremos un tipo de FLIP-FLOP y en la Sec. 8-4 veremos otros tipos comercialmente disponibles.

$+V_{CC}$

Q S R $\bar{Q}$

Puerta NAND LS Puerta NAND LS

Figura 8-6. El biestable SR 74LS5279 construido por dos puertas NAND TTL LS.

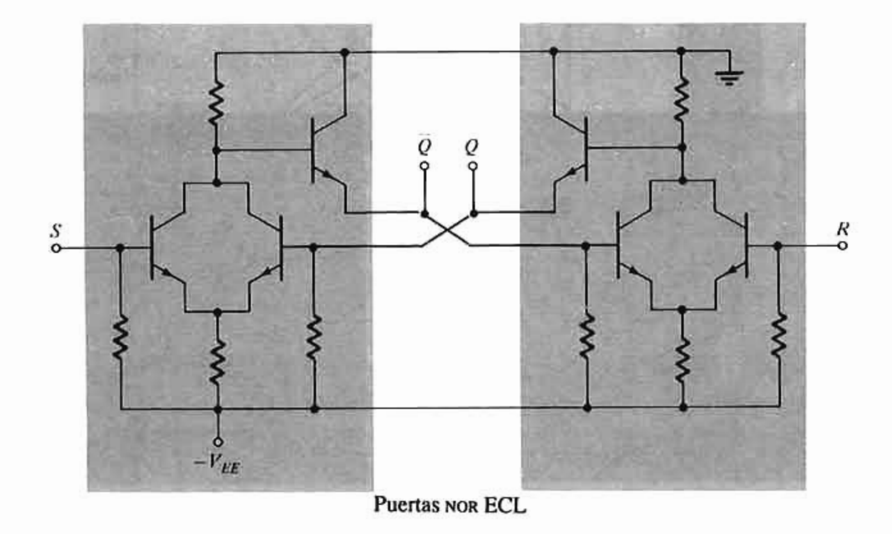
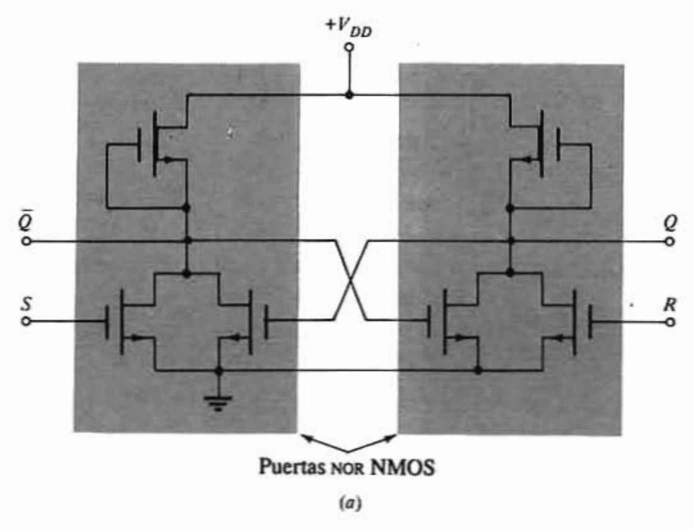


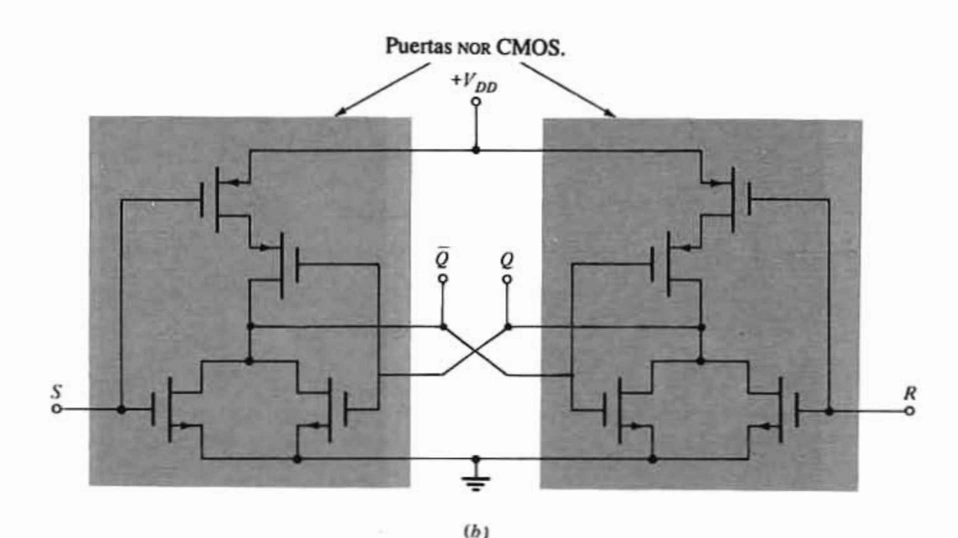
Figura 8-7. El biestable ECL empleando las salidas NOR.

Sistema secuencial

Muchos sistemas digitales están temporizados, es decir, que funcionan en sincronismo con un tren de impulsos de periodo T, sistema denominado *reloj* (abreviadamente *Ck*) tal como indica la Fig. 8-9. El ancho t_p del impulso se supone pequeño comparado con T, los valores binarios de cada punto del sistema se suponen constantes en cada intervalo entre impulsos. La transición de uno a otro estado del sistema sólo puede tener lugar mediante la aplicación de un impulso de reloj. Sea Q_n la salida (0 o 1) en un determinado nudo durante el n-ésimo intervalo (bit de tiempo n) precediendo el n-ésimo impulso del reloj (Fig. 8-9). Entonces Q_{n+1} es la salida correspondiente en el intervalo inmediatamente posterior al n-ésimo impulso. Un sistema en el que los valores $Q_1, Q_2 ... Q_n$ se obtienen con una secuencia de tiempo a intervalos T se denomina sistema lógico *secuencial* (para distinguirlo del *combinacional*). El valor de Q_{n+1} puede depender de los valores durante el bit de tiempo anterior (el n-ésimo). En estas condiciones el circuito secuencial posee memoria.



(a)



(b)

Figura 8-8. Biestables (*a*) NMOS y (*b*) CMOS formados con puertas NOR.

El FLIP-FLOP *SR*

Si el terminal habilitador de la Fig. 8-3 se emplea como entrada del reloj (*Ck*) y si se suprime el inversor para proporcionar dos entradas de datos; *S* (*escritura*) y *R* (*borrado*) obtendremos el FLIP-FLOP temporizado *SR* de la Fig. 8-10. Las puertas *N*1 y *N*2 forman el biestable mientras que las *N*3 y *N*4 son las de *control* y *gobierno* que programan el estado del FLIP-FLOP después de aparecer el impulso.

Obsérvese que entre impulsos del reloj ($Ck = 0$) las salidas de *N*3 y *N*4 son 1 independientemente de los valores de *R* o *S*. Por tanto, el circuito es equivalente al biestable de la Fig. 8-1*a*. Si $Q = 1$ se mantiene 1 y si $Q = 0$ se mantiene en 0. Dicho de otra forma: *El* FLIP-FLOP *no cambia de estado entre dos impulsos del reloj*, es invariable dentro de un bit de tiempo.

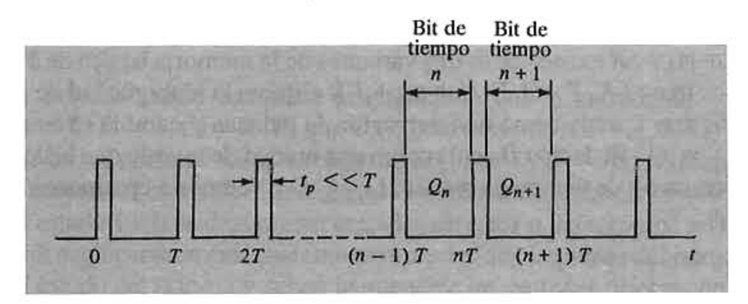
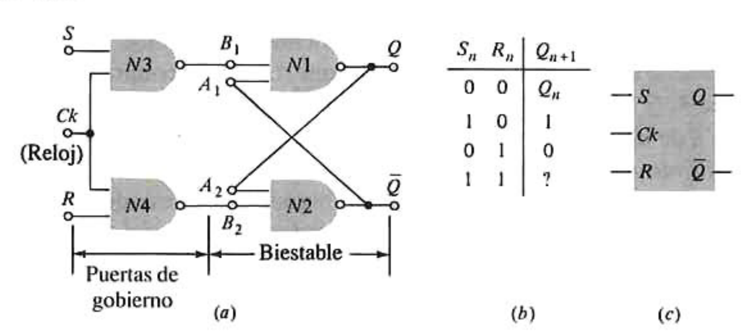


Figura 8-9. La salida de un oscilador maestro empleada a manera de tren de impulsos del reloj para sincronizar un sistema secuencial.

Consideremos ahora el instante $t = n$T (+) en el que haya un impulso del reloj ($Ck = 1$). Si $S = 0$ y $R = 0$, las salidas *N*3 y *N*4 serán 1. Por el razonamiento expuesto en el párrafo anterior, el estado Q_n del FLIP-FLOP no cambia. De ahí que una vez pasado el impulso (en el bit de tiempo $n + 1$) el estado Q_{n-1} es idéntico al Q_n. Si designamos los valores de *R* y *S* en el intervalo inmediatamente anterior a $t = nT$ por R_n y S_n, entonces $Q_{n+1} = Qn$ si $S_n = 0$ y $R_n = 0$. Esta relación se encuentra en la primera línea de la tabla de la verdad de la Fig. 8-10*b*.



S_n	R_n	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	?

Figura 8-10. (*a*) FLIP-FLOP temporizado. (*b*) Tabla de la verdad (El signo interrogante indica que no se puede predecir este estado). (*c*) Símbolo del circuito.

Si $Ck = 1$, $S_n = 0$ y $R_n = 1$, entonces $B_1 = 1$ y $B_2 = 0$, la situación es la de la Fig. 8-1*b* y el estado de salida es 0. Por tanto, una vez pasado el impulso (al bit de tiempo $n + 1$) hallamos $Q_{n+1} = 0$ confirmando la tercera línea de la tabla de la verdad. Si se intercambian *R* y *S* y simultáneamente se intercambian también Q y $\bar{Q}$ no se altera el diagrama lógico de la Fig. 8-10*a*. Por tanto, la segunda linea de la tabla de la Fig. 8-10*b* se deduce de la tercera.

Si $Ck = 1$, $S_n = 1$ y $R_n = 1$, las salidas de las puertas NAND, *N*3 y *N*4 son ambas 0. Por tanto, las entradas B_1 de *N1* y B_2 de *N*2 son 0, de forma que las salidas tanto de *N*1 como de *N*2 deben ser 1. Esta condición

es lógicamente inconsistente con nuestra notación de las dos salidas Q y $\bar{Q}$. Debemos llegar a la conclusión de que el transistor de salida de cada puerta $N1$ y $N2$ está cortado con el resultado de que ambas salidas están altas (1). Al final de cada impulso, las entradas B_1 y B_2 aumentan de 0 a 1. Dependiendo de cuál de los impulsos crece más rápidamente y de las asimetrías de los parámetros puede resultar cualquiera de los estados estables $Q = 1$ ($\bar{Q} = 0$) o $Q = 0$ ($\bar{Q} = 1$). Por este motivo se ha señalado con un interrogante el valor de Q_{n+1} en la cuarta línea de la tabla de la verdad. De ese estado se dice que es *indeterminado, ambiguo o indefinido*, por lo que hay evitar que se dé la condición $S_n = 1$ y $R_n = 1$.

8-4. FLIP-FLOP TIPOS *J-K*, *T* y *D*

Además de los FLIP-FLOP *SR* existen otras tres variantes de la memoria básica de 1 bit comercialmente disponible, que son los tipos *J-K*, *T* y *D*. El FLIP-FLOP *J-K* elimina la ambigüedad de la tabla de la verdad de la Fig 8-10*b*. El de tipo *T* actúa como un interruptor de palanca y cambia el estado de salida a cada impulso del reloj; $Q_{n+1} = \bar{Q}_n$. El de tipo *D* actúa como una unidad de retardo que hace que la salida Q siga a la entrada D pero con un bit de tiempo de retraso; $Q_{n+1} = D_n$. Veamos a continuación cada uno de estos tres tipos de FLIP-FLOP.

El FLIP-FLOP *J-K*

Este bloque constructivo se obtiene añadiendo al FLIP- FLOP *SR* dos puertas AND, $A1$ y $A2$ (Fig 8-11*a*). El dato de entrada J y la salida $\bar{Q}$ se aplican a $A1$. Puesto que su salida alimenta a S tendremos que $S = J\bar{Q}$. Análogamente el dato de entrada K y la salida Q se aplican a $A2$ y por tanto $R = KQ$. La lógica seguida por este sistema viene dada por la tabla de la verdad de la Fig. 8- 11*b*. Esta lógica puede comprobarse con referencia a la Tabla 8-1. Para las dos entradas de datos J y K existen cuatro combinaciones posibles. Para cada una de ellas hay dos estados posibles de Q y por tanto la Tabla 8-1 tiene ocho líneas. De los bit de cada línea J_n, K_n, Q_n y $\bar{Q}_n$ se calculan $S_n = J_n\bar{Q}_n$ y $R_n = K_nQ_n$ y se introducen en las columnas quinta y sexta de la tabla. Empleando estos valores de S_n y R_n y refiriéndonos a la tabla de la verdad del FLIP-FLOP *SR* de la Fig. 8-10*b* se obtiene la séptima columna. Finalmente, la octava columna se deduce de la séptima ya que $Q_n = 1$ en la línea 4, $Q_n = 0$ en la línea 5, $\bar{Q}_n = 1$ en la línea 7 y $\bar{Q}_n = 0$ en la 8.

Las columnas 1, 2 y 8 de la Tabla 8-1 forman la tabla de la verdad del FLIP-FLOP *J-K* de la Fig. 8- 11*b*. Obsérvese que *las tres primeras líneas de una tabla de la verdad J-K son idénticas a la correspondientes a una tabla de un SR* (Fig. 8-5*b*). Sin embargo, la ambigüedad del estado $S_n = 1 = R_n$ queda ahora reemplazado por $Q_{n+1} = \bar{Q}_n$ para $J_n = 1 = K$. *Si las dos entradas de datos del* FLIP-FLOP *J-K son altas, la salida estará complementada por los impulsos del reloj.*

No es realmente necesario emplear las puertas AND $A1$ y $A2$ de la Fig. 8-11*a* ya que puede cumplirse la misma función añadiendo un terminal de entrada extra en cada una de las puertas NAND $N3$ y $N4$ de la

J
$\bar{Q}$
A1
S
Q
Reloj
Ck
Q
A2
K
R
$\bar{Q}$

(*a*)

J_n	K_n	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	$\bar{Q}_n$

(*b*)

Figura 8-11. (*a*) Conversión de un FLIP- FLOP SR en J-K. (*b*) Tabla de la verdad.

Fig. 8-10*a*. En la Fig. 8-12 queda indicada esta simplificación (prescíndase de las entradas a trazos, es decir, supóngase que ambas sean 1). Q y Q en las entradas se obtienen mediante las conexiones de realimentación desde las salidas (líneas gruesas).

Puesta a 1 y a 0 (Preset and clear)

La tabla de la verdad de la Fig. 8-11*b* nos informa de lo que sucede en la salida al aplicar un impulso de reloj, en función de los datos de entrada J y K. El valor de la salida antes de aplicar el impulso es arbitrario. Al añadir las entradas señaladas con líneas de trazos en la Fig. 8-12 se puede determinar el estado inicial del FLIP-FLOP. Por ejemplo, puede ser necesario «borrar» un biestable, o sea especificar que $Q = 0$ cuando $Ck = 0$.

La operación de borrado puede cumplirse programando que la entrada de borrado sea 0 y la de aceptación sea 1; $Cr = 0$, $Pr = 1$, $Ck = 0$. Ya que $Cr = 0$ la salida de $N2$ (Fig. 8-12) es $\overline{Q} = 1$. Puesto que $Ck = 0$ la salida de $N3$ es 1, y por tanto todas las entradas a $N1$ son 1 y $Q = 0$ como se quería. Análogamente, si se desea que para aceptar, el biestable esté en estado 1 es necesario escoger $Pr = 0$, $Cr = 1$, $Ck = 0$. Los datos para puesta al estado 1 o 0 se denominan entradas *directas* o *asíncronas*: no están en sincronismo con el reloj pero pueden aplicarse en cualquier momento entre dos impulsos del reloj. Una vez establecido asincrónicamente el estado del FLIP-FLOP deben mantenerse las entradas directas en $Pr = 1$, $Cr = 1$ antes de que llegue el siguiente impulso para habilitar el biestable. No debe emplearse el dato $Pr = 0$, $Cr = 0$ puesto que conduce a un estado ambigüo ¿Por qué?

El símbolo lógico del FLIP-FLOP *J-K* es el de la Fig. 8-12*b*, y las entradas para un funcionamiento correcto pueden verse en la fig 8-12*c*.

Tabla 8-1 Tabla de la verdad para la Fig. 8-11a

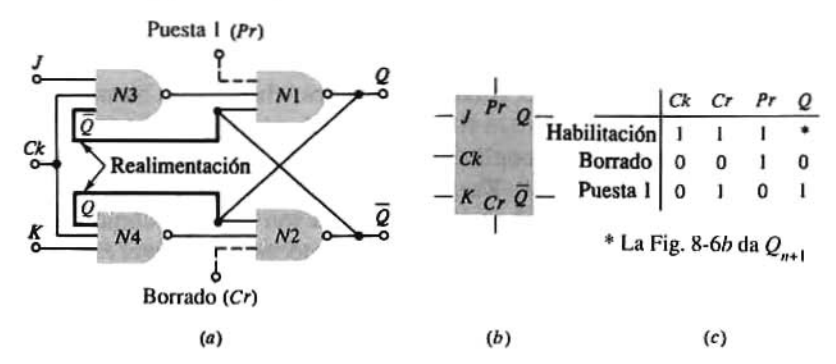
Columna	*1*	*2*	*3*	*4*	*5*	*6*	*7*	*8*
Línea	J_n	K_n	Q_n	$\overline{Q}_n$	S_n	R_n	Q_{n+1}	
1	0	0	0	1	0	0	Q_n	Q_n
2	0	0	1	0	0	0	Q_n	
3	1	0	0	1	1	0	1	1
4	1	0	1	0	0	0	Q_n	
5	0	1	0	1	0	0	Q_n	0
6	0	1	1	0	0	1	0	
7	1	1	0	1	1	0	1	$\overline{Q}_n$
8	1	1	1	0	0	1	0	

Condición de auto-oscilación

Puede presentarse una dificultad física con un FLIP- FLOP *J-K* construido como en la Fig. 8-12. La tabla de la verdad 8-1 está basada en una lógica combinacional que supone que las entradas son independientes de las salidas. Pero debido a la conexión de realimentación Q ($\overline{Q}$) en la entrada a K (J) la entrada cambiará durante el impulso del reloj ($Ck = 1$) si la salida cambia de estado. Consideremos por ejemplo que las entradas en la Fig. 8-12 son $J = 1$, $K = 1$ y $Q = 0$. Al aplicar un impulso la salida pasa a $Q = 1$ (de acuerdo con la 7ª línea de la Tabla 8-1) realizándose este cambio después de un tiempo Δt igual al retraso de programación (Sec. 6-4) a través de dos puertas NAND en serie en la Fig. 8-7. Ahora $J = 1$, $K = 1$ y $Q = 1$, y en la 8ª fila de la Tabla 8-1 vemos que la entrada retrocede nuevamente a $Q = 0$. Por tanto, durante el

tiempo t_p (Fig. 8-9) que dura el impulso (con $Ck = 1$) la salida oscilará adelante y atrás entre 0 y 1. Al finalizar el impulso ($Ck = 0$) el valor de Q es ambiguo.

Esta situación se denomina *condición de auto-oscilación* y se puede evitar si $t_p < \Delta t < T$. No obstante, con componentes integrados el retraso de propagación es muy pequeño, normalmente mucho menor que el ancho del impulso t_p, no satisfaciéndose la desigualdad anterior y quedando indeterminada la salida. Se pueden emplear líneas de retardo en serie con las conexiones de la realimentación de la Fig. 8-12 a fin de aumentar el retardo del lazo más allá de t_p y por tanto evitar la auto-oscilación. Seguidamente describirémos una solución integrada más práctica.



	Ck	Cr	Pr	Q
Habilitación	1	1	1	*
Borrado	0	0	1	0
Puesta 1	0	1	0	1

Figura 8-12. (*a*) Un FLIP-FLOP J-K. (*b*) Símbolo lógico. (*c*) Condiciones necesarias para un funcionamiento síncrono (fila 1) borrado síncrono (fila 2) o puesta en 1 (fila 3).

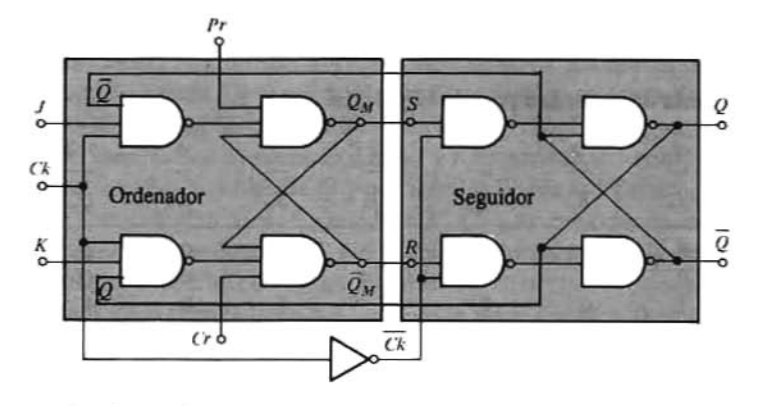


Figura 8-13. Un FLIP-FLOP ordenador-seguidor J-K.

FLIP-FLOP *J-K* ordenador-seguidor

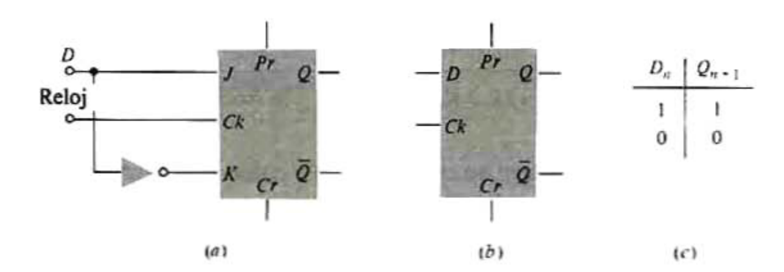
En la Fig. 8-13 se presentan dos FLIP-FLOP *SR* en cascada con realimentación desde la salida del segundo (llamado *seguidor*) a la entrada del primero (llamado *ordenador*). Se aplican impulsos positivos del reloj al ordenador que se invierten antes de excitar con ellos al seguidor. Con $Pr = 1$, $Cr = 1$ y $Ck = 1$ el ordenador queda habilitado, siguiendo la tabla de la verdad *J-K* de la Fig. 8-11*b*. Además, puesto que $\overline{Ck} = 0$ el FLIP-FLOP *SR* seguidor queda inhibido (no puede cambiar de estado) con lo que Q_n queda invariado durante el tiempo del impulso t_p. Evidentemente, la dificultad de la auto-oscilación queda solventada con la topología del ordenador-seguidor. Cuando ha pasado el impulso, $Ck = 0$ de forma que el ordenador se inhibe y $\overline{Ck} = 1$ con lo que se habilita el seguidor. El seguidor es un FLIP-FLOP *SR* que sigue la lógica de la Fig. 8-10*b*. Si $S = Q_M = 1$ y $R = \overline{Q}_M = 0$, entonces $Q = 1$ y $\overline{Q} = 0$. Análogamente si $S = Q_M$

$= 0$ y $R = \overline{Q}_M = 1$, entonces $Q = 0$ y $\overline{Q} = 1$. En otras palabras, en el intervalo entre impulsos del reloj la salida Q no cambia, pero Q_M sigue la lógica *J-K*: al finalizar el impulso el valor de Q_M se transfiere a Q.

Hay que observar que los datos en *J* y *K* deben mantenerse constantes mientras dure el impulso, pues de lo contrario puede resultar una salida errónea (Prob. 8-12). El encapsulado MSI de 16 patillas (MC8-104135) contiene dos FLIP-FLOP *J-K* ordenador-seguidor independientes. Algunos de estos dispositivos comerciales tienen también puertas NAND o AOI en las entradas (54 LS 72) para proporcionar entradas *J* y *K* múltiples evitando así la necesidad de puertas exteriores en aplicaciones en las que puedan ser necesarias.

El FLIP-FLOP tipo *D*

Si se modifica un FLIP-FLOP *J-K* añadiéndole un inversor como en la Fig. 8-14*a* de forma que *K* sea el complemento de *J*, la unidad se denomina FLIP-FLOP *D*. Según la tabla de la verdad *J-K* de la Fig. 8-11*b*, $Q_{n+1} = 1$ para $D_n = J_n = \overline{K}_n = 1$ y $Q_{n+1} = 0$ para $D_n = J_n = \overline{K}_n = 0$, por tanto $Q_{n+1} = D_n$. La salida Q_{n+1} después del impulso (bit de tiempo $n + 1$) se iguala a la entrada D_n antes del impulso (bit n) como se ve en la tabla de la Fig. 8-14 *c*. Si el FLIP-FLOP de la Fig. 8- 14*a* es del tipo *SR* la unidad funciona también como biestable tipo *D* con el reloj (*Ck*) sustituido por la habilitación (*G*) de la Fig. 8-3. No hay ambigüedad porque no es posible $J = K = 1$.



D_n	Q_{n+1}
1	1
0	0

Figura 8-14. (*a*) Conversión de un FLIP- FLOP J-K al tipo D. (*b*) Símbolo lógico. (*c*) Tabla de la verdad.

El biestable tipo *D* es un binario empleado para provocar un retardo. El bit en la línea *D* se transfiere a la salida en el impulso siguiente del reloj, y por tanto esta unidad retrasa un bit.

El FLIP-FLOP tipo *T*

Esta unidad cambia de estado con cada impulso del reloj y por tanto actúa como interruptor lógico. Si $J = K = 1$ entonces $Q_{n+1} = \overline{Q}_n$ de forma que el FLIP-FLOP *J-K* se convierte en tipo *T*. La Fig. 8-15*a* representa tal sistema con una entrada de datos *T*. La Fig. 8-15*b* corresponde al símbolo lógico y la 8-15*c* a la tabla de la verdad. Los biestables *SR* y *D* pueden también convertirse en FLIP-FLOP interruptor o complementario (Prob. 8-14)

Resumen

Existen cuatro configuraciones importantes de FLIP-FLOP, que son: *SR*, *J-K*, *D* y *T*. Las lógicas seguidas por cada uno de ellos se repiten para mayor facilidad en la Tabla 8-2. Un FLIP-FLOP integrado se excita

sincrónicamente por un reloj y pueden haber (o no) entradas directas para funcionar asincrónicamente, para habilitación (preset, Pr) y para borrado (clear, Cr). Una entrada directa solo puede ser 0 durante el intervalo entre impulsos del reloj cuando $Ck = 0$. Cuando $Ck = 1$ ambas entradas asíncronas deben ser altas; $Pr = 1$ y $Cr = 1$. Las entradas deben mantenerse constantes durante el ancho del impulso, $Ck = 1$. En un FLIP-FLOP ordenador-seguidor la salida Q se mantiene constante durante el impulso y sólo cambia después de que Ck pase de 1 a 0 en el borde final de ese impulso. También es posible diseñar un FLIP-FLOP *J-K* de forma que la salida cambie en el borde inicial del impulso. El chip 74LS109A es un FLIP-FLOP *J-K* excitado al inicio del impulso con entradas de escritura y de borrado. El MC10H176 contiene seis FLIP-FLOP *D* excitados también al inicio del impulso.

Tabla 8-2 Tabla de la verdad de los FLIP-FLOP

SR			*J-K*			*D*		*T*		*Entradas directas*			
S_n	R_n	Q_{n+1}	J_n	K_n	Q_{n+1}	D_n	Q_{n+1}	T_n	Q_{n+1}	Ck	Cr	Pr	Q
0	0	Q_n	0	0	Q_n	1	1	1	$\overline{Q}_n$	0	1	0	1
1	0	1	1	0	1	0	0	0	Q_n	0	0	1	0
0	1	0	0	1	0					1	1	1	*
1	1	?	1	1	Q_n								
Fig. 8-9			Fig. 8-11			Fig. 8-14		Fig. 8-15					

* Se refiere a la tabla de la verdad de los *SR*, *J-K*, *D* o *T* para Q_{n-1} en función de las entradas.

El FLIP-FLOP interruptor o complementario no está disponible comercialmente ya que puede usarse un *J-K* como *T* conectando entre sí las entradas *J* y *K* (Fig. 8-15).

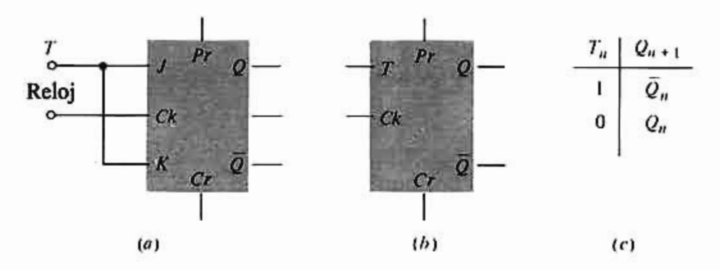


Figura 8-15. (*a*) FLIP-FLOP J-K convertido al tipo T con entrada de datos T. (*b*) Símbolo lógico. (*c*) Tabla de la verdad.

Existen FLIP-FLOP en todas las familias digitales integradas, siendo sus frecuencias máximas de funcionamiento las incluidas en la Tabla 6-4.

8-5. REGISTRADORES DE DESPLAZAMIENTO

Puesto que un biestable es una memoria de 1 bit, n FLIP-FLOP pueden almacenar una información de n bit, y a esta combinación se le denomina *registrador*. Para poder leer los datos de la información en un registrador en serie, la salida de cada FLIP-FLOP se conecta a la entrada del siguiente. Esta configuración recibe el nombre de registrador de desplazamiento estando representada en la Fig 8-16. Cada FLIP-FLOP es ordenador-seguidor de tipo *SR* (o *J- K*). Obsérvese que la etapa en la que se debe almacenar el bit más

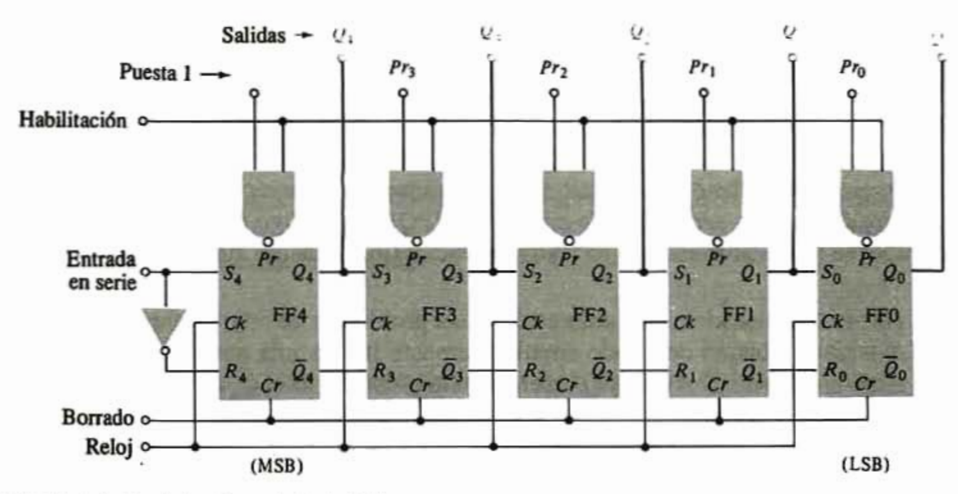


Figura 8-16. Registrador de desplazamiento de 5 bit.

significativo (MSB) se convierte en un biestable tipo D (Fig. 8-14) conectando S y R a través de un inversor. El registrador de desplazamiento de cinco bit de la Fig. 8-16 se puede adquirir en un chip con un encapsulado de 16 patillas (integración a escala media). Explicaremos a continuación el funcionamiento de este sistema suponiendo que se deba registrar la serie de datos 01011. (El bit menos significativo es el dígito situado más a la derecha; en este caso el 1).

Registrador de entrada-serie, salida paralelo (SIPO)

Los FLIP-FLOP se borran aplicando 0 a la entrada de borrado (mientras la habilitación de escritura permanece baja) de forma que todas las salidas $Q_0, Q_1, ... Q_4$ sean 0. Entonces se pone Cr en 1 manteniendo Pr constantemente igual a 1 (manteniendo la habilitación de escritura en 0). Se aplica el tren de datos en serie y el reloj síncrono. El bit menos significativo (LSB) se entra en el ordenador de FF4 cuando Ck pasa de 0 a 1 por la acción de un FLIP-FLOP tipo D. Después del impulso del reloj, el 1 se transfiere al biestable seguidor de FF4 y $Q_4 = 1$ mientras que todas las demás salidas se mantienen en 0.

Al segundo impulso del reloj, el estado de Q_4 se transfiere al biestable ordenador de FF3 debido a la acción de un FLIP-FLOP SR. Simultáneamente, el bit siguiente (un 1 en la información 01011) entra en el ordenador de FF4. Después del segundo impulso del reloj el bit en cada ordenador se transfiere a su seguidor, y $Q_4 = 1$, $Q_3 = 1$, y las demás salidas siguen en 0. En la Tabla 8-3 se dan las lecturas del registrador *después* de cada impulso. Por ejemplo, después del tercer impulso Q_3 ha pasado a Q_2, Q_4 a Q_3, y el tercer

Tabla 8-3 Lectura del registrador de desplazamiento después de cada impulso del reloj

Impulso del reloj	Bit de información	Q_4	Q_3	Q_2	Q_1	Q_0
1	1 →	1	0	0	0	0
2	1 →	1	1	0	0	0
3	0 →	0	1	1	0	0
4	1 →	1	0	1	1	0
5	0 →	0	1	0	1	1

bit de entrada (0) ha entrado en FF4 de forma que $Q_4 = 0$. Podemos seguir fácilmente este proceso y ver que registrando cada bit en el FLIP-FLOP MSB y desplazándolo hacia la derecha para dejar lugar para el bit siguiente, la infomación de entrada queda instalada en el registrador después del n-ésimo impulso del reloj (en un código de n bit). Naturalmente, en el momento de quedar registrada la información deben cesar los impulsos del reloj. Cada salida es alcanzable en una línea distinta y pueden leerse simultáneamente. Entrando los datos en serie y saliendo en paralelo este registrador es un convertidor *serie-paralelo*, llamado también registrador de *entrada-serie* y *salida-paralelo* (SIPO). Un *código temporal* (bits dispuestos en función del tiempo) se ha transformado en un *código espacial* (información almacenada en una memoria estática).

Se precisan FLIP-FLOP ordenadores-seguidores debido a problemas de retardo entre etapas (Sec. 8-4). Si todos los FLIP-FLOP cambiaran de estado simultáneamente habría una ambigüedad sobre el dato a transmitir de la etapa precedente. Por ejemplo, en el tercer impulso del reloj Q_4 cambia de 1 a 0 y resultaría dudoso si Q_3 debe quedar en 1 o en 0. Así pues, es necesario que Q_4 continúe en 1 hasta que este bit entre en FF3 y solo entonces pase de 1 a 0. La configuración ordenador-seguidor realiza esta acción. Si en la Fig. 8-13 la entrada J (K) la llamamos S (R) y si suprimimos las conexiones de realimentación tendremos un FLIP-FLOP SR ordenador-seguidor. El 74LS164 es un registrador de desplazamiento SIPO de 8 bit con entradas de habilitación.

Registrador de entrada y salida en serie (SISO)

Podemos tomar la salida Q_0 y leer el registrador en serie si aplicamos n impulsos del reloj, para una información de n bit. Después del n-ésimo impulso cada FLIP-FLOP está en 0. Obsérvese que la cadencia del reloj puede ser mayor o menor que la frecuencia original de los impulsos. Por tanto, este es un método para cambiar el espacio por tiempo en un código binario, proceso llamado de *separación*.

El encapsulado 74LS91 MSI es un registrador SISO de 8 bit con entradas de excitación y salidas complementarias. Puesto que un chip SISO sólo necesita una patilla de entrada de datos y otra de salida de datos independientemente del número de bit a almacenar se pueden conseguir mediante las tecnologías de integración a gran y muy gran escala registradores de gran capacidad.

Registrador de entrada en paralelo-salida en serie (PISO)

Consideremos la situación en la que se disponga de los bit de información en paralelo, es decir de las salidas de un ROM (sec.7-9) y se desea presentar este código, por ejemplo 01011 en serie.

El bit menos significativo se aplica a Pr_0, el bit 2^1 a Pr_1... de forma que $Pr_0 = 1, Pr_1 = 1, Pr_2 = 0, Pr_3 = 1$ y $Pr_4 = 0$. Primeramente se borra el registrador con $Cr = 0$ y luego se mantiene $Cr = 1$. Un 1 en la entrada de habilitación activa todas las k-ésimas puertas NAND de entrada en las que $Pr_k = 1$. La habilitación de los k-ésimos FLIP-FLOP es $Pr = 0$ y por tanto en la etapa correspondiente es 1 (Tabla 8-2). En el ejemplo presente FF0, FF1 y FF3 se activan y la información de entrada 01011 queda escrita en el registrador con todos los bit en paralelo debido al impulso de habilitación.

Tal como se ha explicado anteriormente, la información almacenada puede leerse en serie en Q_0 aplicando cinco impulsos. Este es un convertidor de *paralelo-serie*, o *espacial-temporal*. El 74ALS166 es un registrador PISO de 8 bit de entrada en paralelo y salida en serie.

Registrador de entrada y salida en paralelo (PIPO)

Los datos se introducen, como se ha explicado anteriormente, aplicando un 1 en el términal de

habilitación o de escritura, quedando disponibles en paralelo en las salidas Q_0, Q_1,.... Si en un momento dado se desea leer el registrador se aplica cada salida Q_k a una entrada de una puerta AND de dos entradas N_k y se excita la segunda entrada de cada AND con un impulso de lectura. La salida de N_k es 0 excepto durante el tiempo del impulso en que se leerá 1 si $Q_k = 1$. (En la Fig. 8-16 no están representadas las puertas N_k).

Obsérvese que en esta aplicación el sistema no funciona como registrador de desplazamiento ya que no es necesario ningún reloj (ni entradas en serie). Cada FLIP-FLOP se emplea sencillamente como una memoria aislada de lectura-escritura de 1 bit.

Registradores de desplazamiento a derecha e izquierda (bidireccional)

Algunos registradores de desplazamiento comerciales están equipados con puertas que permiten desplazar los datos de derecha a izquierda y viceversa. Una aplicación de este sistema es la de dividir o multiplicar por potencias de 2 como veremos seguidamente. Consideremos un registrador con desplazamiento a la derecha como el de la Fig. 8-16 en el que la entrada en serie se mantenga baja.

Supongamos que se almacena un número binario en un registrador con el bit menos significativo almacenado en FF0. Apliquemos ahora un impulso de reloj. Cada bit se traslada al lugar significativo inmediato inferior, y por tanto queda dividido por 2. El número que queda en el registrador vale la mitad del número original supuesto que FF0 estuviera al principio en 0. Puesto que el bit 2° se pierde al desplazarse a la derecha, si el FF0 estaba originalmente en el estado 1, correspondiendo al número decimal 1, después del desplazamiento el registrador tendrá un error respecto al decimal 0,5. El siguiente impulso del reloj vuelve a dividir por 2, y así sucesivamente.

Consideremos ahora que el sistema esté conectado de forma que cada impulso de reloj provoca un desplazamiento hacia la izquierda. Cada bit pasa ahora hacia el dígito significativo inmediatamente superior con lo que el número almacenado queda multiplicado por 2.

La Fig. 8-17 corresponde al diagrama lógico del registrador de desplazamiento bilateral de 4 bit 74LS194A. Este registrador es *universal* porque puede funcionar en todas las modalidades vistas en esta sección: SIPO, SISO, PISO, PIPO y como registrador bidireccional. Tiene dos entradas de control, S_0 y S_1 que permiten realizar las cuatro formas operacionales reseñadas en la Tabla 8-4. La comprobación de esta tabla es objeto del Prob. 8-17. El registrador universal de desplazamiento de 8 bit, 74ALS299 tiene la estructura representada en la Fig. 8-17. Tiene el equivalente de 87 puertas en un encapsulado de 24 patillas.

Línea de retardo digital

Un registrador de desplazamiento puede hacerse servir para introducir un retraso de tiempo Δ en el sistema, siendo Δ un múltiplo entero del periodo T del reloj. Así, un tren de impulsos en la entrada aparece en la salida de un registrador de n etapas retrasado un tiempo $\Delta = (n-1)T$

Generador de secuencias

Una importante aplicación de los registradores de desplazamiento es la de generar secuencias binarias. A este sistema se le denomina también *generador de información*, de *código* o de *carácter*. Los FLIP-FLOP registradores de desplazamiento se preparan para dar el código deseado. El reloj aplica los impulsos de

desplazamiento y la salida del registrador da una característica temporal correspondiente a la secuencia especificada. Evidentemente, acabamos de describir un registrador de entrada en paralelo y salida en serie. En operaciones de comprobación a veces es necesario repetir el código continuamente, lo que se consigue fácilmente realimentando la salida Q_0 del registrador hacia la entrada en serie formando un registrador de «reentrada». A esta configuración se le denomina *memoria dinámica* o *circulante*, o memoria de registrador de desplazamiento de sólo lectura.

Tabla 8-4 Modalidades de funcionamiento de un registrador universal

S_0 (*)	S_1 (*)	*Modalidad operacional*
0	0	Reloj inhibido
1	1	Entrada en paralelo (**)
1	0	Desplazamiento a derecha
0	1	Desplazamiento a izquierda

* S_0 y S_1 sólo deben cambiar mientras la entrada del reloj sea alta.

** El dato se entra en el FLIP-FLOP después de un impulso del reloj. Durante la introducción se inhibe la entrada de datos en serie.

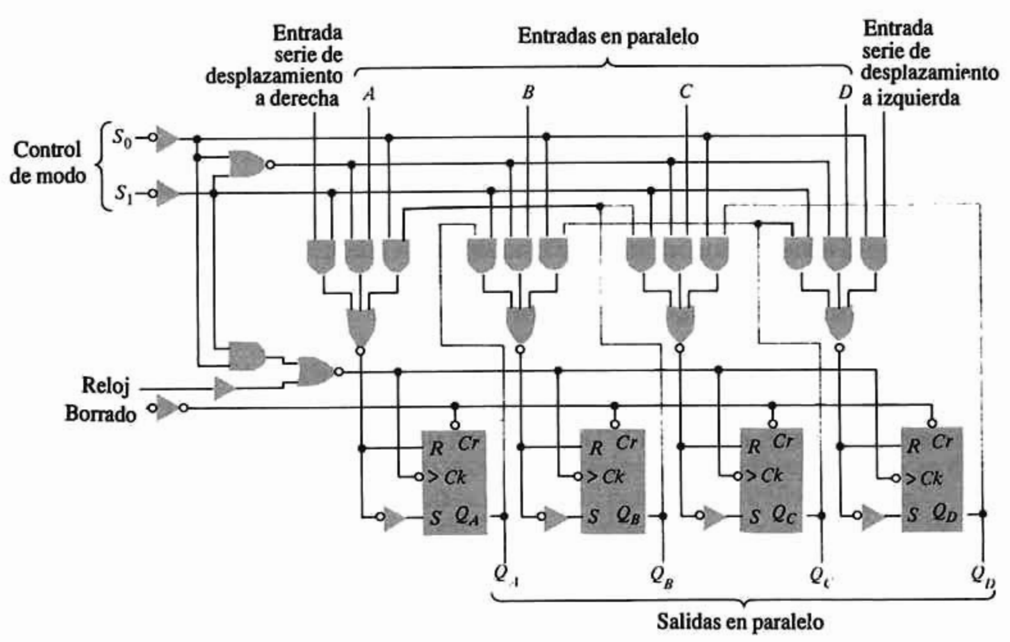


Figura 8-17. Diagrama lógico de registrador de desplazamiento bidireccional 74LS 194A de 4 bit (16 patillas). (*Cortesía de Texas Instruments Inc.*)

También se puede formar un generador de secuencia a partir de un multíplex (Sec. 7-7) y se puede generar un número de secuencias simultáneas utilizando un ROM (sec. 7-9).

Contador de anillo registrador de desplazamiento

Consideremos un registrador de desplazamiento de 5 bit (Fig. 8- 16) con Q_0 conectado a la entrada en

serie. Tal memoria circulante forma un *contador de anillo*. Supongamos que todos los FLIP-FLOP están borrados (en 0) y que FF0 está preparado de tal forma que $Q_0 = 1$ y $Q_4 = Q_3 = Q_2 = Q_1 = 0$.

El primer impulso del reloj transfiere el estado de FF0 a FF4 de forma que después del impulso, $Q_4 = 1$, y $Q_3 = Q_2 = Q_1 = Q_0 = 0$.

Los sucesivos impulsos van transfiriendo el estado 1 progresivamente a lo largo del anillo. La cuenta se lee observando cuál es el FLIP-FLOP que está en estado 1: no es necesario ningún decodificador.

Consideremos un contador de anillo con N etapas. Si el intervalo entre impulsos es T la salida de cualquier etapa binaria es un tren de impulsos de periodo NT, con una duración T cada uno de ellos. El impulso de salida de una etapa se retrasa un tiempo T respecto a un impulso de la etapa precedente. Estas pulsaciones pueden emplearse cuando se requiera una onda secuencial de disparo. Así, un contador de anillo es semejante a un conmutador rotativo en el que cada impulso haga avanzar un paso al conmutador.

Puesto que hay un impulso de salida por cada N impulsos del reloj el contador es también una unidad de *división por N* o un escalímetro de $N = 1$. Normalmente los contadores registradores de desplazamiento TTL trabajan a frecuencias del orden de los 25 MHz.

Contador de anillo Johnson

La topología en la que $\overline{Q}_0$ (en lugar de Q) realimenta la entrada del registrador de desplazamiento se denomina *contador de Johnson*. Este sistema es un escalímetro de $2N$:1. Para demostrar esta afirmación supongamos que inicialmente todas las etapas de la Fig. 8-16 están en estado 0. Puesto que $S_4 = \overline{Q}_0 = 1$ el primer impulso pone a FF4 en estado 1; $Q_4 = 1$ y todos los demás biestables permanecen en 0. Como ahora $S_3 = Q_4 = 1$ y S_4 continúa en estado 1, tendremos que después del siguiente impulso $Q_4 = 1$, $Q_3 = 1$, $Q_2 = 0$, $Q_1 = 0$ y $Q_0 = 0$. Dicho de otra forma: el impulso 1 sólo cambia el estado de Q_4, el impulso 2 sólo cambia Q_3 de 0 a 1. Prosiguiendo el análisis vemos que los impulsos 3, 4 y 5 van haciendo pasar Q_2, Q_1 y Q_0 del estado 0 al 1. Después de cinco impulsos, todos los FLIP-FLOP están en estado 1. Después del impulso 5, $S_4 = \overline{Q}_0$ cambia de 1 a 0. Por tanto el sexto impulso cambia Q_4 a 0. El séptimo pone nuevamente Q_3 en 0, y así sucesivamente hasta que en el décimo impulso han vuelto a 0 todas las etapas y el ciclo contador se ha completado. Queda demostrado que esta configuración de anillo de cinco etapas es un contador de 10:1. Para leer la cuenta se precisa un decodificador de 5 a 10 líneas, pero debido a una sola forma de onda generada sólo se necesitan puertas AND de dos entradas (Prob. 8-19).

Casi todos los contadores y registradores existen en la tecnología CMOS. La numeración de tales encapsulados integrados son idénticos que para la familia TTL salvo las letras que indican la tecnología correspondiente. Así un registrador bidireccional TTL 74LS194A tiene prácticamente las mismas características que el CMOS 74HC194.

8-6. CONTADORES ASÍNCRONOS

Los contadores de anillo vistos en la sección anterior no utilizan los FLIP-FLOP con toda su eficacia. Un contador de 5:1 (o 10:1 con el anillo de Johnson) se consigue con cinco etapas, mientras que cinco FLIP-FLOPs definen $2^5 = 32$ estados. Modificando las conexiones entre etapas (no empleando la topología de registrador de desplazamiento) vamos a demostrar que n binarios pueden actuar como un contador de 2^n:1.

Contador asíncrono

Consideremos una cadena de 4 biestables ordenador-seguidor J-K con la salida Q de cada etapa

conectada a la entrada del reloj del binario siguiente como en la Fig. 8-18. Los impulsos a contar se aplican a la entrada del reloj de FF0. En todas las etapas, J y K van conectadas a la fuente de tensión de forma que $J = K = 1$. Esta conexión convierte cada etapa en un FLIP-FLOP de tipo T (Fig. 8-15) con $T = 1$.

Recordemos que en un binario con $T = 1$ el ordenador cambia de estado cada vez que la onda en su entrada del reloj pasa de 0 a 1, y que el nuevo estado del ordenador se transfiere al seguidor cuando el reloj cae de 1 a 0. Este funcionamiento necesita que:

1. Q_0 cambie de estado en el borde de caída de cada impulso.
2. Todos los demás Q hacen una transición cuando (y sólo cuando) la salida del FLIP-FLOP anterior pase de 1 a 0. Esta transición negativa recorre todo el contador desde el bit menos significativo al más significativo.

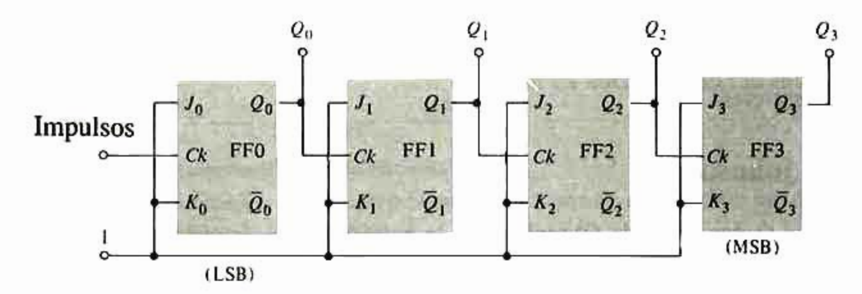


Figura 8-18. Cadena de FLIP-FLOPS conectados como contador asíncrono (74 LS 93). El encapsulado 74LS 393 es un contador binario doble de 4 dígitos.

Siguiendo estas dos reglas se obtienen las ondas de la Fig. 8-19. La Tabla 8-5 expresa el estado de todos los binarios de la cadena en función del número de impulsos exteriores aplicados. Esta tabla se puede comprobar directamente por comparación con las ondas de la Fig. 8-19. Obsérvese que en la Tabla 8-5 se han ordenado los FLIP-FLOP en sentido inverso al de su ordenación en la Fig. 8-18. También vemos que la ordenación de los estados 0 y 1 en cualquier línea de la Tabla 8-5 es precisamente la representación binaria del número decimal de impulsos de entrada. Por tanto, la cadena FLIP-FLOP *cuenta* en sistema binario.

Una cadena de n binarios contará hasta el número 2^n antes de volver por sí misma a su estado inicial. A una cadena de este tipo se la denomina contador de *módulo* 2^n. Para leer el contador, las palabras (números) de 4 bit de la Tabla 8-5 se obtiene con un decodificador que a su vez excita un indicador

Tabla 8-5 Estado de los FLIP-FLOP de la Fig. 8-18

Nº impulsos de entrada	*Salidas de* FLIP-FLOP				*Nº impulsos de entrada*	*Salidas de* FLIP-FLOP			
	Q_3	Q_2	Q_1	Q_0		Q_3	Q_2	Q_1	Q_0
0	0	0	0	0	9	1	0	0	1
1	0	0	0	1	10	1	0	1	0
2	0	0	1	0	11	1	0	1	1
3	0	0	1	1	12	1	1	0	0
4	0	1	0	0	13	1	1	0	1
5	0	1	0	1	14	1	1	1	0
6	0	1	1	0	15	1	1	1	1
7	0	1	1	1	16	0	0	0	0
8	1	0	0	0					

numérico visible (Sec. 7-11). En cualquier contador son posibles parásitos salvo que todos los FLIP-FLOP cambien de estado simultáneamente. Para eliminar este inconveniente a la salida del decodificador se emplea un impulso de fijación (S en la Fig. 7-17) que imposibilita la lectura del contador hasta que hayan desaparecido tales parásitos y se haya llegado a una situación estable.

Contador reversible

Un contador que pueda contar hacia adelante y hacia atrás se denomina *reversible* o *directo-inverso.*

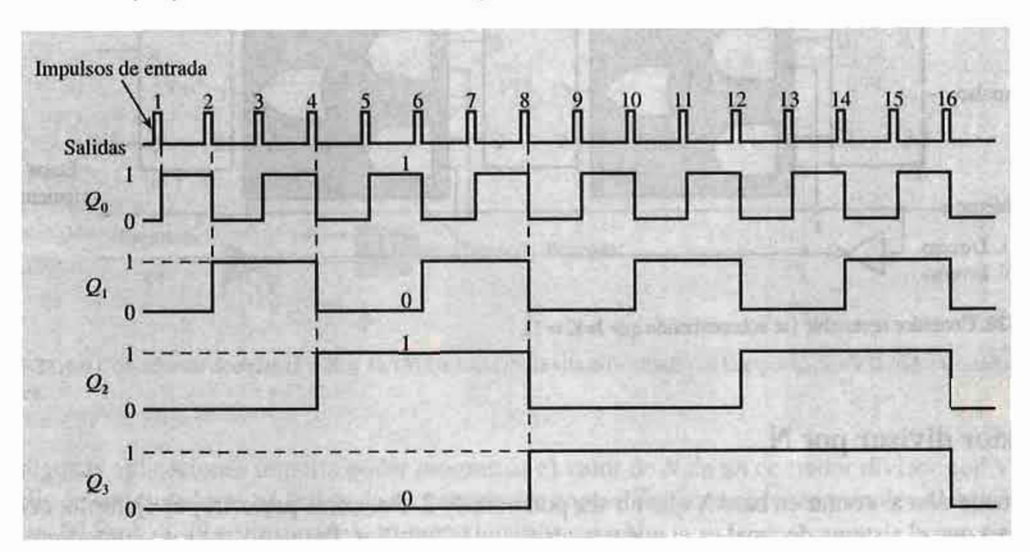


Figura 8-19. Ondas del contador de 4 estados. Obsérvese que después del impulso 5 se tiene $Q_0 = 1$, $Q_1 = 0$, $Q_2 = 1$, $Q_3 = 0$. Estas salidas binarias corresponden al número decimal 5.

En el contador directo, como hemos visto ya, la entrada de excitación de un binario va conectada a la salida Q del binario anterior. La cuenta será en sentido inverso si la conexión se hace con la salida $\overline{Q}$ como vamos a demostrar.

Si un binario hace una transición de 0 a 1, la salida $\overline{Q}$ la hará de 1 a 0. Esta transición negativa de $\overline{Q}$ provoca un cambio de estado en el binario siguiente. Por tanto, para la conexión inversa deben aplicarse las siguientes reglas:

1. El FLIP-FLOP FFO hace una transición para cada impulso exterior aplicado.
2. Cada uno de los demás binarios hará una transición cuando (y sólo cuando) el FLIP-FLOP anterior pasa del estado 0 al 1.

Si se aplican estas reglas a cualquiera de los números de la Tabla 8-5 resulta el número inmediatamente inferior de la tabla. Por ejemplo, consideremos el número 12 que en forma binaria es el 1100. Al siguiente impulso, el 0 de más a la derecha (correspondiente a Q_0) se convierte en 1. Este cambio de 0 a 1 hace que Q_1 cambie de estado de 0 a 1, lo que a su vez hace que Q_2 pase de 1 a 0. Esta última transición está en el sentido que no afecta al binario siguiente, y por tanto Q_3 conserva el estado 1. El resultado final es que el contador lee 1011 que es precisamente el número binario 11. Puesto que hemos empezado con 12 y terminamos con 11 ha tenido lugar una cuenta inversa.

El diagrama de bloques lógico del contador reversible es el de la Fig. 8-20. Para simplificar el dibujo no se han incluido las conexiones a J y K. Para un contador asíncrono siempre hay que considerar que J

$= K = 1$ como en la Fig. 8-18. Las puertas AND-OR de dos niveles CG1 y CG2 entre etapas constituyen un multíplex que gobierna el sentido del contador. Obsérvese que esta combinación lógica es equivalente a una configuración NAND-NAND. Si la entrada X está en 1 (o 0), entonces Q (o $\overline{Q}$) está efectivamente conectada al siguiente FLIP-FLOP y los impulsos se suman (o restan). En otras palabras: $X = 1$ convierte el sistema en un contador directo, y $X = 0$ en contador inverso. El control X no debe pasar de 1 a 0 (o de 0 a 1) entre impulsos de entrada porque se podría producir una cuenta espuria. (El contador síncrono de la Fig. 8-22 no adolece de este inconveniente y por tanto los contadores reversibles se operan sincrónicamente, Sec. 8-7).

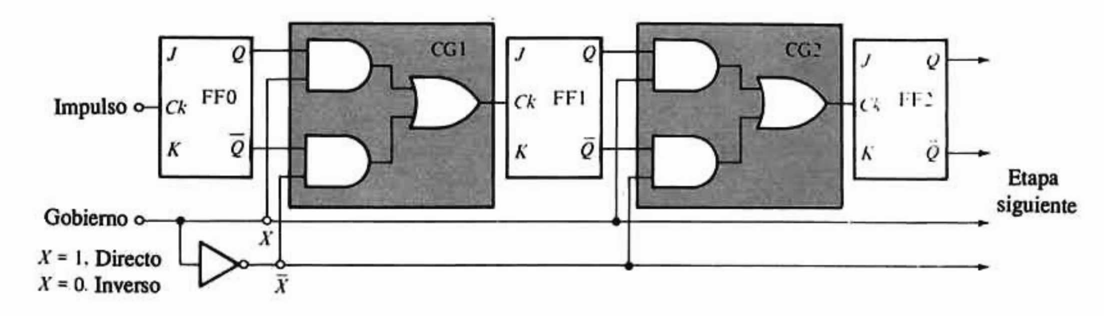


Figura 8-20. Contador reversible (se sobreentiende que J=K = 1).

Contador divisor por N

Se puede desear contar en base N que no sea potencia de 2. Podemos preferir, por ejemplo, contar en base 10 ya que el sistema decimal es el que nos resulta más familiar. Para construir un contador con este objeto se empieza con una cadena de n FLIP-FLOP siendo n el menor número para que $2^n > N$. Añádase a ello una realimentación tal que al contar N todos los binarios vuelvan a 0. Este circuito de realimentación es una simple puerta NAND cuya salida alimenta todas las entradas de borrado en paralelo. Cada entrada a la puerta NAND es la salida Q de un FLIP-FLOP que pasa a 1 al contar N.

Apliquemos el proceso anterior a un contador de década. El menor valor de n para que $2^n > 10$ es $n = 4$ y se necesitarán 4 FLIP-FLOPS. El número decimal 10 es en binario 1010, y por tanto $Q_0 = 0$, $Q_1 = 1$, $Q_2 = 0$ y $Q_3 = 1$. Las entradas a la puerta de realimentación NAND son Q_1 y Q_3 siendo el circuito completo el de la Fig. 8-21*a*. Obsérvese que después del décimo impulso Q_1 y Q_3 están ambas en 1, la salida de la puerta NAND pasa a 0 y los demás FLIP-FLOP quedan borrados (pasan a 0). (Obsérvese que Q_1 y Q_3 primeramente pasan a 1 retornando a 0 después del décimo impulso, generando una punta estrecha.)

Si el retardo de propagación desde la entrada de borrado a la salida del FLIP-FLOP varía de una a otra etapa puede no llevarse a cabo la operación de borrado. Si en el ejemplo anterior FF3 ocupa un tiempo de reposición notablemente superior al de FF1, cuando Q_1 retorne a 0, la salida de la puerta NAND pasa a 1, de forma que $Cr = 1$ y Q_3 no se borrará. Pueden darse grandes variaciones en el tiempo de propagación si las salidas del contador están desigualmente cargadas. Se puede eliminar esta dificultad empleando un biestable para memorizar la salida de la puerta NAND al N-ésimo impulso. La conexión de la Fig. 8-21*a* entre la salida P_1 de la NAND y la entrada de borrado P_2 está abierta y entre estos dos puntos se intercala el circuito de la Fig. 8-21*b*. El funcionamiento del biestable se verá en detalle en el Prb. 8-24. El contador de década 74LS90, que no necesita el biestable, queda indicado en el Prob. 8-26. Existe un encapsulado con dos de tales contadores (74LS390). El problema 8-28 trata de un contador 12:1 (74LS92).

Para formar un contador divisor por 6 se emplea un contador asíncrono de 3 bit y puesto que para $N = 6$, $Q_1 = 1 = Q_2$ tendremos que Q_1 y Q_2 son las entradas a la puerta NAND de realimentación. Análogamente, un contador divisor por 7 necesita una puerta NAND de tres entradas Q_0, Q_1 y Q_2.

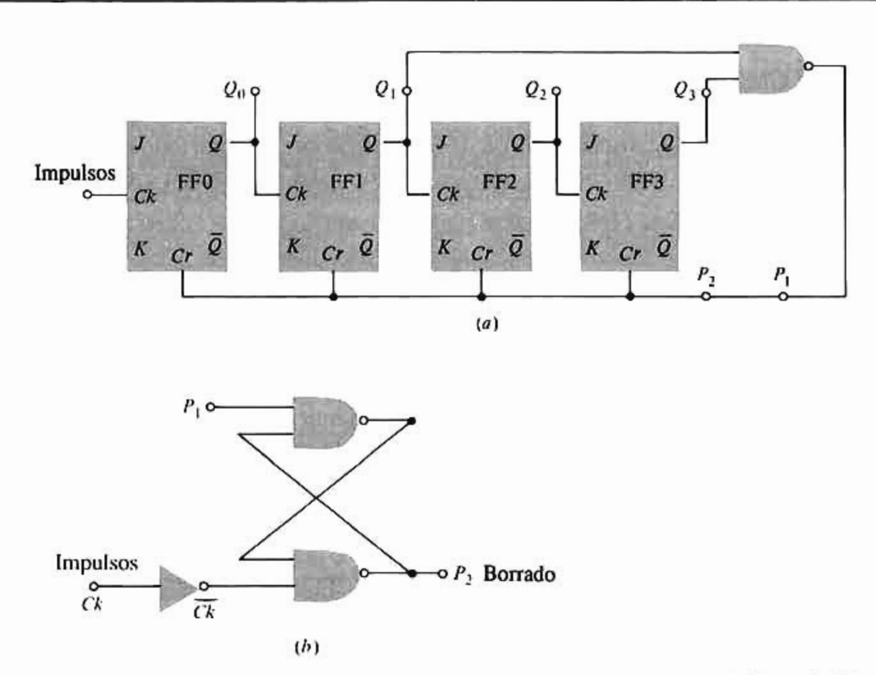


Figura 8-21. (*a*) Contador de décadas (J = K = 1). (*b*) Un biestable evita dificultades en la reposición a 1 debidas a retardos internos desiguales.

En algunas aplicaciones importa poder programar el valor de N de un contador divisor por N, ya sea por medio de conmutadores o a través de las entradas de control de datos en los terminales de habilitación. La figura del Prob. 8-29 corresponde a un contador *programable*.

Supongamos que se pretende contar hasta 10.000 haciendo visible la cuenta en el sistema decimal. Ya que $10.000 = 10^4$ se necesita conectar en cascada cuatro unidades contadoras como en la Fig. 8-21. Se empleará un decodificador de BCD a decimal excitador de lámpara (Sec. 7-6) o un decodificador de BCD a indicador de 7 segmentos (Sec. 7-11) con cada unidad, para hacer visibles los cuatro dígitos decimales que indican la cuenta.

8-7. CONTADORES SÍNCRONOS

El retardo de propagación es el tiempo necesario para que un contador complete su respuesta a un impulso de entrada. En un contador asíncrono este tiempo es mayor cuando cada etapa está en su estado 1, pues en esta situación el próximo impulso debe hacer cambiar de estado todos los FLIP-FLOP anteriores. Ningún binario en particular responderá hasta que la etapa precedente haya completado nominalmente la transición. Los impulsos del reloj realmente se propagan a lo largo de la cadena. El tiempo de propagación será del orden de la suma de los retardos (Sec. 6-15) de todos los binarios. Si la cadena es larga puede darse el caso de que el tiempo total sea mayor que el intervalo entre impulsos de entrada, y en ese caso no será posible leer el contador entre dos impulsos.

Si el funcionamiento asíncrono de un contador se modifica de tal forma que todos los FLIP-FLOP se exciten simultáneamente (sincrónicamente) por los impulsos de entrada, puede reducirse considerablemente el tiempo de retardo. La cadencia de repetición está limitada por el retardo de cualquier FLIP-FLOP más el tiempo de propagación de las puertas de control requeridas. Normalmente la frecuencia máxima de funcionamiento de un contador síncrono de 4 bit es superior a los 100 MHz en la familia ECL (MC10137). En la familia TTL este valor es normalmente de 75 MHz en la serie AS y como máximo unos

40 MHz en las series CMOS y LS. La serie 100K de la familia ECL puede trabajar con frecuencia más elevada que la serie 10K que es aproximadamente el doble de la de un contador asíncrono. Otra ventaja del contador síncrono es que no llegan a la salida picos decodificadores ya que todos los FLIP-FLOP cambian de estado al mismo tiempo. Por tanto, no son necesarios impulsos de fijación cuando se decodifica un contador síncrono.

Transporte en serie

La Fig. 8-22 representa un contador síncrono de 5 bit. Cada FLIP-FLOP es de tipo T obtenido uniendo el terminal J al K de un FLIP-FLOP J- K (Fig. 8-15). Si $T = 0$ no hay cambio de estado cuando se excita el binario, y si $T = 1$ la salida del FLIP- FLOP se complementa a cada impulso.

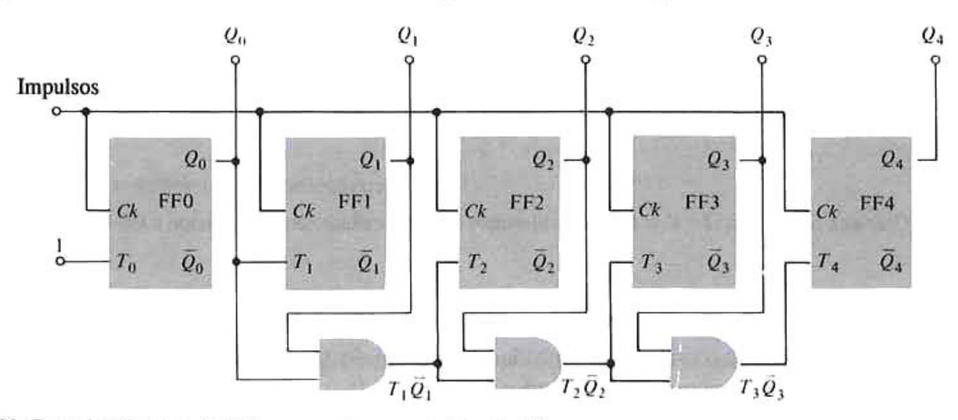


Figura 8-22. Contador síncrono de 5 bit con arrastre en serie (J = K = T).

Las conexiones a hacer en las entradas T se deducen de la gráfica de la onda de la Fig. 8-19.

Q_0 Cambia con cada impulso	$T_0 = 1$
Q_1 Complementa sólo si $Q_0 = 1$	$T_1 = Q_0$
Q_2 Pasa a $\overline{Q}_2$ sólo si $Q_0 = Q_1 = 1$	$T_2 = Q_0 Q_1$
Q_3 Cambia sólo si $Q_0 = Q_1 = Q_2 = 1$	$T_3 = Q_0 Q_1 Q_2$

Extendiendo esta lógica a Q_4 deducimos que $T_4 = Q_0 Q_1 Q_2 Q_3$ y por tanto la lógica T viene dada por

$$T_0 = 1 \qquad T_1 = Q_0 \qquad T_2 = T_1 Q_1 \qquad T_3 = T_2 Q_2 \qquad T_4 = T_3 Q_3 \tag{8-1}$$

Evidentemente, las puertas NAND de dos entradas de la Fig. 8-22 cumplen esta lógica.

El tiempo mínimo entre impulsos, T_{min}, es el intervalo requerido por cada punto J y K para alcanzar su valor de estado variable, y viene dado por

$$T_{min} = T_F + (n-2)T_G \tag{8-2}$$

siendo T_F el tiempo de propagación de un FLIP-FLOP y T_G el de una puerta AND(en realidad una puerta NAND más un inversor). La máxima frecuencia de los impulsos para el transporte en serie es la inversa de T_{min}.

Transporte en paralelo

Puesto que el transporte pasa a través de todas las puertas de control de la Fig. 8-22 se trata de un contador con transporte en serie o asíncrono. La máxima frecuencia de trabajo puede mejorarse empleando el transporte en paralelo en el que el impulso a cada binario proviene de una puerta AND de entrada múltiple excitada por las salidas de los FLIP- FLOP precedentes. De la Ec. (8-1) se deduce que

$$T_1 = Q_0 \qquad T_2 = Q_0Q_1 \qquad T_3 = Q_0Q_1Q_2 \qquad T_4 = Q_0Q_1Q_2Q_3 \tag{8-3}$$

Por tanto, T_4 se obtiene de una puerta AND de cuatro entradas alimentada por Q_0, Q_1, Q_2 y Q_3. Evidentemente para el transporte en paralelo

$$T_{\min} = T_F + T_G \tag{8-4}$$

considerablemente menor que el tiempo para el transporte en serie dado por la Ec. (8-2) especialmente si n es grande (relaciones de división altas).

Los inconvenientes de los contadores con transporte en paralelo son: (1) número de entradas de las puertas elevado: la puerta que alimenta T_k necesita k entradas, y (2) la gran carga de los FLIP-FLOP al principio de la cadena; el número de salidas de Q_0 es $(n-1)$ ya que debe alimentar las puertas transportadoras de las sucesivas etapas.

Contador síncrono reversible con transporte en paralelo

Como se ha explicado en la sección precedente, un contador queda invertido si se emplea $\overline{Q}$ en lugar de Q en el acoplamiento de etapa a etapa. Por tanto, se obtiene un contador síncrono reversible si las puertas de control CG de la Fig. 8-20 se intercalan entre los FLIP-FLOP de la Fig. 8-22. Este cambio se puede ver en la Fig. 8-23 en la que CG se representa ahora como una puerta NAND-NAND (equivalente a la lógica AND-OR de la Fig. 8-20). Obsérvese que CG1 es idéntica en las Figs 8-15 y 8-23. Todas las puertas de control en el contador asíncrono son de dos entradas, mientras que en el síncrono el número de entradas de CG2 son 3, las de CG3 son 4, etc. Las entradas extra a las puertas, según la Ec. (8-3) se utilizan para el transporte en paralelo. En otras palabras, los bloques CG de la Fig. 8-23 cumplen las lógicas de reversibilidad y de transporte en paralelo.

Contador de décadas síncrono

Diseñar un sistema divisor por un número no múltiplo de 2 presenta muchas más dificultades para un contador síncrono que para uno asíncrono. Para simplificar el proceso se emplean matrices de control (gráficas de Karnaugh).

Con una gran dosis de paciencia y mucha intuición se puede deducir el diseño por observación directa del gráfico de la forma de onda. Consideremos por ejemplo un contador síncrono de décadas con transporte en paralelo. El gráfico de la Fig. 8-19 corresponde a la forma de onda salvo que *después del décimo impulso todas las ondas vuelven a 0*. Puesto que después del décimo impulso $Q_0 = 0$ y $Q_2 = 0$, FF0 y FF2 quedan excitadas como en un contador síncrono de 16:1. Por tanto, de la Ec. (8-1)

$$T_0 = J_0 = K_0 = 1 \qquad T_2 = J_2 = K_2 = Q_0Q_1 \tag{8-5}$$

Obsérvese en la Fig. 8-19 que FF1 queda fijado si $Q_0 = 1$. No obstante para evitar que Q_1 pase a 1 después del décimo impulso se inhibe por Q_3. Esta situación es equivalente a

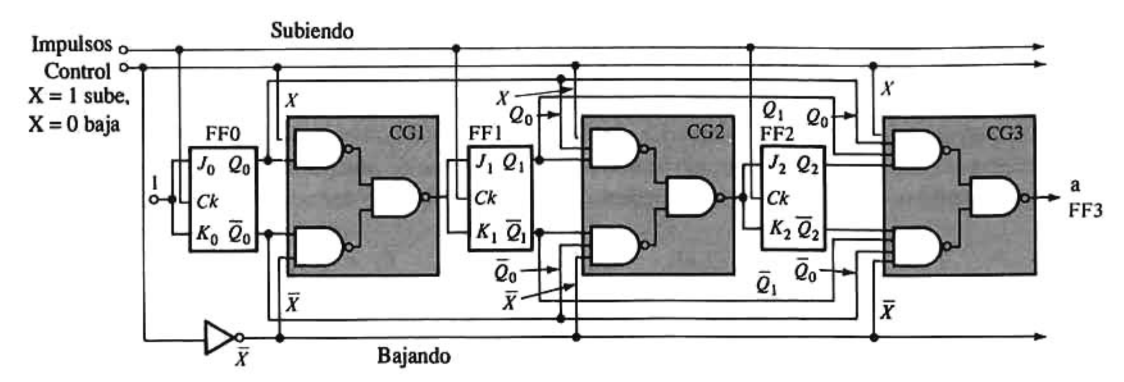


Figura 8-23. Contador síncrono reversible con arrastre en paralelo. El control X puede cambiarse de «subiendo» a «bajando» o viceversa entre impulsos de entrada sin introducir cuentas espúreas, ya que el contador sólo responde a la aplicación de un impulso del reloj.

$$T_1 = J_1 = K_1 = Q_0\overline{Q}_3 \qquad (8\text{-}6)$$

Finalmente, deseamos que FF3 cambie de estado de 0 a 1 después del octavo impulso y que retorne a 0 después del décimo. Si

$$J_3 = Q_0Q_1Q_2,\ K_3 = Q_0 \qquad (8\text{-}7)$$

con lo que se sigue la lógica deseada porque $Q_0 = Q_1 = Q_2 = 1$, de forma que $J_3 = 1$, $K_3 = 1$ antes del impulso 8, mientras que $Q_0 = 1$, $Q_1 = 0$ y $Q_2 = 0$ de forma que $J_3 = 0$ $K_3 = 1$ antes del impulso 10. Las Ec.(8-5) a (8-7) vienen dadas por el diagrama de bloques lógico de la Fig. 8-24.

Los contadores síncronos reversibles de décadas pueden adquirirse en el mercado (por ejemplo, el MC10137 o el 74ALS168) en un encapsulado integrado a escala media. Existen también contadores binarios de 4 bit tales como los MC10154 y 74LS697. Los FLIP-FLOP están provistos de entradas de habilitación (con lo que son programables) y entradas de borrado que no constan en la Fig. 8-23. La división por números distintos al 2, 5, 6, 10, 12 y potencias de 2 no está prevista comercialmente y debe diseñarse como se ha explicado anteriormente.

8-8. APLICACIONES DE LOS CONTADORES

Muchos sistemas entre los que cabe incluir las calculadoras digitales, la manipulación de datos y los

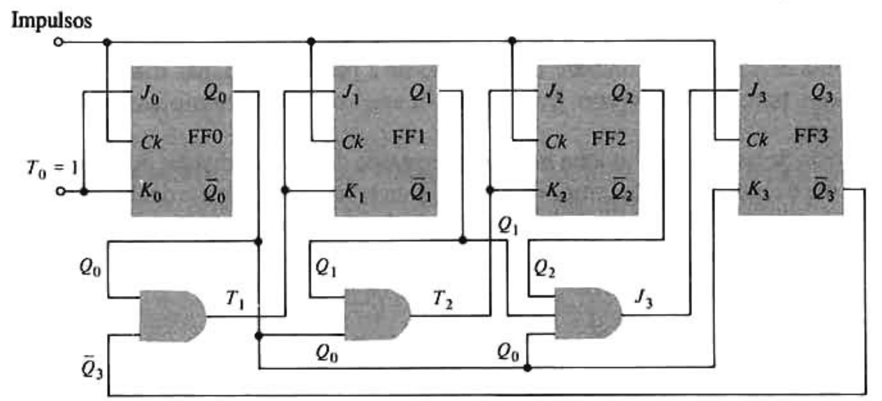


Figura 8-24. Contador síncrono de décadas con arrastre en paralelo.

sistemas de control industriales, emplean contadores. Describiremos brevemente algunas de las aplicaciones fundamentales.

Contador directo

El contador directo se aplica en muchos procesos industriales. Los contadores operan eficazmente donde el humano puede fallar debido a la fatiga o a limitaciones de velocidad. Naturalmente, se necesita que aquello que debe ser contado se convierta primero en una señal eléctrica pero esto normalmente no supone una limitación importante. Por ejemplo se pueden contar objetos haciéndolos pasar alineados en una cinta transportadora entre una célula fotoeléctrica y una fuente de luz.

La entrada de habilitación permite el control de procesos industriales. El contador puede prepararse de forma que emita un impulso de salida cuando la cuenta alcance un número prefijado. De esta forma puede emplearse el contador para contar, por ejemplo el número de píldoras vertidas en un frasco. Cuando se llega al número prefijado el impulso de salida se utiliza para desviar las píldoras hacia el frasco siguiente volviendo al mismo tiempo el contador a cero para empezar a contar el segundo bote.

Divisor por *N*

Hay muchas aplicaciones en las que se desea variar la frecuencia f de una onda cuadrada pasándola a f/N, siendo N un múltiplo de 2. En las ondas de la Fig. 8-19 se ve que un contador cumple con esta función.

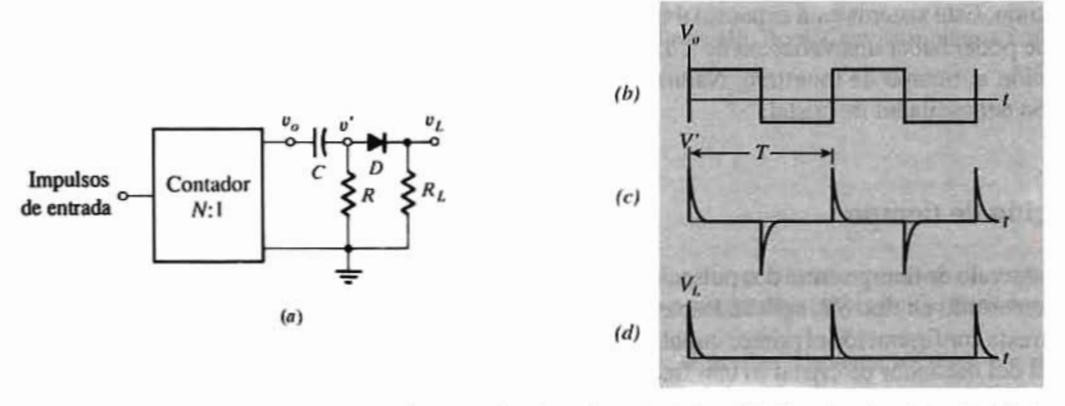


Figura 8-25. (*a*) Contador N:1 cargado con una red que convierte la onda cuadrada de salida (*b*) en impulsos (*c*) o (*d*). Si la frecuencia de entrada es f el espaciado entre impulsos positivos es T = N/f.

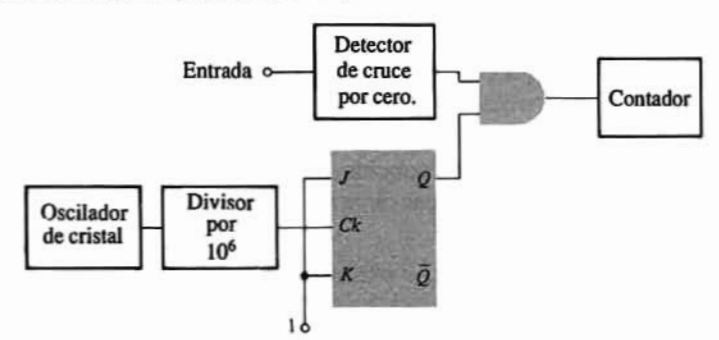


Figura 8-26. Sistema de medición de frecuencias por medio de un contador.

Si en lugar de ondas cuadradas se precisan impulsos estrechos o puntas para un sistema de sincronización, éstos se pueden obtener de las ondas de la Fig. 8-19. Un pequeño acoplamiento RC a la salida del contador, como en la Fig. 8-25*a*, hace aparecer un impulso positivo en cada transición de 0 a 1 y un impulso negativo en cada paso de 1 a 0 como en la Fig. 8-25*c*. Si contamos sólo los impulsos positivos como en la Fig. 8-25*d* (los impulsos negativos se eliminan mediante un diodo como en la Fig. 8-25*a*) resulta que cada binario divide por 2 el número de impulsos positivos aplicados. Los cuatro FLIP-FLOP juntos completan la división por $N = 2^4 = 16$. Por cada 16 impulsos aplicados a la entrada aparecerá uno solo en la salida. Una cadena de n binarios empleados para dividir o reducir la escala del número de impulsos constituye un *escalímetro*. Una cadena de cuatro FLIP-FLOP constituye un circuito de escala 16.

Medición de frecuencia

El principio básico por el que se emplean los contadores para determinar con precisión las frecuencias queda reflejado en la Fig. 8-26. La señal de entrada cuya frecuencia se trata de medir se convierte en impulsos por medio de un detector de cruce por cero (véase Sec. 15-10) y se aplica al contador a través de una puerta AND. Para determinar la frecuencia ya sólo falta mantener la puerta abierta a la transmisión durante un intervalo de tiempo conocido. Si el tiempo de apertura es por ejemplo de 1s, el contador ya dará directamente la frecuencia en ciclos por segundos (hertz). El *reloj* para temporizar la apertura es un oscilador de cristal de precisión, cuya frecuencia es de por ej. 1 MHz. El oscilador de cristal gobierna un circuito de escala 10^6 que divide la frecuencia del cristal por un millón. La salida del divisor consiste en una señal de 1 Hz cuyo período se mantiene con tanta precisión como la frecuencia del cristal. La salida del divisor gobierna el tiempo de accionamiento de la puerta fijando un biestable en su estado 1 durante un segundo. Este sistema está expuesto únicamente a pequeños errores. Una fuente de error proviene del hecho de poder haber una variación de $\pm$ 1, dependiendo del instante en que tuvo lugar el último impulso en relación al tiempo de muestreo. Naturalmente, además de esto, la precisión depende a su vez de la precisión del oscilador de cristal.

Medición de tiempo

El intervalo de tiempo entre dos pulsaciones se puede medir con el circuito de la Fig. 8-26. El biestable se ha convertido en tipo SR, aplicándose el primer impulso al terminal S y el segundo al R, sin conectar Ck. Con esta configuración el primer impulso abre la puerta AND para la transmisión, y el segundo la cierra. La señal del oscilador de cristal (o una frecuencia menor procedente de la cadena divisora) se convierte en impulsos que entran en el contador a través de la puerta. El número de impulsos registrados es proporcional al tiempo en que la puerta está abierta y por tanto mide el valor de ese tiempo.

Medición de distancias

En los sistemas de radar y de sonar se emite un impulso y se recibe reflejado al cabo de un tiempo T. Como la velocidad de la luz (o del sonido) es conocida, la medición de T (realizada como antes) nos da la distancia existente desde el emisor al objeto causante de la reflexión.

Medición de velocidad

Una medición de velocidad se puede convertir en una medición de tiempo. Por ejemplo, si se colocan

dos conjuntos de célula fotoeléctrica y foco de luz a una cierta distancia entre sí, la velocidad media de un objeto que se desplace de uno a otro de estos puntos es inversamente proporcional al tiempo entre impulsos generados. Por este procedimiento se han medido las velocidades de proyectiles.

Calculadora digital (computadora)

En una calculadora digital un problema se resuelve sometiendo los datos a una secuencia de operaciones de acuerdo con el programa de instrucciones introducido en la computadora. Los contadores pueden emplearse para ir contando las operaciones a medida que éstas se realicen e iniciar la siguiente operación de la memoria al completarse la anterior.

REFERENCIAS

1 Mano, M.M.: "Computer System Architecture," 2ª ed., John Wiley and Sons, Nueva York, 1982.

2 Peatman, J.B.: "Design of Digital Systems," 2ª ed., McGraw-Hill Book Company, Nueva York, 1981.

3 Hodges, D.A., y H.G. Jackson: "Analysis and Design of Digital Integrated Circuits," McGraw-Hill Book Company, Nueva York, 1982.

4 Taub, H.: "Digital Circuits and Microprocessors," McGraw-Hill Book Company, Nueva York, 1982.

5 Chirlian, P.M.: "Digital Circuits," Matrix Press, Champaign, Ill., 1976.

6 Taub, H., y D. Schilling: "Digital Integrated Electronics," McGraw-Hill Book Company, Nueva York, 1977.

TEMAS DE REPASO

8-1 (*a*) Definir un biestable.
(*b*) Mostrar cómo construir un biestable a partir de inversores y comprobar que el circuito tiene dos estados estables.

8-2 Modificar el biestable descrito en el tema anterior de forma que se puedan introducir los datos por medio de una entrada habilitadora.

8-3 (*a*) Definir un sistema secuencial.
(*b*) ¿En qué se diferencia de un sistema combinacional?

8-4 ¿Qué se entiende por estado estable?

8-5 (*a*) Dibujar la característica de transferencia de un biestable.
(*b*) Explicar el porqué en la práctica sólo son posibles dos estados.

8-6 (*a*) Esbozar el sistema lógico para un FLIP- FLOP *SR* temporizado.
(*b*) Comprobar que el estado del sistema no sufre cambios entre dos impulsos del reloj.
(*c*) Formar la tabla de la verdad.
(*d*) Justificar las entradas en esta tabla.

8-7 (*a*) Añadir a un FLIP-FLOP *SR* dos puertas AND para formar un FLIP-FLOP *J- K*.
(*b*) Formar la tabla de la verdad.
(*c*) Comprobar el apartado anterior constituyendo la tabla de J_n, K_n, Q_n, $\bar{Q}_n$, S_n, R_n y Q_{n+1}.

8-8 Explicar qué se entiende por condición de *auto-oscilación* en relación al FLIP-FLOP *J-K* del tema anterior.

8-9 (*a*) Dibujar un sistema de FLIP-FLOP *J-K* temporizado incluyendo las entradas de habilitación (*Pr*) y de borrado (*Cr*).

(*b*) Explicar la operación de borrado.

8-10 (*a*) Dibujar un sistema de FLIP-FLOP *J-K* ordenador-seguidor.

(*b*) Explicar su funcionamiento y demostrar que se elimina la auto-oscilación.

8-11 (*a*) Mostrar como convertir un FLIP-FLOP *J-K* en una unidad de retardo (tipo *D*).

(*b*) Formar la tabla de la verdad.

(*c*) Comprobar esta tabla.

8-12 Repetir el tema anterior para un FLIP-FLOP interruptor (tipo *T*).

8-13 Dar la tabla de la verdad para cada tipo de FLIP-FLOP: *(a) SR*, *(b) J-K*, *(c) D* y *(d) T*.
¿Cuáles son las entradas directas *Pr*, *Cr* y la del reloj *Ck* para *(e)* escritura, *(f)* borrado y *(g)* funcionamiento normal temporizado.

8-14 (*a*) Definir un registrador.

(*b*) Construir un registrador de desplazamiento con FLIP-FLOP *SR*.

(*c*) Explicar su funcionamiento.

8-15 (*a*) Explicar el porqué puede haber auto-oscilación en un registrador de desplazamiento.

(*b*) ¿Cómo se supera esta dificultad?

8-16 Explíquese cómo se emplea un registrador de desplazamiento como convertidor de (*a*) datos de serie a paralelo, y (*b*) datos de paralelo a serie.

8-17 Explíquese cómo se emplea un registrador de desplazamiento como generador de secuencias.

8-18 Explíquese cómo se emplea un registrador de desplazamiento a manera de memoria de sólo lectura.

(*a*) Idem a manera de contador de anillo.

(*b*) Dibujar las ondas de salida de cada FLIP- FLOP de una unidad de tres etapas.

8-19 (*a*) Esbozar el diagrama de bloques de un contador Johnson.

(*b*) Dibujar la onda de salida de cada FLIP-FLOP de una unidad de tres etapas.

(*c*) ¿Por qué número *N* divide este sistema?

8-20 (*a*) Dibujar el diagrama de bloques de un contador asíncrono.

(*b*) Esbozar la forma de onda a la salida de cada FLIP-FLOP de un contador de tres etapas.

(*c*) Explíquese cómo se traza esta onda.

(*d*) ¿Por qué número *N* divide este sistema?

8-21 (*a*) Dibujar el diagrama de bloques de un contador reversible.

(*b*) Explicar su funcionamiento.

8-23 Explicar cómo se modifica un contador asíncrono para que divida por *N*, no siendo *N* potencia 2.

8-24 (*a*) Dibujar el diagrama de bloques de un contador asíncrono de décadas.

(*b*) Explicar su funcionamiento.

8-25 Repetir el tema anterior para un contador asíncrono divisor por 6.

8-26 ¿Cuál es la ventaja de un contador síncrono sobre uno asíncrono?

8-27 (*a*) Dibujar el diagrama de bloques de un contador síncrono de cuatro etapas con arrastre en serie.

(*b*) Explicar su funcionamiento.

(*c*) ¿Cuál es la frecuencia máxima de funcionamiento?

Definir los símbolos de la ecuación.

8-28 (*a*) Repetir el tema anterior si el arrastre es en paralelo.

(*b*) ¿Cuáles son las ventajas e inconvenientes de un contador de arrastre en paralelo?

8-29 Explicar cómo se pueden medir frecuencias con un contador.

8-30 Citar seis aplicaciones de los contadores (sin explicarlas).



Sistemas integrados a muy gran escala

Un chip conteniendo más de 1.000 componentes se considera *integrado a gran escala* (LSI) (siglas de Large-Scale-Integrated) y los sistemas conteniendo sobre los 10.000 se consideran *integrados a muy gran escala* (VLSI). Sin embargo, en la terminología corriente el término «VLSI» se emplea para designar sistemas con 100.000 o más componentes. En 1985 se produjeron comercialmente chips integrados conteniendo más de un millón de transistores. En este capítulo describiremos los chips LSI y VLSI digitales más empleados. Estos, junto con los PAL, PLA y PROM descritos en la Sec. 7-12 a 7-15 se usan ampliamente en el procesado de señales digitales así como en aplicaciones de control y en sistemas de computación.

En circuitos integrados (IC) de memoria constituyen la clase más empleada. Se incluyen los registradores de desplazamiento MOS y las *memorias de acceso aleatorio* (RAM) también conocidas como *memorias de lectura y escritura*, tanto estáticas como dinámicas.

La densidad de componentes, la velocidad y el consumo de potencia son tres puntos importantes a considerar en el diseño de sistemas VLSI. Introducimos dos tecnologías adicionales: dispositivos acoplados en carga (CCD), una tecnología MOS, y la lógica de inyección integrada (I^2L) que es una tecnología bipolar cuyo uso a veces mejora el funcionamiento del circuito. Para incrementar la densidad de componentes o para reducir el consumo de potencia también se emplean circuitos lógicos dinámicos o temporizados en realizaciones MOS y CMOS. Los sistemas integrados a muy gran escala frecuentemente utilizan circuitos lógicos dinámicos como bloques constructivos básicos empleando un generador de reloj que es esencial para establecer la temporización en sistemas digitales. Dos de tales circuitos son el registrador de desplazamiento MOS dinámico y la lógica domino CMOS; ambos se describen en la parte inicial de este capítulo.

El capítulo termina con una breve introducción a las características del sistema VLSI. El *microprocesador*, el más corriente de los sistemas en un solo chip, es el componente básico de los computadores personales (DC), los sintetizadores, y una gran variedad de sistemas e instrumentos de control.

9-1. REGISTRADORES DE DESPLAZAMIENTO MOS DINÁMICOS

Los registradores de desplazamiento muy largos (abarcando centenares de bit) no son prácticos si están construidos a base de FLIP-FLOP tal como se comentó en la Sec. 8-5. Se consume demasiada potencia, requiriéndose excesivas superficies de silicio. Un camino alternativo es construir una etapa de registrador de desplazamiento LSI conectando en cascada dos inversores dinámicos MOS. Se almacena un bit cargando la capacidad parásita entre puerta y sustrato de un MOSFET. Describiremos primeramente un inversor dinámico extendiéndose luego a una célula de almacenamiento dinámica de 1 bit. Aún cuando esta técnica está quedando obsoleta en los sistemas de memoria MOS debido a la disminución de las dimensiones de los dispositivos, la describiremos como introducción a los circuitos lógicos dinámicos.

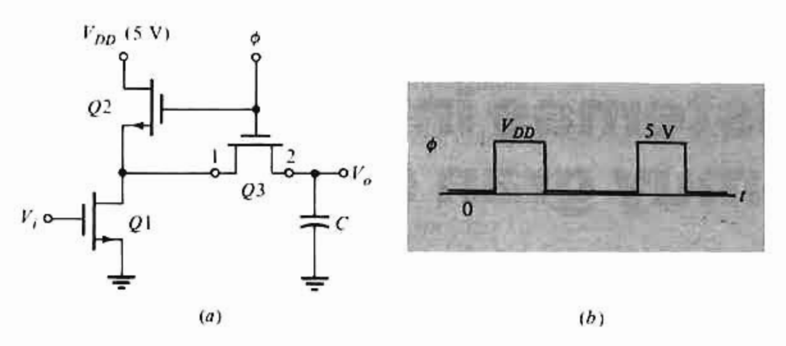


Figura 9-1. (*a*) Inversor NMOS dinámico. (*b*) Onda del reloj.

Inversor MOS dinámico

El circuito de la Fig. 9-1 muestra un inversor MOS [1] dinámico que requiere una onda del reloj Φ para su funcionamiento correcto. Empleando MOSFET de acumulación de canal *n* se supone lógica positiva con el estado 0 con 0 V y el estado 1 con V_{DD} = 5 V. El condensador *C* representa la capacidad parásita (≈ 0,1 pF) entre la puerta y el sustrato del siguiente MOS alimentado por V_0.

Cuando Φ = 0 V, las puertas *Q*2 y *Q*3 están en 0 V y ambos NMOS de acumulación están en corte (OFF). La tensión de alimentación está desconectada del circuito y prácticamente no suministra potencia alguna. Esto difiere del inversor normal NMOS mencionado en la Sec. 6-5 en el que un transistor MOS está en conducción y por tanto siempre hay disipación de potencia en el circuito. Cuando el reloj está a 5 V, tanto *Q*2 como *Q*3 están en conducción (ON) y tiene lugar la inversión de V_i. Por ejemplo, si V_i = 0 V, *Q*1 está en corte, *C* se carga hasta V_{DD} [2] a través de *Q*2 en serie con *Q*3, y V_0 = 5 V. Si V_i = 5 V, *Q*1 está en conducción, *C* se descarga a tierra a través de *Q*3 y *Q*1 y V_0 = 0V. Obsérvese que *Q*3 es un interruptor bidireccional: el terminal 2 actúa como fuente cuando *C* se carga a la tensión de suministro, mientras que el terminal 1 se convierte en fuente mientras *C* descarga a tierra.

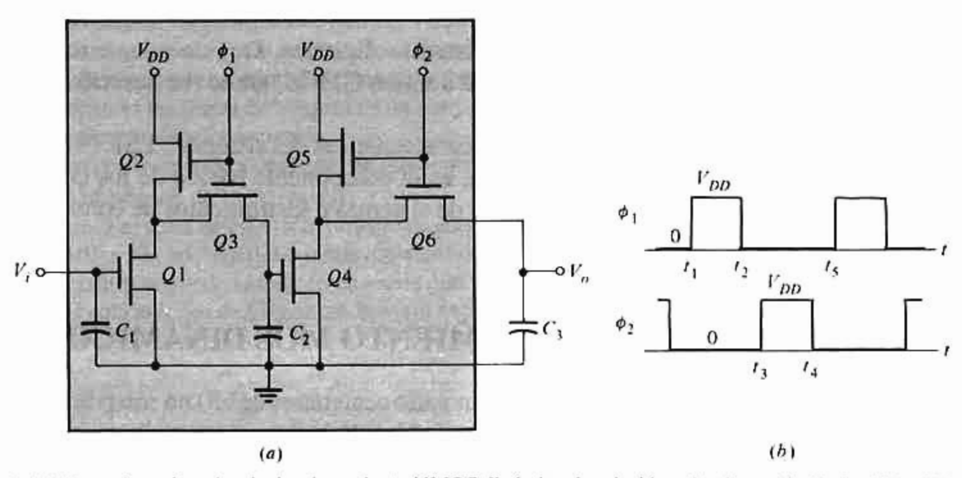


Figura 9-2. (*a*) Etapa de registrador de desplazamiento NMOS dinámico de relación y dos fases. (*b*) Ondas Ø1 y Ø2 de las dos fases de reloj.

---

1 En este capítulo se emplean sinónimamente los siguientes términos: MOSFET, MOS, FET, NMOS y transistor.

2 A lo largo de este capítulo se supone que la tensión umbral V_T es menor que la de alimentación V_{DD} y que V_{ON} = 0.

Las principales particularidades del MOSFET aplicables a este inversor dinámico (así como al registrador de desplazamiento) son:

1. El MOS es un conmutador bidireccional.
2. Su resistencia de entrada, muy elevada, permite almacenar temporalmente datos en la reducida capacidad puerta-sustrato del MOS.
3. El FET de carga puede suprimirse mediante un impulso del reloj para reducir la disipación de potencia estática.

El inversor que acabamos de comentar se denomina *inversor de relación*. Este nombre proviene del hecho de que cuando la entrada y el reloj están altos, los transistores $Q1$ y $Q2$ forman un divisor de tensión entre V_{DD} y tierra. Por tanto, la tensión de salida V_0 depende de la relación entre la resistencia en condución de $Q1$ y la resistencia efectiva de carga $Q2$ (normalmente menor de 1:5). Esta relación depende de la *relación de aspecto* de $Q1$ y $Q2$.

Célula de memoria bifásica de relación

La conexión en cascada de dos inversores dinámicos de la Fig. 9-1 permite que cada bit de información almacenado en la capacidad C de la primera puerta NOT sea transferido al siguiente inversor aplicando un segundo impulso de reloj desfasado del primero. La Fig. 9-2*a* representa un registrador de desplazamiento dinámico MOS, y en la 9-2*b* pueden verse las ondas del reloj necesarias. Estas ondas no se superponen ya que $t_3 > t_2$. Cuando $t_3 < t_2$ habrá superposición. Cada etapa del registrador necesita seis MOSFET. La entrada V_i es la tensión en la capacidad de puerta C_I de $Q1$, aplicada ahí por la etapa anterior (o por la señal de entrada si ésta es la primera etapa del registrador de desplazamiento). Cuando $t = t_1$ el reloj Φ_1 se hace positivo (para dispositivos NMOS), los transistores $Q1$ y $Q2$ forman un inversor y el conmutador bidireccional $Q3$ conduce. Por tanto se transfiere a C_2 el complemento del nivel de C_1. Cuando Φ_1 cae a 0 (en el instante $t = t_2^+$), $Q2$ y $Q3$ están cortados y C_2 retiene su carga mientras Φ_1 se mantenga a 0 V. Sin embargo a $t = t_3^+$, cuando $\Phi_2 = V_{DD}$, $Q4$ y $Q5$ actúan como un inversor y el conmutador $Q6$ se cierra. Por tanto, el dato almacenado en C_2 se invierte y se deposita en C_3. El bit (1 ó 0) transferido a la salida V_0 es idéntico al que hubo en la entrada V_i pero retrasado un tiempo determinado por el período del reloj. En otras palabras, la etapa de registrador de la Fig. 9-2*a* es una línea de retardo de 1 bit. A la combinación $Q1Q2Q3$ se le puede llamar *inversor-ordenador* y a $Q4Q5Q6$, *sección-seguidora*. Para retener los datos almacenados en el registrador, el ritmo al que se introducen los datos en el circuito no debe ser menor que un cierto valor mínimo. Si el período del reloj es excesivamente largo la carga se dispersará por las capacidades parásitas y se perderá la información. Los FET de carga de la Fig. 9-2*a* están temporizados.

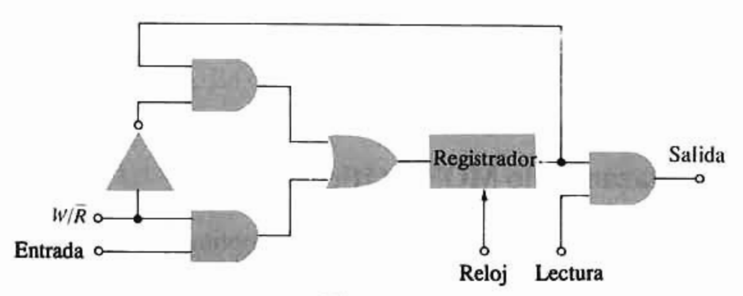


Figura 9-3. Registrador de desplazamiento recirculante (W/R̄ es la abreviatura de *escritura pero no recirculación*). Las puertas AND, OR y NOT se fabrican en el mismo chip que el registrador.

porque las puertas están gobernadas por los impulsos del reloj. También se pueden emplear cargas no temporizadas (las puertas conectadas a tensiones fijas) pero tales circuitos disipan mayor potencia. El dispositivo Intel 2401 es un registrador de desplazamiento dinámico doble de 1024 bit construido con NMOS. Emplea una alimentación única a 5V y es compatible con la TTL. Trabaja a un ritmo mínimo de 25 kHz y máximo de 1 MHz con una disipación de potencia de 0,12 mW/bit a 1 MHz. Es interesante hacer notar que este chip contiene $2 \times 1024 \times 6 = 12288$ MOSFETs aparte los circuitos de control necesarios para convertirlo en una memoria recirculante (Fig. 9-3).

Aplicaciones

Las aplicaciones típicas de los registradores de desplazamiento MOS son: memorias en serie para calculadoras, tubos de rayos catódicos, equipos de comunicación, como memorias de repaso y separadores, y líneas de retardo. La Fig. 9-3 representa una memoria de registrador de desplazamiento dinámico circulante en serie. La salida del registrador se devuelve a su entrada a través de una combinación AND-OR. Si el terminal $W/\overline{R}$ de *lectura pero no escritura* está en estado 1 el dato digital en el terminal de entrada se introduce en el registrador. Después de un ciclo de impulsos cada bit se desplaza a la derecha pasando a la siguiente etapa como se ha explicado en relación a la Fig. 9-2. Cuando han entrado secuencialmente en el registrador el número de bit deseados se inicia la *recirculación* cambiando $W/\overline{R}$ al estado 0. De esta forma queda inhibida la entrada de más datos en el registrador y los bit almacenados en la memoria recirculan desde la salida a la entrada del registrador de desplazamiento en sincronismo con los impulsos del reloj. Se obtiene en la salida una lectura no destructiva del tren de datos si la entrada de lectura se excita con lógica 1.

Si el registrador consta de 1024 etapas, la memoria circulante puede almacenar una información de 1024 bit en serie. Consideremos que cuatro sistemas S_0, S_1, S_2 y S_3 del tipo de la Fig. 9-3 se emplean con entradas y salidas de datos independientes. Los terminales $W/\overline{R}$ están unidos entre sí así como los terminales de lectura, y el mismo reloj sincroniza todos los sistemas. La configuración resultante es una memoria en serie que puede considerarse almacenadora de 1024 informaciones de 4 bit cada una. Los cuatro bit de una información en particular aparecen simultáneamente: el bit menos significativo en la salida de S_0 y el más significativo en la S_3. Un período de reloj más tarde, se podrá leer otra información de 4 bit. Para ampliar el sistema hasta informaciones de n bit son necesarios n registradores de desplazamientos con recirculación. Si se necesitan más informaciones, deberán emplearse registradores mayores.

Cuando ya se ha obtenido el objetivo deseado de los datos circulantes en la memoria de la Fig. 9-3, el terminal $W/\overline{R}$ se cambia a la lógica 1. Esto inhibe los bit de la última etapa del registrador impidiendo su entrada en la primera etapa. Dicho de otra forma, el contenido de la memoria queda borrado y al mismo tiempo se pueden introducir nuevos datos en el registrador.

Registrador de desplazamiento MOS estático

Un registrador de desplazamiento «estático» es estable en continua y puede trabajar sin un mínimo en el ritmo del reloj. Es decir, que puede almacenar datos indefinidamente supuesto que se suministre potencia al circuito. Sin embargo, las células del registrador estático son más grandes que las dinámicas y consumen más potencia, por lo que su empleo es limitado.

9-2. ETAPAS DEL REGISTRADOR DE DESPLAZAMIENTO DE NO RELACIÓN

En la Sec 9-1 se ha indicado que el FET de carga $Q2$ de la Fig. 9-2 debe tener una resistencia mucho mayor que el excitador $Q1$ para que la tensión V_{ON} en el estado bajo sea muy próxima a cero. En la Sec. 4-3 se remarcó que la resistencia del FET es proporcional a L/W. Por tanto, $Q2$ debe tener un canal de mucha mayor longitud L y menor ancho W que $Q1$. En consecuencia el inversor ocupa una superficie

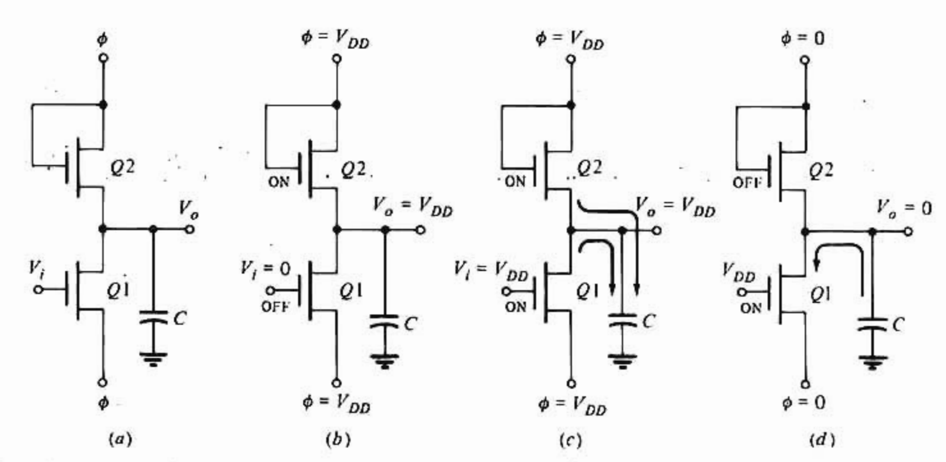


Figura 9-4. (*a*) Inversor NMOS dinámico de no relación. (*b*) $V_i = V(0)$ y $Ø = V_{DD}$. (*c*) $V_i = V(1)$ y $Ø = V_{DD}$ (durante el impulso). (*d*) La entrada se mantiene en $V(1)$ y $Ø = 0$ (después de terminado el impulso).

mayor que el mínimo posible. Además, puesto que la capacidad parásita de almacenamiento se carga a través de $Q2$ durante una parte del ciclo, la gran resistencia de $Q2$ limita la velocidad de funcionamiento del registrador. Ambas dificultades se pueden evitar utilizando un inversor dinámico en el que no influya la relación, como el de la Fig. 9-4*a* (en donde $Q1$ y $Q2$ tiene geometrías idénticas). Obsérvese que no hay suministro de potencia en continua en este inversor. El impulso del reloj ø (Fig. 9-1*b* en el NMOS) debe suplir la energía necesaria para este circuito. La disipación de potencia es proporcional a la frecuencia del reloj.

Para comprender el funcionamiento de un inversor de no relación consideremos primero el caso en el que $V_i = 0$. Durante el impulso la situación es la de la Fig. 9-4*b*. Como la tensión de puerta de $Q1$ es 0 y la de $Q2$ es V_{DD}; entonces tendremos (para un NMOS de acumulación) que $Q1$ está en corte y $Q2$ en conducción. Por tanto, C carga a V_{DD} a través de $Q2$. Al final de cada impulso Φ cae a 0 y ambos MOSFET quedan cortados, y así con $V_i = 0$ (lógica 0) la salida $V_0 = V_{DD}$ (lógica 1) y se ha producido una inversión.

Consideremos ahora que $V_i = V_{DD}$ y que $\Phi = V_{DD}$ como en la Fig. 9-4*c*. Ambos MOSFET están en conducción cediendo corriente a C, cargándose éste rápidamente. Puesto que $V_0 = V_i = V_{DD}$ no hay inversión durante el impulso. Sin embargo al terminar el impulso cuando la tensión del reloj vuelve a 0 tendremos la situación de la Fig. 9- 4*d*. Ahora la puerta G_2 de $Q2$ está en 0 y éste está cortado mientras G_1 de $Q1$ está en V_{DD} y $Q1$ conduce. En consecuencia C se descarga hasta 0 a través de $Q1$. Por tanto, poco después de finalizar el impulso, $V_0 = 0$ mientras que $V_i = V_{DD}$ lo que indica que ha habido una inversión lógica.

Célula de registrador dinámico de dos fases y de no relación.

Si se conectan en cascada dos inversores del tipo de la Fig. 9-4*a* a través de puertas abiertas

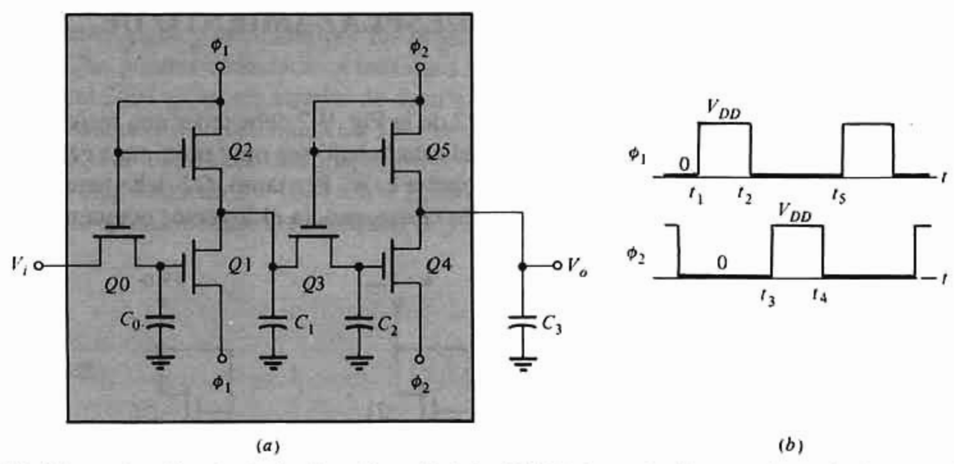


Figura 9-5. (*a*) Etapa de registrador de desplazamiento dinámico NMOS de no relación y dos fases. (*b*) Ondas de dos fases $\varnothing_1$ y $\varnothing_2$ del reloj.

bidireccionales de transmisión, se obtiene la etapa de registrador de desplazamiento de no relación de la Fig. 9-5. El primer inversor se alimenta de la fase Φ_1 y el segundo de la Φ_2 estando las ondas correspondientes representadas en la Fig. 9-5*b*. Al inicio del impulso Φ_1 ($t = t_1^+$) el conmutador $Q0$ cierra y la tensión a través de C_0 (tensión de entrada de $Q1$) se iguala al nivel de entrada V_i. Por la acción de inversión descrita, juntamente con la Fig. 9-4, la tensión a través de C_1 después de finalizar el impulso Φ_1 ($t = t_2^+$) corresponde al estado lógico complementario de V_i. Como ahora Φ_1 está en su nivel bajo, $Q0$ abre y V_i queda retenida en C_0 hasta el final del período de Φ_1 ($t = t_5$).

En el momento $t = t_3^+$ la segunda onda $\varnothing_2$ pasa a su nivel alto V_{DD} permitiendo la transmisión a través de $Q3$ situando efectivamente a C_1 y C_2 en paralelo. Si en el instante $t = t_3$ la tensión en C_1 (o C_2) es V_1 (o V_2), en $t = t_3^+$ la tensión en V en C_2 (que debe ser la misma que la de C_1) se hallará según el Prob. 9-5 que es

$$V = \frac{C_1V_1 + C_2V_2}{C_1 + C_2} \tag{9-1}$$

Si $C_1 >> C_2$ se ve en la Ec. (9-1) que $V \approx V_1$. En otras palabras, el impulso Φ_2 hace que la tensión de salida (a través de C_1) del primer inversor aparezca (a través de C_2) en la segunda puerta NOT. Finalmente, por la acción inversora descrita, al final del impulso Φ_2 (desde $t = t_4^+$ hasta $t = t_5$) el nivel lógico V_0 a través de C_3 será el complemento del de C_2, que a su vez es el complemento del de C_0. Evidentemente en un período del reloj el nivel de entrada V_i se ha desplazado a lo largo de la etapa hasta la salida V_0 como sucedería en una línea de retardo de 1 bit o en un registrador de desplazamiento de un bit.

En la Fig. 9-5 no hay aportación alguna de potencia en continua, pero los impulsos del reloj deben poder suministrar las fuertes corrientes de capacidad. Además, para asegurarse de que C_1 sea mucho más grande que C_2 debe añadirse al chip una superficie adicional para C_1. Se puede reducir la carga de los excitadores del reloj añadiendo otro transistor en cada inversor como en el Prob. 9-6. Esta modificación nos da una etapa con ocho MOSFET. En la literatura se describen varios registradores de desplazamiento de cuatro fases, de gran velocidad y de no relación. Debido al mucho espacio que ocupan en el chip los registradores de desplazamiento de dos fases y de no relación además de la complicación que suponen los excitadores del reloj de cuatro fases, este sistema se emplea poco.

Etapa de registrador de desplazamiento dinámico CMOS

Se puede formar una etapa de registrador de desplazamiento dinámico CMOS similar al circuito NMOS

de la Fig. 9-5 interponiendo puertas de transmisión CMOS bidireccionales (Sec. 6-9) entre inversores estáticos CMOS (Sec. 6-8). Este circuito, representado en la Fig. 9-6, utiliza puertas de transmisión *T*1 y *T*2 para cumplir la función de interruptor bidireccional MOS de la Fig. 9-5. Las puertas de transmisión están gobernadas por los relojes complementarios Φ y $\overline{\Phi}$. Cuando $\Phi = V_{DD}$, *T*1 conduce y *T*2 actúa como circuito abierto. Los inversores CMOS se han señalado *I*1 e *I*2.

La explicación del funcionamiento de la etapa de registrador de la Fig. 9-6 es muy parecida a la dada en relación a la Fig. 9-5. Cuando $\Phi = V_{DD}$ (lógica 1) *T*1 transmite y la entrada V_i aparece a través de C_0. Debido al efecto inversor de *I*1 aparecerá a través de C_1 el complemento de V_i ($V_1 = \overline{V_i}$). En el siguiente semiciclo, $\Phi = 0$, *T*1 abre, C_0 retiene la tensión V_i y V_1 se mantiene en $\overline{V_i}$. Asimismo, cuando $\Phi = 0$, *T*2 cierra poniendo en paralelo C_2 con C_1 e *I*2 hace que la tensión a través de C_3 sea el complemento de la de C_2. En consecuencia, al final de un ciclo completo $V_0 = V_o = \overline{\overline{V}}_i$ quedando demostrado que esta célula se comporta como una línea de retardo o un registrador de un bit.

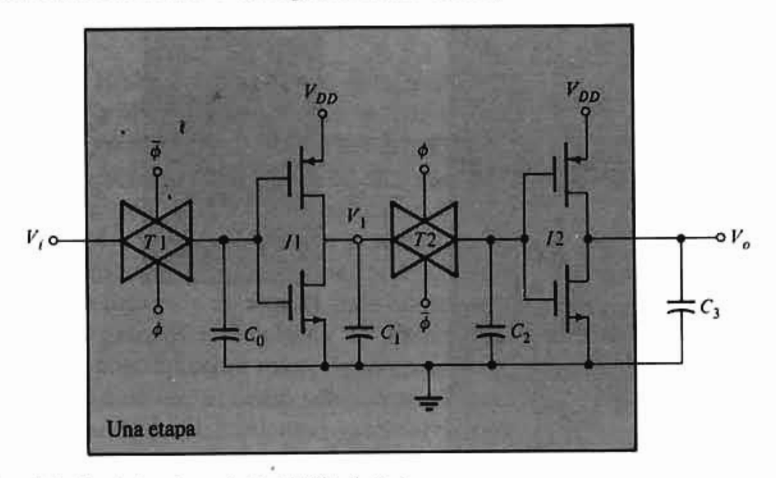


Figura 9-6. Célula de registrador de desplazamiento CMOS dinámica.

La etapa CMOS consta de ocho MOSFET (o cuatro pares complementarios). La disipación de potencia es muy poca ya que no hay circuitos de continua; sólo se emplea potencia para cargar transitoriamente los condensadores. De las explicaciones del circuito dadas anteriormente resulta evidente que la tensión de salida no depende de la relación entre las resistencias de cualesquiera elementos y por tanto el funcionamiento es de no relación.

9-3. LÓGICA DOMINO CMOS

Las puertas lógicas CMOS normales (Sec. 6-9) necesitan un transistor de carga PMOS y un FET excitador NMOS para cada entrada lógica. En la Sec. 4-8 vimos que los dispositivos PMOS ocupan más superficie que los transistores NMOS a igualdad de corriente. Para realizar funciones lógicas complejas, es decir, aquellas que contienen muchas variables de Boole se necesitan superficies del chip ya significativas. (Compárese esto con las realizaciones NMOS para las que sólo se añade un FET por cada entrada adicional.) Se consigue mejorar la densidad de componentes en circuitos CMOS empleando un circuito lógico dinámico conocido como *lógica domino*.

El circuito de la Fig. 9-7 corresponde a una puerta AND-OR domino empleada para cumplir la función $Y = AB + CDE$. La parte del circuito que contiene desde *Q*1 hasta *Q*7 es una puerta AOI que se emplea para excitar el inversor estático CMOS de *Q*8 a *Q*9. Obsérvese que la parte AOI del circuito es similar a la puerta AOI NMOS de la Fig. 7-3. La reducción del área de chip de la porción AOI de 2 a 3 entradas de

la puerta de la Fig. 9-7 proviene del hecho de necesitar sólo siete FET, de los cuales sólo uno es un transistor PMOS, en comparación con los diez transistores (5 NMOS y 5 PMOS) necesarios con la tecnología CMOS normal.

La acción de la puerta domino está gobernada por el reloj Φ de una fase aplicando al PMOS de carga *Q7* y al transistor NMOS de gobierno *Q1*. La capacidad parásita C_i actúa como la carga en la parte AOI del circuito. Cuando Φ = 0, *Q1* está cortado y no hay corriente en las ramas AND-OR del AOI. El PMOS de carga *Q7* está en conducción cargándose C_i hasta V_{DD}. Con la entrada al inversor alta [$V(1)$], la tensión de salida $v_o = V(0)$.

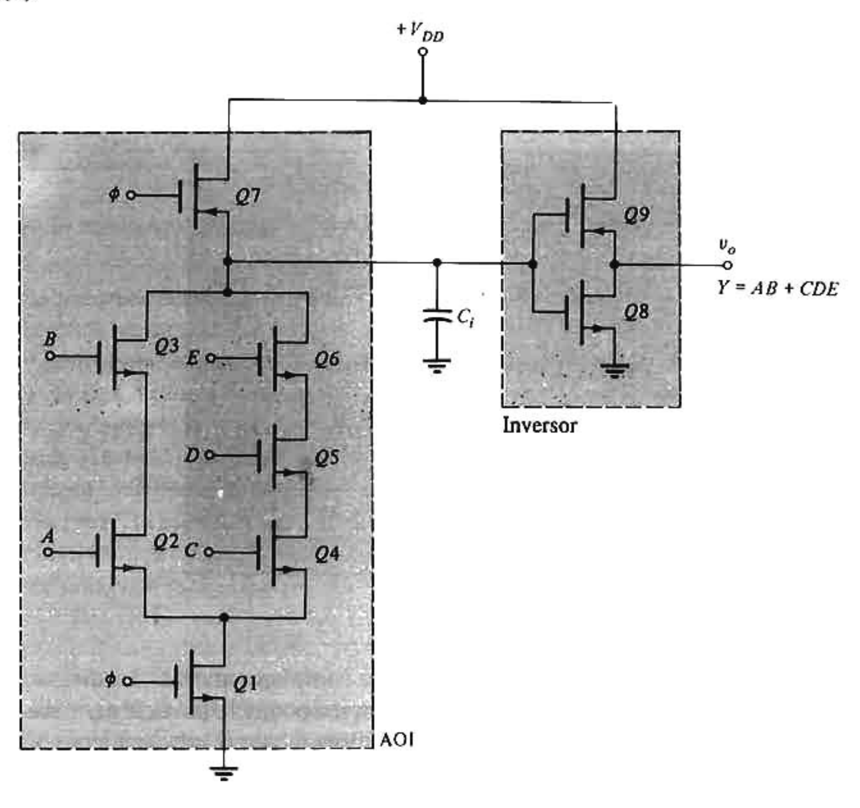


Figura 9-7. Puerta AND-OR CMOS domino.

El transistor *Q*1 pasa a conducción y el *Q*7 a corte cuando Φ = 1. Si cualquiera (o ambos) *A* y *B* o *C* y *D* y *E* está (o están) a *V*(1), C_i puede descargar a tierra a través de *Q*3-*Q*2-*Q*1 o *Q*6-*Q*5-*Q*4-*Q*1. La descarga de C_i hace que la entrada del inversor sea baja [*V*(0)] y en consecuencia $v_0 = V(1)$. La capacidad C_i no puede descargar cuando *AB* + CDE = *V*(0) por no existir ningún paso a tierra y por tanto v_0 no varía. Es importante tener en cuenta que las entradas lógicas pueden cambiar únicamente cuando Φ = 0. Cuando Φ = 1 no pueden cambiar, pues puede existir alguna vía para la descarga.

Los circuitos lógicos domino mejoran la densidad de componentes sólo cuando se emplea un número elevado de variables de entrada. Para que las puertas domino funcionen correctamente se necesita *Q*1 y los FET inversores *Q*8 y *Q*9 de la Fig. 9-7. Así, para una puerta OR de dos entradas, un circuito domino emplea dos FET de entrada y un PMOS de carga así como *Q*1, *Q*8 y *Q*9 con un total de seis transistores. Este número es igual al de elementos usados en la realización CMOS normal. Tal como se ha descrito anteriormente en esta misma sección, se puede construir una puerta AND-OR de 2 a 3 entradas utilizando menos PMOS y menor número total de transistores que con la realización estática CMOS de la misma

puerta. Una aplicación de la lógica domino CMOS está en la fabricación del PLA (Sec. 7-15) en donde el reducido número de transistores PMOS y de FET totales empleados economiza mucha superficie del chip.

9-4. MEMORIAS DE ACCESO ALEATORIO (RAM)

El funcionamiento de un sistema digital requiere que se puedan almacenar y recuperar datos a voluntad. Las memorias semiconductoras comprenden un conjunto de células de almacenamiento cada una de las cuales puede almacenar un dato de 1 bit. En estas memorias, en contraste con un registrador de desplazamiento, la información puede ser introducida o sacada *aleatoriamente* de cada elemento. Por eso a este sistema se le denomina *memoria de acceso aleatorio*, abreviadamente RAM. Puesto que cada bit puede ser extraido (leído) o introducido (escrito) en cada célula, al sistema se le denomina también *memoria de lectura-escritura* R/W (read-write) para distinguirlo de la memoria sólo lectura (ROM) (véase la Sec. 7-9).

En la construcción de RAM se emplea tanto la tecnología MOS como la bipolar siendo prevalentes los circuitos con tecnología MOS. Las memorias de acceso aleatorio se pueden adquirir en encapsulados integrados a escala media para almacenar hasta 64 bit o integrados a muy gran escala capaces de almacenar 256 y 512 kb. A principios de 1986 apareció en el comercio un RAM de 1 Mb ($1\text{Mb} = 2^{10}\text{kb} = 2^{20} = 1048576$ bit) y se espera que en 1990 se construyan de 4 Mb. Los RAM con más capacidad de almacenamiento (más de 4 Kb) se fabrican con polisilicio. Los sistemas computadores más corrientes utilizan para la memoria interna RAM de 64 y de 256 kb.

Se emplean circuitos estáticos y dinámicos para construir RAM, empleándose casi exclusivamente circuitos dinámicos para grandes capacidades de almacenamiento. Estos circuitos necesitan menos transistores y por tanto se pueden incluir más células en un solo chip (de unos 6 × 6mm).

El RAM tiene la ventaja de que el tiempo de acceso es el mismo para cualquier bit de la matriz. En una memoria de registrador de desplazamiento en serie el tiempo de acceso depende de la posición del bit en el momento de su acceso. Uno de los inconvenientes del RAM es su volatilidad, es decir, que pierde toda la información almacenada si falla el suministro de potencia. Difiere del ROM en que en éste la información se almacena permanentemente durante la fabricación y así no es volátil. (Recuérdese que los datos se almacenan durante la operación de enmascarado.)

En lo que resta de esta sección se tratará del sentido y características básicas del RAM, y en la próxima se describirán circuitos de células de memoria estáticas y dinámicas.

Selección lineal

Para comprender el funcionamiento de un RAM examinemos el circuito del FLIP-FLOP *SR* simple de un bit de la Fig. 9-8 con entrada de datos y líneas de salida. En la figura se ve que para leer datos de salida o para introducir (escribir datos) en la célula es necesario excitar la *línea de direccionado* ($X = 1$). Para escribir debe excitarse también la *línea de habilitación* de escritura si la entrada de escritura es de lógica

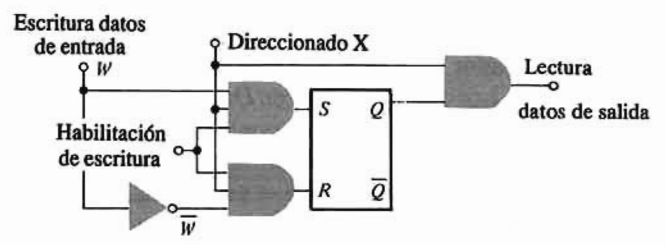


Figura 9-8. Memoria de lectura/escritura de 1 bit.

1 (o 0), entonces $S = 1$ (o 0) y $R = 0$ (o 1). Por tanto, $Q = 1$ (o 0) y la lectura será 1 (o 0) de acuerdo con lo escrito.

Supongamos que deseamos un RAM de 16 kb organizado en 1024 informaciones de 16 bit cada una. Este sistema precisa de 10 líneas de direccionado, 16 de entrada de datos y 16 de salida de datos. Se necesitarán en total $1024 \times 16 = 16384$ células de almacenamiento. De estas células 16 se disponen en una línea horizontal excitadas todas ellas por la misma línea de dirección. Habrán en total 1024 grupos como éste, excitado cada uno por una línea distinta. En otras palabras, el direccionado se logra excitando una de entre 1024 líneas. Este tipo de direccionado se denomina *unidimensional* o *selección lineal* (Prob. 9- 11). El número de patillas de encapsulado de dirección se reduce desde el incómodo número de 1024 a tan sólo 10 incluyendo en el chip un decodificador de 10 a 1024 líneas.

Direccionado bi-dimensional

Se puede conseguir una gran economía en el número de puertas NAND necesarias en el decodificador antes mencionado (Prob. 9-12) disponiendo los 1024 elementos de memoria formando un cuadro de 32 × 32 almacenando cada uno de ellos 1 bit de una información. Se necesitan 16 de tales encapsulados; uno para cada uno de los 16 bit de cada información.

Cada información se identifica con una célula de memoria de la matriz mediante un número *X-Y*. Para leer (o escribir) una célula determinada, (por ejemplo la 1-3) un decodificador X identifica la fila 1 (X_1) y otro decodificador Y localiza la columna 3 (Y_3). Este direccionado *bi-dimensional* (llamado también *direccionado* o *selección X-Y*) queda representado en la Fig. 9-9 para un RAM de 16 kb (128 × 128).

Organización básica RAM

La memoria de 1 bit de la Fig. 9-8 requiere conexiones distintas para leer o escribir. Tanto para el RAM bipolar como para el RAM MOS es posible formar un FLIP-FLOP (como demostramos en las Figs. 9-12 y 9-14) que tiene un terminal común para escribir y leer, tales como los 1 y 2 de la Fig. 9-10. Esta configuración requiere emplear no sólo el dato de escritura W (escritura 1) sino también el de su complemento $\overline{W}$ (escritura 0). En el terminal de la célula en la que se aplica W (o $\overline{W}$) se obtiene la lectura R (o $\overline{R}$) o el sentido de la salida S (o $\overline{S}$). En la Fig. 9-10 se representa esquemáticamente esta memoria.

En la Fig. 9-9 se indican los elementos básicos con los que se construye un RAM incluyendo la disposición rectangular de las células de almacenado, los decodificadores X e Y, los amplificadores de escritura para excitar la memoria y los amplificadores de sentido para detectar (leer) la información digital almacenada. Los amplificadores R/W 0 y R/W 1 no están explícitamente indicados en la Fig. 9-9 (pero sí en la 9-12).

En la Fig. 9-11 se representa la organización (llamada también *diagrama funcional*) de una memoria de lectura-escritura para 4096 informaciones de 1 bit. Obsérvese que en esta disposición hay 64 filas y 64 columnas. Por tanto, cada decodificador tiene seis entradas. La entrada de datos D_{in} (o salida D_{out}) corresponde a W (o S) de la Fig. 9-10. Los complementos de D_{in} y D_{out} así como los direccionados $A_0 ... A_9$ se generan en el propio chip. Los dos decodificadores van también en el chip. El terminal CS es la entrada del chip selector (a veces llamado también CE o chip habilitador). Si $CS = 1$ el chip queda seleccionado. El complemento de la entrada de habilitación de escritura se señala $\overline{WE}$ o $R/\overline{W}$ (lectura pero no escritura). Por tanto hay lectura si $R/\overline{W} = 1$ y escritura si $R/\overline{W} = 0$. La tabla de la verdad del funcionamiento de este chip es la indicada en la Tabla 9-1.

Tabla 9-1 Tabla de la verdad del RAM de la Fig. 9-16

$\overline{CS}$	$R/\overline{W}$ o $\overline{WE}$	D_{in}	D_{out}	*Modo*
1	X Indiferente	X	Alta impedancia	Sin selección
0	0	0	0	Escribir 0
0	0	1	1	Escribir 1
0	1	X	D_{out}	Lectura

Línea de bit 0 para la columna 1
Línea de bit 1 para la columna 1
X_0
X_1
X_{63}
A_0 A_1 A_2 A_3 A_4 A_5 A_6
Decodificador de filas de 7 a 128 líneas
0-0 0-1 0-127
1-0 1-1 1-127
127-0 127-1 127-127
Línea de bit 0 para la columna 127
Línea de bit 1 para la columna 127
A amplificadores R/W 0
A amplificadores R/W 1
Y_0 Y_1 Y_{127}
Decodificadores de columnas de 7 a 128 líneas
A_7 A_8 A_9 A_{10} A_{11} A_{12} A_{13}

Figura 9-9. Organización de un MOS/RAM estático de 16384 informaciones de 1 bit. Cada cuadro sombreado representa una célula de 6 NMOS.

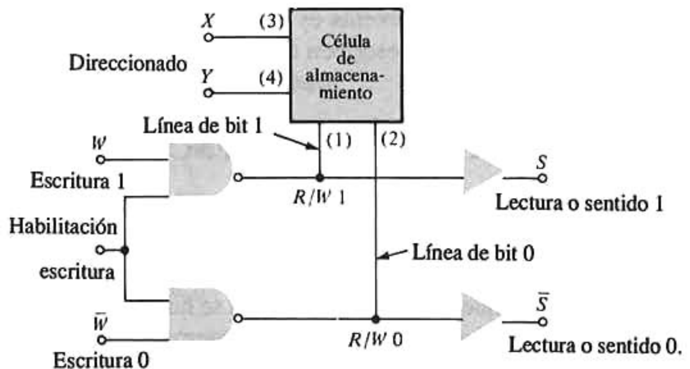


Figura 9-10. Se puede formar una célula de almacenamiento básica con entradas y salidas complementarias y con amplificadores de escritura y de sentido concurrentes a un nudo común (1) para los datos reales y (2) para los datos complementarios.

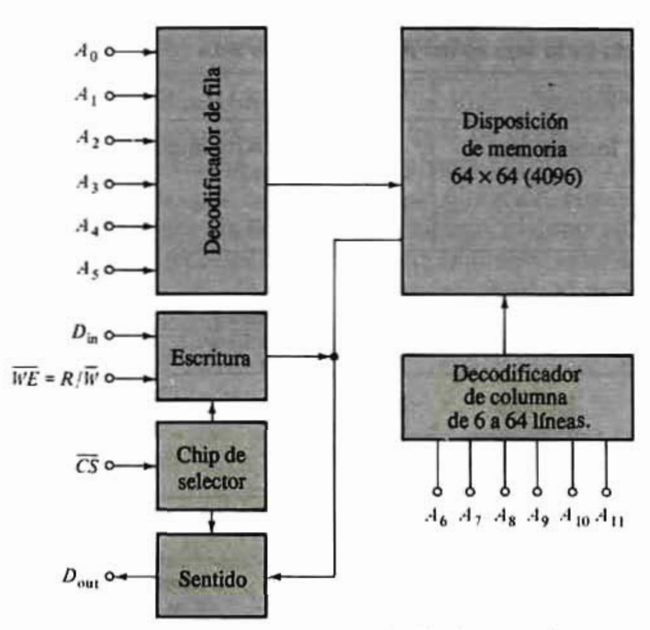


Figura 9-11. Organización de una RAM estática de 4096 informaciones de 1 bit (4 kb × 1) (*Cortesía de MOSTER Corporation*).

A las 16 entradas señaladas en la Fig. 9-11 hay que añadir una toma de tierra y un terminal de suministro de potencia. Así este RAM de 4096 kb va en un encapsulado de 18 patillas.

Ampliación de la memoria

Muchas veces hay que almacenar informaciones de más de 1 bit. Si se requieren 4096 informaciones de 4 bit será necesario utilizar cuatro encapsulados como los de la Fig. 9-11. Las 12 líneas de dirección se aplican en paralelo a los cuatro encapsulados, y con $CS = 1$ (o $\overline{CS} = 0$) se seleccionan simultáneamente todos los chips. Un direccionado específico selecciona una de las 4096 informaciones; los 4 bit de datos entran (o salen) y se escriben (o leen) en la memoria a través de cuatro terminales independientes D_{in} (o D_{out}) con $R/\overline{W} = 0$ (o $R/\overline{W} = 1$). Se puede ampliar el número de informaciones almacenadas en un RAM mediante la organización de ampliación del direccionado de la Fig. 7-31, representada para un ROM.

Comercialmente se pueden adquirir RAM de múltiples informaciones capaces de almacenar gran número de bit. La TMS 4416 de la Texas Instruments es un RAM de 64 kb dispuesto para almacenar 16384 informaciones de 4 bit. En la Sec. 9-6 se describen otros módulos RAM.

9-5. CÉLULAS DE MEMORIA DE LECTURA-ESCRITURA

Las células de almacenamiento básicas de un RAM se fabrican con tecnología bipolar o MOS. El RAM más generalmente empleado utiliza transistores MOS porque con ellos se consigue la más alta densidad de componentes y por tanto se pueden almacenar más bit en un chip de tamaño dado. Las células MOS estáticas son las prevalentes en RAM pequeños ($\leq$ 16 kb) si bien se ha presentado (en 1985) un prototipo de chip CMOS con posibilidad de almacenar 256 kb. Más frecuentemente se utilizan células de memoria MOS dinámicas en RAM desde 16 kb a 1 Mb. Frecuentemente a las memorias de acceso aleatorio se las designa con DRAM si son dinámicas y con SRAM si son estáticas.

Los circuitos de almacenaje con emisor acoplado, compatible con ECL se emplean en RAM bipolares sobrepasando raramente los 16 kb de almacenamiento. También figuran en el mercado RAM basados en puertas TTL, teniendo una capacidad entre 64 bit y 4 kb. Como sea que los circuitos CMOS disipan menos potencia, se diseñan para ser compatibles con TTL, y en consecuencia se utilizan frecuentemente en lugar de RAM TTL. En esta sección y en la 9-6 se comentarán varios tipos de células de memoria bipolares y MOS.

RAM MOS estático

El FLIP-FLOP MOS de la Fig. 8-8 es una memoria de 1 bit y es la célula básica de almacenamiento del RAM MOS estático. En la Fig. 9-12, *Q*1 con *Q*4 forman tal unidad biestable y los MOSFET *Q*5-*Q*6 forman el circuito de puertas a través del que el nudo interior N_1 (o N_2) queda conectado a la línea de datos del bit 0 (o 1). En la Fig. 9-12 se ha indicado la célula 1-3. Esta célula de seis transistores se incluye en la disposición de la memoria en la forma que se ve en la Fig. 9-9. Las líneas de bit 0 y bit 1 se conectan a todas las células de la *misma columna*. Para seleccionar una célula de una columna en particular (p. ej. 3) es necesario excitar tal columna (Y_3). Para seleccionar una célula de la fila 1, el decodificador de línea

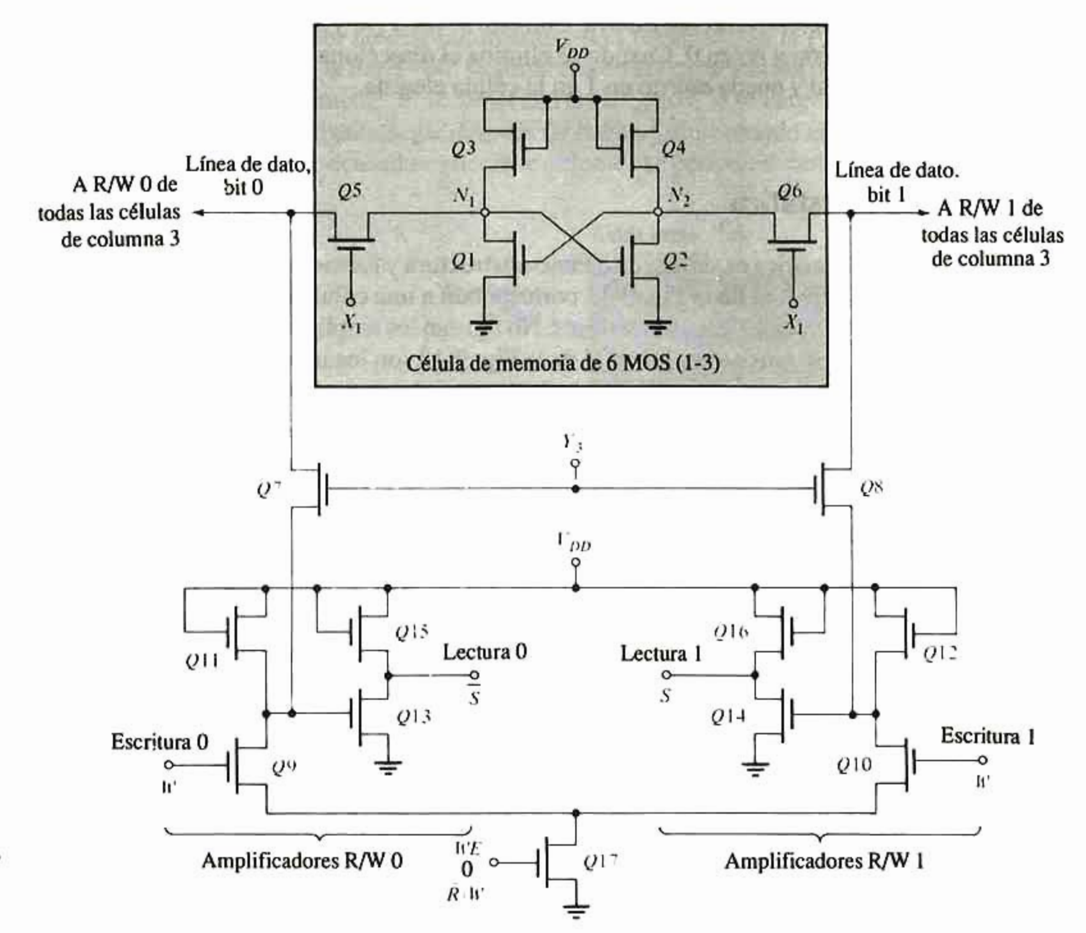


Figura 9-12. Célula de almacenaje (1-3) conteniendo 6 transistores NMOS. Figuran también las líneas de direccionado X_1 e Y_3 y los amplificadores de escritura y de lectura. Se almacena una lógica 1 si Q2 conduce.

debe excitar X_1. Dicho de otra forma, para localizar una célula determinada (1-3) se emplean el direccionado bi-dimensional.

En la Fig. 9-12 se han incluido los amplificadores de lectura y escritura de cada una de las líneas de datos. Obsérvese que $Q17$ y $Q10$ (o $Q9$) forman una puerta AND con entradas WE y W (o $\overline{W}$), siendo WE la *habilitación de escritura* y W la *escritura* (o *entrada de datos* D_{in}). La *salida de lectura* o *sentido* S puede señalarse también D_{out}.

Se desea leer la célula 1-3. Deberemos poner X_1 e I_3 en V_{DD} (lógica 1 para un NMOS). Supongamos que se ha almacenado un 1 en esa célula ($Q2$ en conducción y $Q1$ cortado, de forma que el nudo N_2 está a 0 V y N_1 a V_{DD}). Para leer, WE se pone a 0. Entonces $Q17$ está cortado y por tanto $Q10$ (o $Q9$) no conduce, con lo que la línea de datos del bit 1 (o 0) queda unida a V_{DD} a través de la carga $Q12$ (o $Q11$). En consecuencia circula corriente desde V_{DD} hacia $Q2$ a través de $Q12$, $Q8$ y $Q6$ (así como a través de $Q4$ desde V_{DD}), con lo que la línea de 1 bit queda efectivamente a tierra. Por tanto $Q14$ está cortado y $S = D_{out} = V_{DD}$ (lógica 1) como $Q1$ está en corte no circula corriente por $Q3$, $Q5$, $Q7$ y $Q11$ en serie, y la línea de dato de 0 bit está a V_{DD}, $Q13$ conduce y $\overline{S} = 0\ V$. Hemos visto pues que el FLIP-FLOP 1-3 almacena un 1 (ya que $S = 1$ y $\overline{S} = 0$).

Para *escribir* un 1 en la célula se direcciona ($X_1 = 1$ e $Y_3 = 1$) se pone $WE = 1$, $W = 1$ y $\overline{W} = 0$. Entonces $Q17$ y $Q10$ conducen y $Q9$ está cortado. Por tanto la línea del bit 1 está a tierra y la del bit 0 a V_{DD} a través de la carga $Q11$. Ahora la corriente pasa desde V_{DD} a la línea de bit 1 a través de $Q4$, $Q6$, $Q8$, $Q10$ y $Q17$ a tierra. Así el nudo N_2 está efectivamente a tierra. Con esto se corta $Q1$ y N_1 pasa a V_{DD}. En consecuencia $Q2$ se mantiene en conducción y N_2 en 0. Cuando se elimina el direccionado ($Q5$, $Q6$, $Q7$ y $Q8$ en corte) $Q2$ conduce, $Q1$ está cortado y queda escrito un 1 en la célula elegida.

Célula RAM CMOS estática

La célula RAM CMOS estática es similar en cuanto a estructura y funcionamiento que la célula NMOS de la Fig. 9-12. El circuito CMOS de la Fig. 9-13 corresponde a una célula de memoria de 6 MOS de la Fig. 9-12 con la misma numeración de los transistores. No figuran los amplificadores de sentido necesarios para leer y escribir datos. Los transistores $Q1$ a $Q4$ de la Fig. 9-13 son los inversores CMOS cruzados que forman el FLIP-FLOP. Los transistores $Q5$ y $Q6$ forman las puertas de transmisión que constituyen el camino de entrada (o salida) de datos a la célula de memoria. Leer y escribir un 1 o un 0 es lo mismo que en el circuito NMOS de la Fig. 9-12.

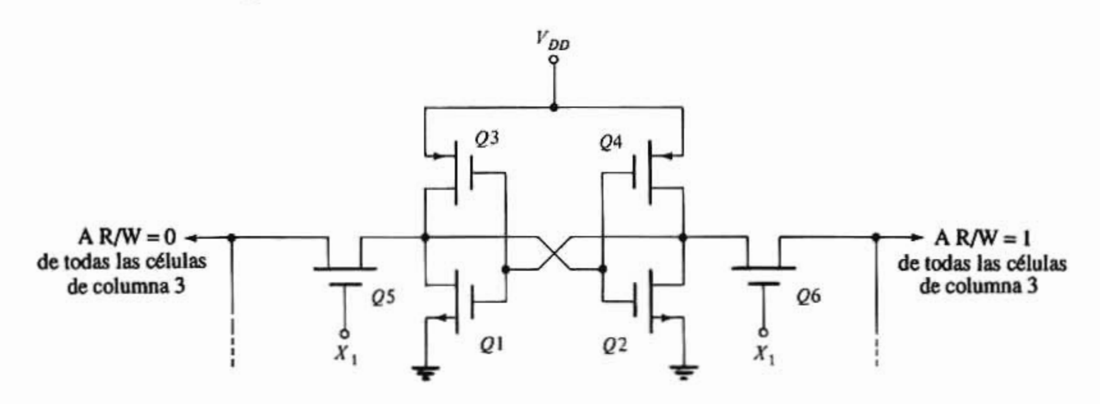


Figura 9-13. Célula de memoria CMOS estática. La numeración de los transistores coincide con la empleada en la Fig. 9-12.

Muchos fabricantes de circuitos integrados producen RAM MOS estáticos con capacidades de memoria de entre 1 y 16 kb. Obsérvese que un RAM de 16 kb que emplee células de almacenamiento de

seis transistores, sean como los de la Fig. 9-12 o la 9-13 tiene 6 × 16384 = 98304 MOSFET sólo en la disposición de la memoria. Con los circuitos auxiliares necesarios (amplificadores de sentido, etc) tales circuitos contienen más de 100.000 elementos. Para aumentar la capacidad de memoria en las dimensiones del chip es evidentemente importante reducir el número de transistores por célula. Lo comentado a continuación en relación a las células dinámicas es el principal medio de conseguir esa reducción.

Célula RAM dinámica de 4 MOSFET

La superficie de silicio ocupada por la célula de 6 transistores de la Fig. 9-12 puede reducirse cambiando los FET de carga $Q3$ y $Q4$ por cargas temporizadas. En otras palabras, los dos inversores acoplados cruzados que forman el biestable son ahora inversores dinámicos como se ve en la Fig. 9-14*a*. La excitación de puerta de cada carga viene suplida por las líneas de información del decodificador X. Los MOSFET $Q3$ y $Q4$ actúan simultáneamente como carga y como transistores de selección de línea, reduciéndose así la célula desde un dispositivo de seis elementos a uno de cuatro. Si $X = 0$, $Q3$ y $Q4$ están cortados y no se puede introducir información (escribir) ni sacar (leer) de la célula. Sin embargo, si $X = 1$, $Q3$ y $Q4$ estarán en conducción y los cuatro transistores forman un biestable capaz de almacenar un 1 ($Q2$ en conducción) o un 0 ($Q1$ en conducción).

Al igual que en el registrador de desplazamiento MOS dinámico de la Fig. 9-2 la información en la célula de memoria dinámica de la Fig. 9-14*a* se almacena en las capacidades parásitas C_1 y C_2 entre puerta y fuente de $Q1$ y $Q2$ respectivamente. Si se almacena un 1, C_2 (o C_1) se carga a V_{DD} (o a 0) y si se escribe un 0 es válida la inversa. Supongamos que después de haberse almacenado el dato en la célula transcurre un tiempo T. La carga de los condensadores decrece durante ese período debido a las inevitables corrientes

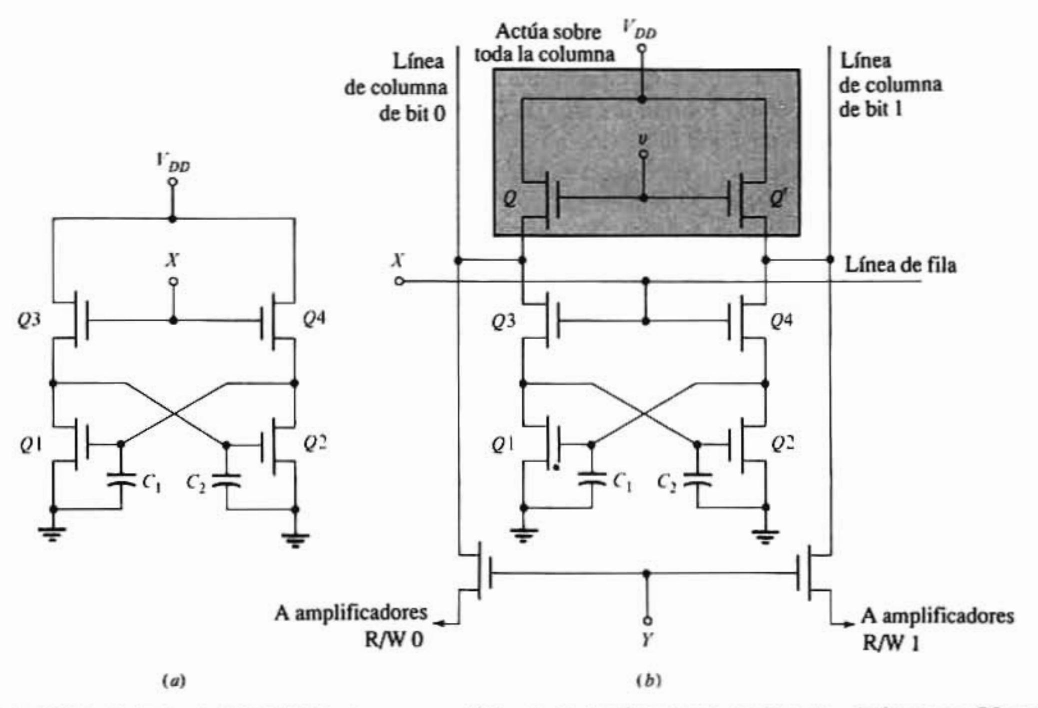


Figura 9-14. (*a*) Célula dinámica de 4 NMOS. Se almacena una lógica 1 si la tensión a través de C_2 es V_{DD} de forma que Q2 conduzca. (*b*) La célula de memoria como parte de una RAM organizada como en la Fig. 9-9. Todos los FLIP-FLOP de la columna *Y* se reponen cuando se aplica un impulso positivo para poner en conducción Q y Q' supuesto que X = 1.

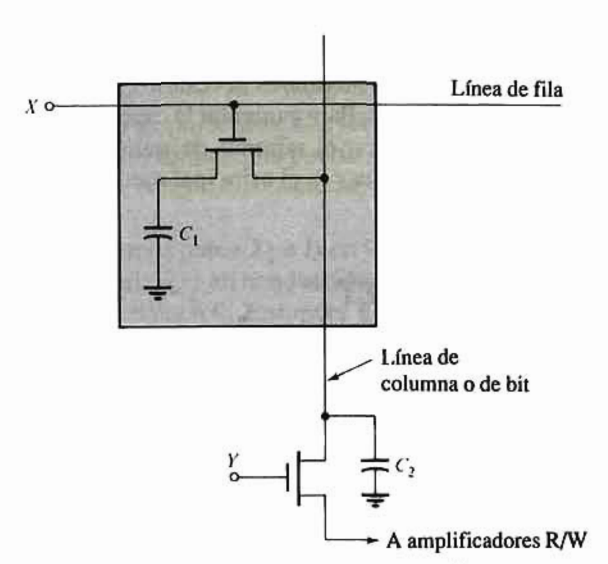


Figura 9-15. En el recuadro sombreado una célula de memoria dinámica de un MOSFET. Está organizada en la RAM como se indica en la Fig. 9-9. No está indicado el circuito de reposición.

de fuga. Si T se prolonga mucho la tensión del estado 1 puede disminuir tanto que se aproxime mucho al nivel 0 perdiéndose la información. Este mismo fenómeno es el motivo por el cual un registrador de desplazamiento dinámico no puede funcionar a una frecuencia por debajo de cierto límite.

Evidentemente se hará necesario algún circuito adicional para reforzar el dato almacenado antes de que la pérdida de tensión en el condensador sea excesiva. Se añaden dos transistores (Q y Q' en la Fig. 9-14*b*) para reponer todos los FLIP-FLOP de una determinada columna. La onda de reposición v es un impulso de menos de 1 μs que se repite aproximadamente cada 2 ms. Todas las células de una determinada fila se reponen simultáneamente direccionándola mientras v es alta. Obsérvese que durante el período de reposición $Q3$ en serie con Q forman la carga de $Q1$, y Q' en serie con $Q4$ actúan de carga para $Q2$. Si al principio del ciclo de reposición la tensión a través de C_2 es mayor que la de C_1 (≈ 0) entonces $Q1$ está cortado y C_2 se carga hacia V_{DD} por la corriente en Q y $Q3$. La corriente que carga C_1 a través de Q' y $Q4$ es menor que la de C_2 porque $Q2$ está en conducción. Por tanto, C_2 sube rápidamente a V_{DD} y la tensión a través de $Q2$ cae a cero manteniendo a 0 V la de C_1. En otras palabras, debido a la acción de realimentación regenerativa en el FLIP-FLOP la célula se repone hasta su estado inicial (lógica 1 en este caso).

Obsérvese que la organización de la célula de 4 transistores en el RAM es la misma que la de la célula de 6 MOS de la Fig. 9-12. El número de transistores evitados al pasar de una célula de 6 MOS a una de 4 en un RAM cuadrado de 16 kb, teniendo en cuenta los MOSFET que hay que añadir para generar la tensión v de reposición es de $(2 \times 16384) - (2 \times 128) = 32512$.

Además de ocupar mucho menos espacio en el chip, la célula dinámica economiza mucha potencia. Los elementos de carga sólo conducen durante el impulso de reposición y sólo durante este corto período se disipa potencia.

Célula RAM dinámica de un MOSFET

En la Fig. 9-14 los elementos de almacenado son condensadores, pero no hay ninguna razón fundamental para utilizar un FLIP-FLOP para cargarlos o descargarlos. Hay la posibilidad de diseñar una memoria dinámica empleando un solo condensador y un transistor actuando como puerta de transmisión para cargarlo o eliminar la carga ahí almacenada. La Fig. 9-15 representa la más sencilla de todas las

células RAM que se emplean en RAM dinámicos comerciales grandes (de 4 kb a 1 Mb). No se necesitan entradas ni salidas complementarias y por tanto su disposición es la de la Fig. 9-9 excepto que emplea una sola línea de bit (dato) para conectar todas las células de una columna. Como en los RAM descritos anteriormente, sólo se selecciona una célula de memoria en un momento dado, que depende del direccionado *X* e *Y*.

La célula se escribe aplicando la tensión de la línea de bit al condensador C_1 a través del transistor. La lectura se hace conectando C_1 a la línea de bit a través de la puerta y detectando el nivel de tensión del condensador. Esta sencilla célula tiene el inconveniente de que su lectura es destructiva, lo que es debido a que el transistor de la célula escogida para leer sitúa su capacidad de almacenado C_1 en paralelo con la capacidad C_2 de la línea de datos. Si V_1 es la tensión a través de C_1 la tensión de lectura V viene dada por la Ec. (9-1) con $V_2 = 0$ o $V = C_1V_1/(C_1 + C_2)$. Puesto que hay muchas células conectadas a la línea de columna, $C_2 >> C_1$ y $V << V_1$. La información almacenada que se deba retener deberá regenerarse después de cada operación de lectura hasta su valor inicial V_1. A fin de aumentar la relación C_1/C_2 se emplea la tecnología de puerta de polisilicio de dos capas y canal *n*.

El condensador C_1 también pierde tensión debido a las corrientes de fuga por lo que habrá que disponer de un circuito adicional para regenerar periódicamente la información almacenada como se hizo en la Fig. 9-14*b*. En cada línea de datos hay un amplificador de reposición.

La célula de memoria dinámica de un transistor descrita en el párrafo anterior constituye el circuito básico más usado en RAM de gran capacidad (de 64 kb a 1Mb).

Organización del chip RAM dinámico

Los chips DRAM clásicos de 16 a 64 kb tienen una disposición similar a la Fig. 9-16. La memoria está dividida en dos partes iguales y los circuitos periféricos se colocan a lo largo de los bordes de cada parte. Los circuitos de soporte de la memoria comprenden los codificadores de columna, separadores y los amplificadores de direccionado y de reposición, registradores de entrada y de salida y circuitos de control y de temporización. Los RAM dinámicos generalmente se encuentran en la industria en encapsulados DIP normalizados de 16 patillas.[3] Para un DRAM de 64 kb tal como el 4164 de Mostek o el TMS 4164 de Texas Instruments (estos de patillas compatibles) las ocho líneas de direccionado de filas y las ocho de columna se multiplican en ocho conexiones de patillas. Esto se logra añadiendo dos señales de reloj

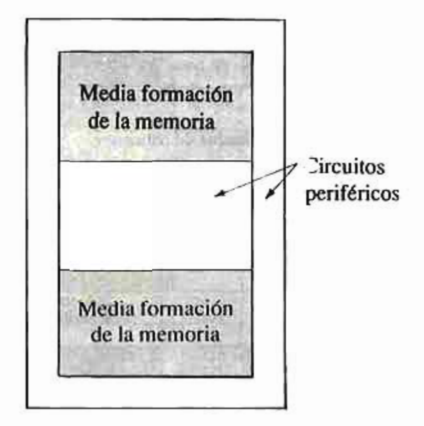


Figura 9-16. Disposición típica de chip de una RAM dinámica de 64 kb (DRAM).

[3] Existen también en encapsulados de plástico con 18 patillas.

generadas exteriormente llamadas de fijación de filas (RAS) y de fijación de columnas (CAS). En la práctica se aplican los complementos a estas señales $\overline{RAS}$ y $\overline{CAS}$ a las patillas fijando los direccionados de filas y columnas en el chip. Ademas de las ocho líneas de dirección, 7 de las 8 patillas restantes se usan para las dos señales de fijación, las de habilitación de escritura ($\overline{WE}$), las líneas de entrada y de salida de datos, toma de tierra y alimentación a 5V. La última patilla no se conecta.

Los DRAM de gran capacidad, como el TMS 4256 de 256 kb × 1 bit, de la Texas Instruments emplea chips organizados como en la Fig. 9-17. Esta disposición se aprecia fácilmente en la microfotografía de la Fig. 9-18. La memoria está dividida en cuatro partes de 64 kb, cada una de las cuales está organizada como se indica en la Fig. 9-16. Las 9 líneas para el direccionado de filas y las 9 para el de columnas necesarias para seleccionar uno de entre 262.144 bit se fijan en el chip por medio de los direccionados $\overline{RAS}$ y $\overline{CAS}$. Las 16 conexiones de patillas son: las nueve líneas de direccionado, las dos de datos, dos de fijación, la señal de habilitación de escritura ($\overline{WE}$), tierra, y alimentación a 5V. Las señales de control y de temporización son compatibles con TTL.

Se puede modificar la organización básica de la Fig. 9-17 de forma que sus 256 kb de capacidad puedan almacenar 64 K informaciones de 4 bit (64K × 4). La Fig 9-19 muestra uno de tales chips (el TMS4464 de la Texas Instruments) que está disponible en un encapsulado DIP de 18 patillas. Las cuatro líneas de datos se emplean tanto para entrada como para salida. Para proporcionar este multíplex se añade una señal de *habilitación de salida* ($\overline{G}$) a la parte del sistema de control y temporización. Así, las 18 conexiones de patillas se emplean en las ocho líneas de dirección, cuatro líneas de datos, cuatro señales de control y tiempo ($\overline{RAS}$, $\overline{CAS}$, $\overline{WE}$, $\overline{G}$), toma de tierra, y alimentación a 5V.

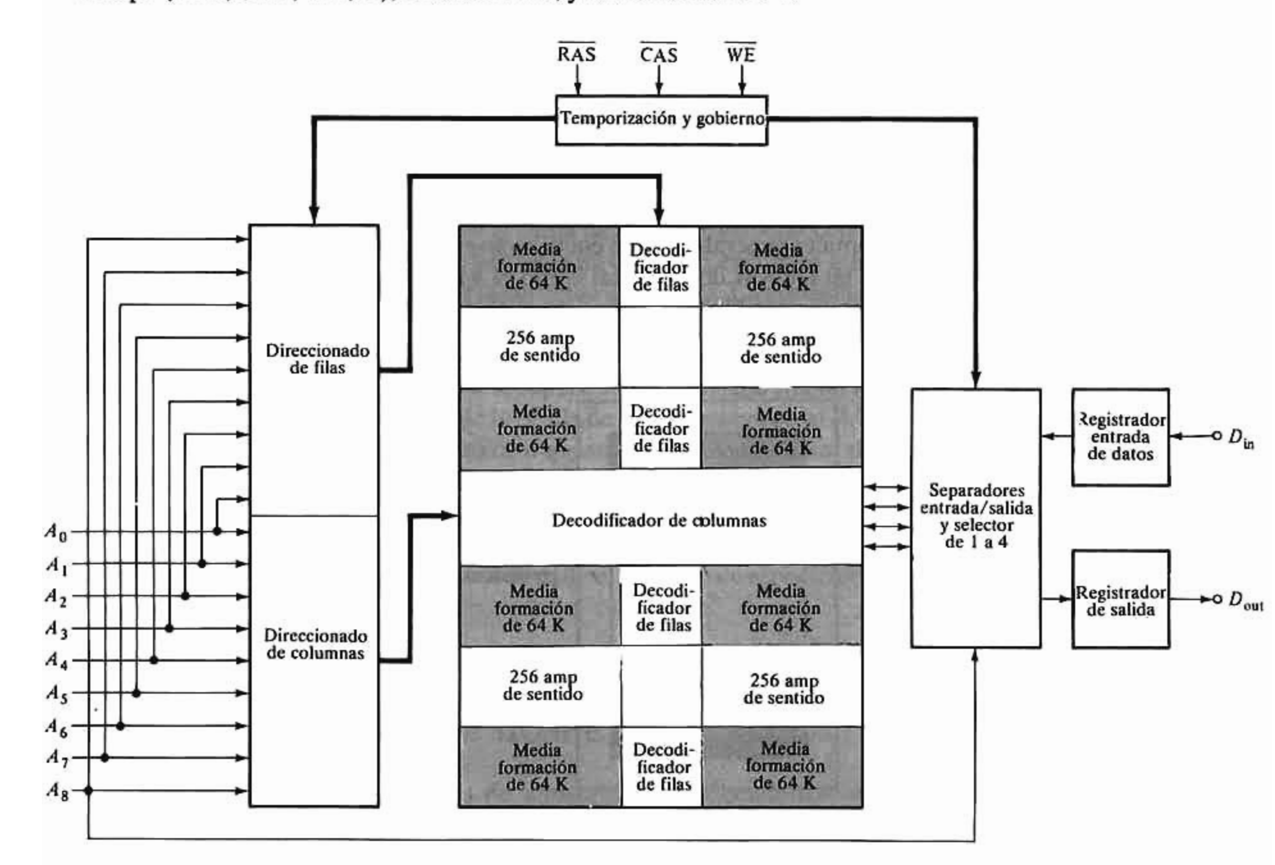


Figura 9-17. Disposición y organización del chip de un DRAM de 256K × 1 bit (tal como el TMS 4256 de Texas Instruments Inc.).

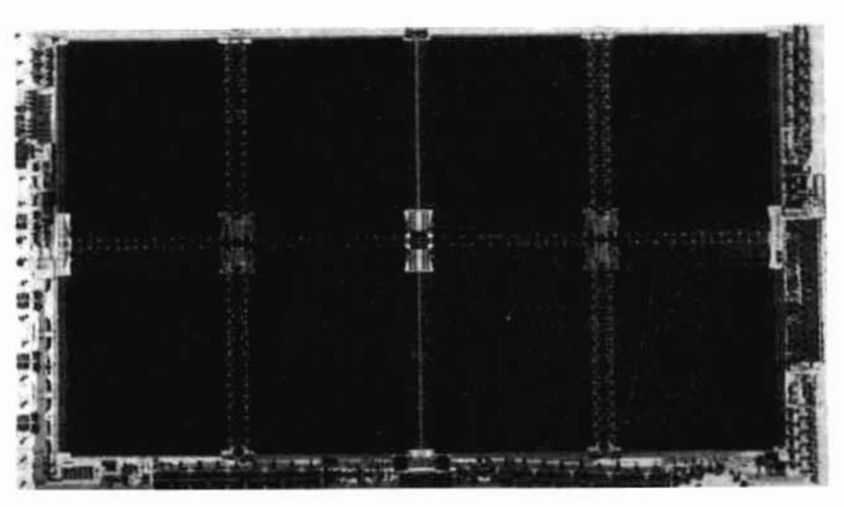


Figura 9-18. Microfotografía del DRAM TMS 4256 de 256 kb. *(Cortesía de Texas Instruments Inc.)*

$\overline{RAS}$ $\overline{CAS}$ $\overline{G}$ $\overline{WE}$
Temporización y gobierno
Direccionado de filas
Direccionado de columnas
A_0 A_1 A_2 A_3 A_4 A_5 A_6 A_7 A_8
Media formación de 64 K
Decodificador de filas
256 amp de sentido
Decodificador de columnas
Separadores entrada/salida
Registrador entrada de datos
Registrador salida de datos
D_{in}
D_{out}

Figura 9-19. Organización de un DRAM de 256 kb en una memoria de 64k × 4 bit (la TMS 4464).

También se encapsulan múltiplos de RAM dinámica de 64 kb en módulos conteniendo varios chips de forma que se pueden almacenar 64 K informaciones de varios bit. La Texas Instruments encapsula varios chips 4164 para informaciones de 8 y 9 bit. (TMS4164FM8 y TMS 4164EL9 respectivamente). También existen disponibles módulos DRAM mayores, basados en el chip TMS 4256 de 256 kb, que

proporcionan memorias de 256K × 4 bit, 256K × 8 bit y 256K × 9 bit. Además se encapsulan en un solo módulo cuatro chips TMS 4256 como el DRAM de 1M × 1 bit (TMS 4256 FCI).

Las RAM dinámicas descritas tienen ciclos de lectura o escritura del orden de los 250 ns con tiempos de reposición de menos de 4 ns. Son corrientes las potencias de trabajo de 300 mW y las de reposo de unos 12,5 mW.

9-6. CÉLULAS RAM BIPOLARES

La principal aplicación del RAM bipolar es en sistemas que requieran las más altas velocidades de funcionamiento (como en los sistemas ECL). Frecuentemente requieren dos pasos decodificadores. Consideremos una memoria de 1 kb × 1, organizado en disposición de 32 × 32. El decodificador de fila selecciona una de las 32 filas, y los 32 bit (la «palabra») sale y se sitúa en un registrador. Se emplea un segundo código de 5 bit para acceder al registrador y seleccionar el bit deseado. Análogamente, el dato se almacena escribiendo simultáneamente toda la información. Un circuito de memoria BJT común como el de la Fig. 9-20 se denomina célula de emisor acoplado porque las líneas de datos D_1 y D_0 están conectadas a los emisores de los dos transistores $Q1$ y $Q2$. Si bien ambos $Q1$ y $Q2$ tienen dos emisores cada uno, estos BJT operan en su modo normal y no invertido como en las puertas TTL. Las combinaciones de transistor-resistencia $Q1$-$R1$ y $Q2$-$R2$ son los inversores acoplados cruzados que forman la célula. Tal como se ve en la Fig. 9-20 se emplean dos líneas de direccionado de filas, X y X^* con diferentes niveles de tensión. Los niveles de tensión típicos de X^* son $V(0) = 1{,}3V$ y $V(1) = 4{,}3V$, y los de X son $V(0) = 0{,}3V$ y $V(1) = 2V$. Obsérvese que los niveles de tensión de X^* sirven como alimentación del colector V_{CC}. Los valores de reposo de X y de X^* son sus valores $V(0)$. Por reposo se entiende los intervalos de tiempo en que la célula no es accesible para lectura o escritura. Las líneas de datos D_0 y D_1 se conectan al suministro de 1,5 V (normalmente), a través de R_4 y R_3 respectivamente. Al no circular corriente por estas resistencias durante el reposo, el valor de reposo de D_0 y D_1 es de 1,5 V. Este reducido valor de la tensión de reposo contribuye a disminuir la disipación de potencia en la célula de memoria. Las tensiones en D_0 y D_1 difieren de 1,5 V sólo durante los intervalos de lectura o escritura como se verá a continuación.

El funcionamiento de la célula se basa en el empleo de los transistores de emisores múltiples a manera de interruptores de corriente. Los niveles de tensión se eligen de forma que $Q1$ y $Q2$ no conduzcan nunca simultáneamente. Así, $Q1$ se emplea para leer (o escribir) un 1 y $Q2$ para leer (o escribir) un 0. La operación de leer o escribir se gobierna conmutando la corriente en el BJT que conduce desde la línea de fila (X) a la línea de datos adecuada (D_0 o D_1).

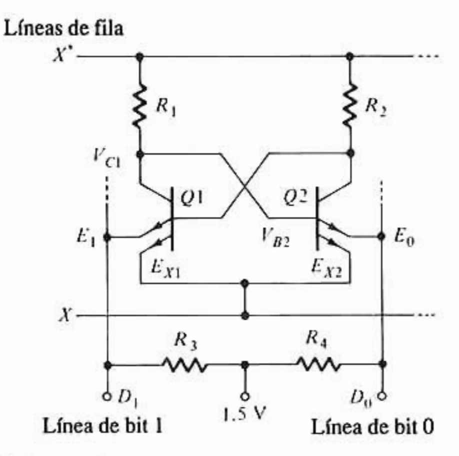


Figura 9-20. Célula de memoria acoplada en emisor.

Para escribir un 1, X y X^* se sitúan en $V(1)$ y $D_1 = V(0)$. De esta forma el emisor E_1 de $Q1$ está con polarización directa y circula corriente por $Q1$. La tensión $V_{C1} = V_{B2}$ decrece y siendo $D_0 = 1{,}5$ V y $X = V(1)$ ambas uniones de emisor de $Q2$ tienen polarización inversa y por tanto está cortado. Cuando las tensiones vuelven a su nivel de reposo $X = V(0)$ y $D_0 = D_1 = 1{,}5$V, $Q1$ sigue conduciendo ya que E_{X1} tiene polarización directa. La corriente de base para $Q1$ la recibe en cuantía suficiente a través de R_2. Si bien el emisor E_{X2} de $Q2$ está bajo, $X^* = V(0)$ hace que $V_{C1} = V_{B2}$ decrezca desde su valor cuando $X^* = V(1)$ y el menor valor de V_{B2} elimina virtualmente cualquier corriente de base en $Q2$. Por tanto es razonable admitir que $Q2$ está cortado. Se almacena un 1 en la célula porque $Q1$ conduce y existe un paso de corriente en la línea X (a través de E_{X1}).

Con $D_1 = V(1)$ la lectura del 1 almacenado se consigue haciendo X y $X^* = V(1)$. Esta tensión polariza inversamente los emisores E_{X1} y E_{X2}. Puesto que $X^* = V(1)$ hace circular suficiente corriente de base a través de R_2 para polarizar en directo la unión E_1, $Q1$ sigue conduciendo. El camino de la corriente se conmuta a la línea D_1 y retorna a tierra por R_3 y la alimentación de 1,5 V. La tensión en D_1 crece a causa de la caída de tensión en R_3 y direccionando esta mayor tensión se indica la presencia de un 1.

Para escribir un 0, $X = V(1)$ y $D_0 = V(0)$. Las condiciones existentes en E_1 y E_0 son inversas de las encontradas para escribir un 1. El funcionamiento del circuito es el mismo salvo que el que conduce es $Q2$ con el paso de corriente a través de E_{X2} durante el reposo. El 0 almacenado se puede leer de la memoria haciendo X y $X^* = V(1)$ manteniéndose D_0 y D_1 a 1,5V. Por analogía, el 0 es direccionado por el aumento de la caída de tensión en R_4 debida a la conmutación de la corriente hacia la línea D_0.

El circuito de la Fig 9-21 es una segunda célula de memoria BJT generalmente usada cuando el proceso bipolar empleado permite construir los diodos Schottky $SD1$ y $SD2$. Este circuito es una célula acoplada por diodo ya que las líneas de datos están conectadas a $Q1$ y $Q2$ a través de los diodos Schottky. Las tensiones de reposo normales para las líneas de fila y de dato son de 2,5 y 1,5 V respectivamente. Durante los intervalos de escritura la tensión es de 2,5 V. La lectura de un bit almacenado está dirigida por la disminución de las tensiones en las líneas de datos. El funcionamiento de la célula de memoria es similar al del circuito de emisor acoplado de la Fig. 9-20. La conducción en $Q1$ y $Q2$ determina si se almacena un 1 o un 0 y conmutando la corriente en el BJT conductor de una línea de fila a, o desde, una línea de datos, se puede leer un 0 o un 1 de la memoria.

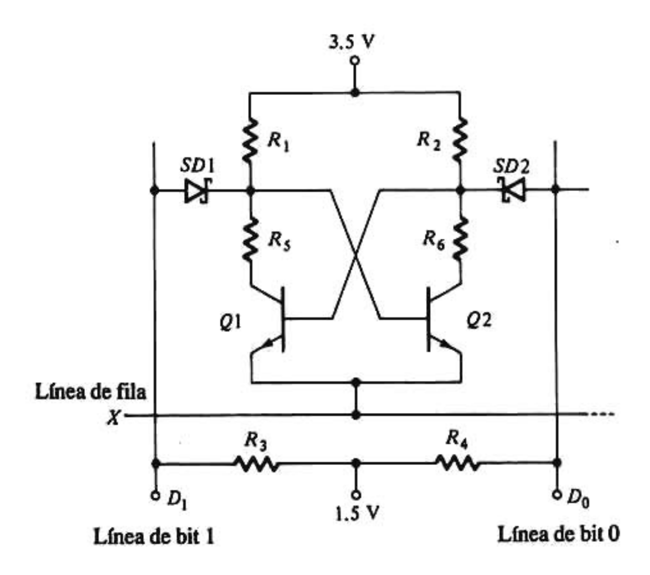


Figura 9-21. Célula de memoria bipolar acoplada por diodo.

9-7. DISPOSITIVOS ACOPLADOS EN CARGA (CCD)

Un MOSFET diseñado con un canal extraordinariamente largo y con muchos (≈ 1000) electrodos (puertas) estrechamente espaciadas entre fuente y drenaje puede funcionar como memoria en serie o como registrador de desplazamiento. Cada electrodo de puerta forma con el sustrato un condensador MOS (Sec. 5-9) que puede almacenar carga. Por ejemplo, si se aplica una lógica 1 a la fuente, una carga será almacenada por el condensador más próximo a la fuente, supuesto que se aplique una tensión adecuada a la primera puerta E_1. Si se elimina de E_1 esta tensión y al mismo tiempo se aplica a E_2 aquella carga se desplazará a E_2. Repitiendo este proceso la carga se transfiere de condensador en condensador, por lo que a esta configuración se le denomina *dispositivo acoplado en carga* (CCD).

Con estos dispositivos se pueden construir registradores de desplazamiento y memorias en serie de gran densidad. Teniendo las memorias en serie un uso más limitado que las RAM, los CCD no se emplean mucho como elementos de memoria en sistemas digitales. Sin embargo, se encuentran en el procesado de imágenes y en sistemas de procesado de señales en los que su gran densidad en serie puede ser una condición valiosa. Como el procesado de imágenes y de señales digitales abarca una zona importante del control moderno (especialmente en robótica) y de la tecnología de las comunicaciones, en esta sección y en la siguiente haremos una breve introducción a las estructruas CCD.

Funcionamiento básico del CCD

Para comprender mejor el funcionamiento del dispositivo descrito en el párrafo anterior consideremos un sustrato de tipo p recubierto de una fina capa de óxido sobre la que se ha depositado una serie de electrodos metálicos muy estrechamente espaciados, de los cuales se representan cinco en la Fig. 9-22. Para facilitar la explicación supongamos que la tensión umbral es cero y que no hay electrones presentes. Consideremos la situación (Fig. 9-22) cuando la tensión en la puerta 3 es $+V$ y todos los demás electrodos están a tierra. Esta tensión positiva repele los huecos del sustrato debajo de E_3 que se desplazan hacia abajo separándose del SiO_2. En consecuencia quedan expuestos iones negativos inmóviles formándose una región de deplexión debajo de E_3. Las líneas del campo eléctrico se extienden desde el electrodo cargado positivamente, y a través del dieléctrico hasta la región de deplexión y a las cargas inmóviles negativas. El perfil de potencial (la variación de tensión en función de la distancia paralelamente a la superficie del óxido) es el representado en la Fig. 9-22, que a su vez representa también la barrera de energía potencial («depósito») de los electrones, que son los portadores minoritarios. Si en la región debajo de E_3 se introduce un grupo de electrones, estas cargas se pueden mover libremente en el depósito, pero no cruzar su pared de energía potencial (Sec. 1-2). En otras palabras, mientras exista la tensión +V las cargas negativas no pueden escapar quedando retenidas debajo de E_3 cerca de la superficie del canal.

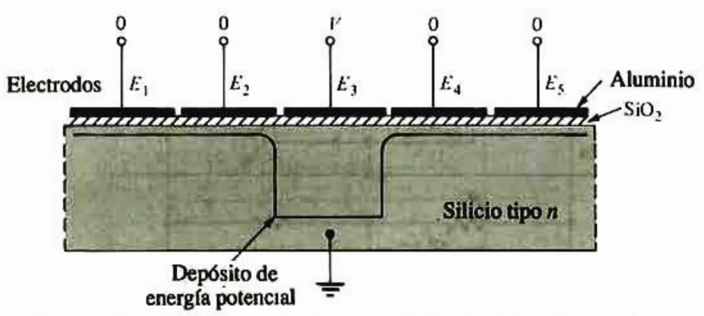


Figura 9-22. La más simple estructura de un CCD de canal n (sustrato p). El «depósito» de energía potencial se forma debajo de la puerta 3 si este electrodo está con tensión positiva y todos los demás a la tensión del sustrato (tierra).

Consideremos ahora cómo la carga almacenada se desplaza de izquierda a derecha bajo el canal, desplazándose los bit binarios a lo largo de este registrador de desplazamiento. Veamos la estructura de la Fig. 9-23*a* consistente en 10 placas, estando unidos entre sí cada tres electrodos. Si en el momento $t = t_1$ las tensiones son $\Phi_1 = +V$, $\Phi_2 = \Phi_3 = 0$, entonces tal como indica la Fig. 9-23*b* se formarán depósitos de energía potencial, como en la Fig. 9-22, debajo de los electrodos 1, 4, 7 y 10. Los signos menos indican esquemáticamente que la carga se almacena cerca de la superficie debajo de E_1, E_7 y E_{10} pero no debajo de E_4 lo que indica que se ha entrado la información digital 1011 en el CCD. En el instante $t = t_2$ la tensión Φ_2 pasa a $+V$ pero Φ_1 y Φ_2 mantienen su valor anterior. El perfil de potencial queda alterado como en la Fig. 9-23*c*. La carga almacenada queda ahora compartida entre dos electrodos adyacentes debido a la difusión de los electrones del depósito original al nuevo que se ha formado.

Poco después de haberse establecido la situación de la Fig. 9-23*c*, $|\Phi_1|$ empieza a menguar, y en el momento $t = t_3$, $\Phi_1 = +V/2$ mientras que Φ_2 y Φ_3 no varían. El perfil de potencia en t_3 es el de la fig 9-23*d*. El campo eléctrico deformado por las diferencias de tensión entre Φ_1 y Φ_2 desplaza los electrones al depósito más profundo. Finalmente, cuando $t = t_4$ y $\Phi_1 = 0$, $\Phi_2 = +V$, y $\Phi_3 = 0$, el perfil de potencial será el de la Fig. 9-23*e*. Como resultado de estos cambios secuenciales de tensión la disposición inicial de carga almacenada (1011) se ha desplazado un electrodo hacia la derecha como se ve claramente comparando las Fig. 9-23*b* y 9-23*e*.

La secuencia descrita representa una transferencia de un electrodo al siguiente del registrador de desplazamiento CCD. Ya que se necesitan tres tensiones se necesitarán también relojes de tres fases. Las ondas Φ_1, Φ_2 y Φ_3 necesarias para concordar con los perfiles de la Fig. 9-23 vienen dadas en la Fig. 9-24,

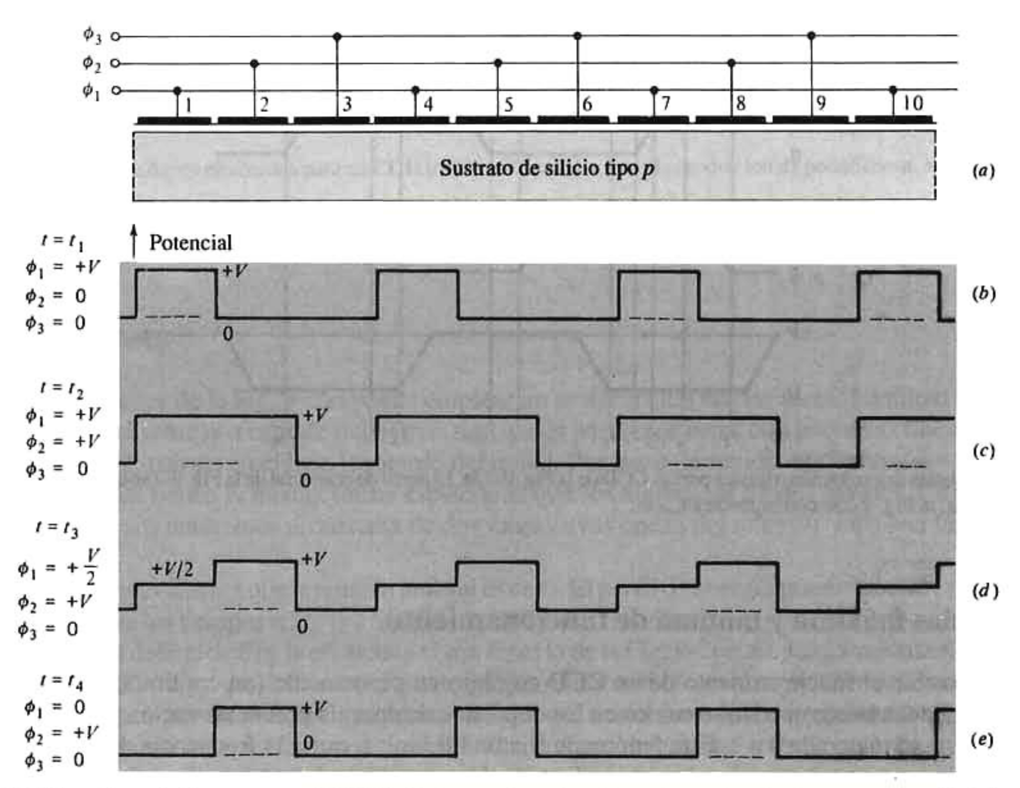


Figura 9-23. Transferencia de carga en un CCD (*a*). Cada tres electrodos alternados están a la misma tensión, aplicándoseles las tensiones trifásicas $Ø_1$, $Ø_2$ y $Ø_3$ (Fig. 9-24). (*b* a *e*) Variaciones del perfil de tensión durante el intervalo de un desplazamiento. La energía potencial para carga negativa es proporcional a la tensión, y por tanto estas curvas representan también los depósitos de energía potencial de los electrones.

en la que también se indican los tiempos t_1, t_2, t_3 y t_4 de la figura anterior. Obsérvese que en t_1 de la Fig. 9-24, $\Phi_1 = +V$, $\Phi_2 = 0$ y $\Phi_3 = 0$ como en la Fig. 9-23; en t_2, $\Phi_1 = +V$, $\Phi_2 = +V$ y $\Phi_3 = 0$ en ambas figuras, etc. La primera transferencia tiene lugar entre t_1 y t_4, la segunda entre t_5 y t_6, la tercera entre t_7 y t_8, la cuarta entre t_9 y t_{10}. Evidentemente en cada ciclo de entrada de periodo T tienen lugar tres desplazamientos. Durante el intervalo entre desplazamientos (por ejemplo entre t_4 y t_5) la tensión del reloj se mantiene constante y el perfil de potencial inalterado.

Electrodos por bit

En la fig 9-23*b* se ve claro que si se sitúa un bit lógico debajo de un electrodo, no se podrá almacenar información alguna bajo los dos electrodos siguientes, o dicho de otra forma, una célula de almacenado consta de tres electrodos, almacenándose en ella un bit. En este CCD el número de *electrodos por bit* es tres ($E/B = 3$). La información se lee a la salida, es decir el electrodo 10, en el que en el instante $t = t_1^-$ existe un 1. Según la Fig. 9-23 se requieren tres desplazamientos antes de que el siguiente bit (el 1 almacenado bajo el electrodo 7) pueda ser detectado. Después de tres transferencias el 0 bajo la puerta 4 aparecerá en la salida. Puesto que durante el periodo T se producen tres desplazamientos, la información deberá ser leída (o escrita) a razón de una por ciclo de la onda de entrada.

En el razonamiento anterior se ha supuesto para simplificar que la tensión umbral V_T es despreciable. En realidad, todos los niveles señalados 0 en la Fig. 9-23 y 9-24 deben estar a una tensión por encima de V_T para que el campo eléctrico penetre en el canal y forme la región de deplexión.

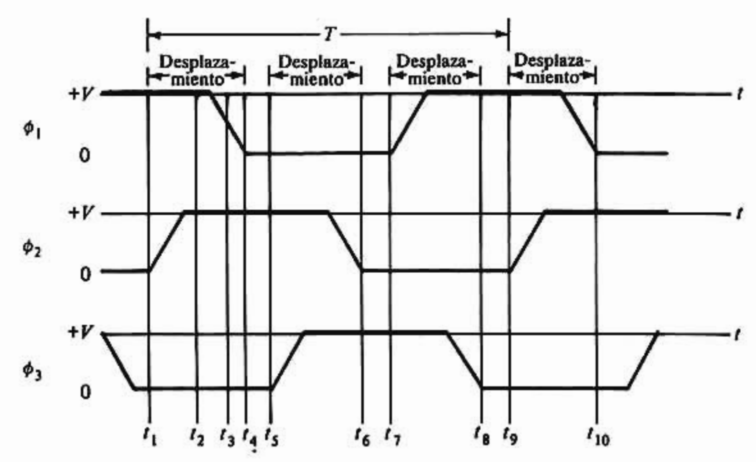


Figura 9-24. Ondas de excitación trifásica para el CCD de la Fig. 9-23a. El perfil de potencial de la Fig. 9-23b corresponde al instante t_1 de esta figura; la Fig. 9-23c corresponde a t_2, etc.

Frecuencias máxima y mínima de funcionamiento

No es posible el funcionamiento de un CCD en régimen permanente (en continua). Los portadores generados térmicamente quedan retenidos en los depósitos de energía potencial vacíos y en su momento cambia el estado lógico de 0 a 1. Este fenómeno fija un límite inferior a la frecuencia del reloj (10kHz a 1 MHz).

La célula CCD no requiere ninguna potencia en reposo ya que sólo disipa potencia al cargar las capacidades efectivas de la célula. En consecuencia, el límite superior de la frecuencia del reloj (de 1 a 30 MHz) se determina por la máxima disipación de potencia posible. Además un aumento de frecuencia

reduce el rendimiento de la transferencia de una célula a la siguiente. Por tanto, la frecuencia máxima debe limitarse al punto en que las pérdidas en la transferencia se hacen inaceptables.

9-8. ESTRUCTURAS CCD

Un CCD no puede formarse a base de componentes discretos ya que se necesita un canal continuo y único para establecer el acoplamiento entre las regiones de deplexión. Las puertas (Fig. 9-23) deben distar muy poco entre sí (≈1μm) para proporcionar este acoplamiento, y esta separación tan pequeña es difícil de realizar prácticamente. Para eludir las dificultades de fabricación se han desarrollado algunas estructuras alternativas con puertas de polisilicio y metálicas. Una de tales estructuras de electrodos de polisilicio está representado en la Fig. 9-25 para un CCD de tres fases de canal *n*. Esta estructura de electrodos planos emplea puertas solapadas de distintos perfiles. Muchos de estos CCD se fabrican dispuestos en filas paralelas entre sí para cubrir la superficie del chip. Con una separación mínima entre filas (de 2 a 3 μm) esta célula de tres electrodos ocupa una pequeña parte de la superficie del chip para cada bit. Las estructuras de electrodos planos (Fig. 9-23 y 9-25) necesitan relojes de tres fases para transferir cargas longitudinalmente en una sola dirección. La construcción de electrodos no planos permite emplear relojes de dos fases que sólo necesitan dos electrodos por bit como veremos seguidamente.

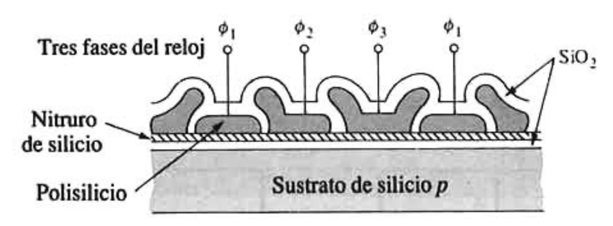


Figura 9-25. Estructura de los electrodos para un CCD trifásico de canal *n*. Los electrodos son de polisilicio-*n*, teniendo cada uno un perfil distinto.

CCD de dos fases

La puerta metálica de la Fig. 9-26*a* puede emplear un temporizado en dos fases. La mitad derecha de cada electrodo está sobre una capa de óxido más fina que la parte izquierda, con lo que las líneas de fuerza penetran más en el sustrato en el lado izquierdo del metal. Por tanto, la región de deplexión y el perfil de la energía potencial tienen la misma forma escalonada que los electrodos de dos niveles. Uniendo entre sí electrodos alternos tendremos un sistema de dos fases cuyas ondas del reloj Φ_1 y Φ_2 son las de la Fig. 9-27.

Supongamos nuevamente que la tensión umbral es cero. El perfil de energía potencial está representado en la Fig. 9-26 para los tiempos t_1, t_2, t_3 y t_4 de la Fig. 9-27. En el instante $t = t_1$, $\Phi_1 = 0$ y $\Phi_2 = V$, de forma que no hay barrera debajo de E_1 y la escalonada bajo E_2 es la de la Fig. 9-26*b*. Supongamos que se almacena una lógica 1 bajo E_2 y E_4 y que indicamos los portadores minoritarios con el signo menos. Es conveniente colocar estos signos *menos* próximos al fondo del depósito aún cuando en realidad los electrones se almacenan próximos a la superficie en la posición longitudinal de mínima energía potencial.

Cuando $t = t_2$, $\Phi_1 = \Phi_2 = V/2$ y el perfil es igual bajo cualquiera de los electrodos como en la fig 9-26*c*. Las flechas en esta gráfica quieren indicar que a medida que el tiempo crece de t_1 a t_2 y a t_3 la tensión crece bajo los electrodos impares y disminuye bajo los pares. Por tanto, en el instante $t = t_3$ se obtiene el perfil escalonado de la Fig. 9-26*d*. Los electrones almacenados bajo el lado derecho de E_2 y E_4 se ven

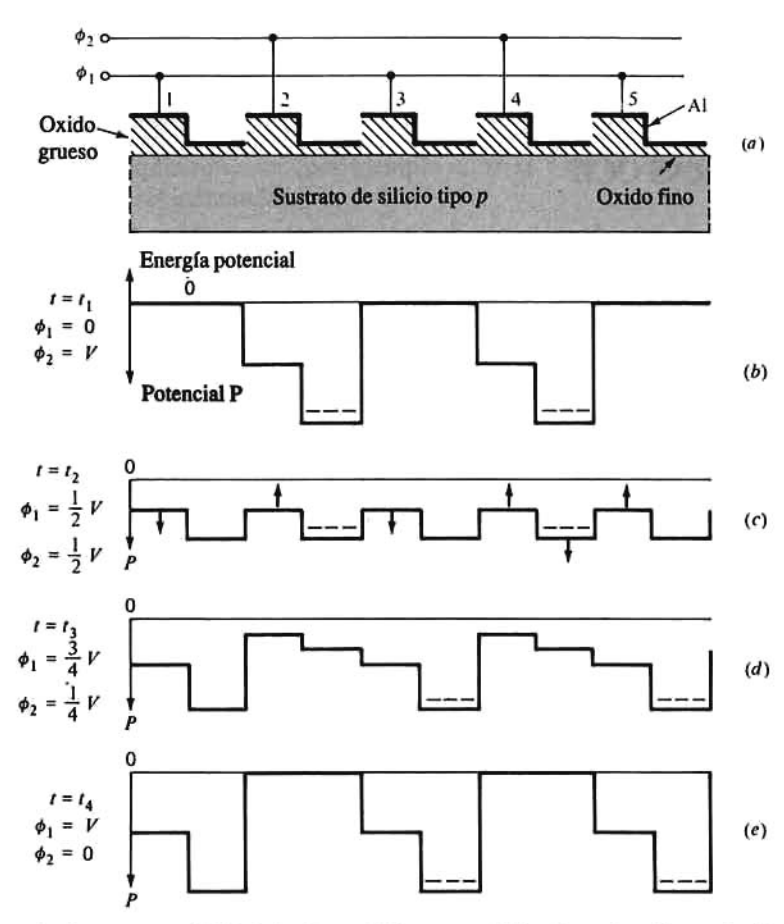


Figura 9-26. Transferencia de carga en un CCD de dos fases. (*a*) Estructura de los electrodos. (*b*) a (*e*) Perfiles de energía potencial correspondientes a los tiempos indicados en la Fig. 9-27.

forzados hacia la menor energía potencial quedando retenidos bajo E_3 y E_5 respectivamente. Finalmente, cuando $t = t_4$ en que $\Phi_1 = V$ y $\Phi_2 = 0$ se tiene el perfil de la Fig. 9-26*e*. En el intervalo t_4- t_1 la información se desplaza un electrodo a la derecha. Entre t_5 y t_6 se produce un segundo desplazamiento. De acuerdo con los razonamientos de la anterior sección, hay dos electrodos por bit ($E/B = 2$). Así pues, la célula de registrador de desplazamiento tiene dos electrodos, y se debe leer (o escribir) la información sólo una vez por periodo del reloj en el intervalo t_5-t_4 o t_7- t_6 llamado intervalo de *entrada-salida* (*I*/0).

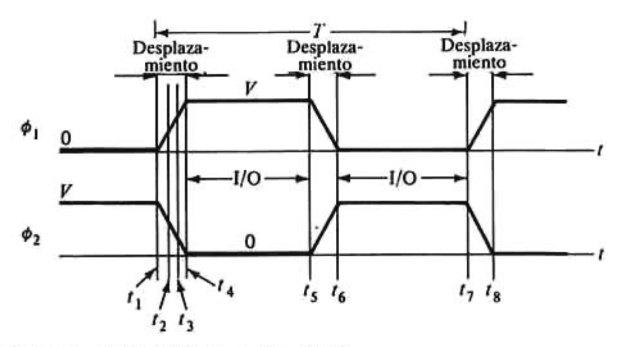


Figura 9-27. Ondas de las dos fases del reloj del CCD de la Fig. 9-26.

La Fig. 9-28*a* corresponde a una excelente disposición de la estructura de los electrodos en un CCD de dos fases. El electrodo de polisilicio E_1 está perfilado como su equivalente metálico de la Fig. 9-26*a* con más espesor de óxido en la izquierda. Los iones de tipo *p* implantados bajo el lado izquierdo de E_2 en el sustrato tipo *p* compensan la tensión bajo este electrodo. Cuando se aplica a E_2 una tensión positiva los huecos son repelidos abandonando la alta concentración de cargas negativas. En consecuencia las líneas de fuerza del lado izquierdo de E_2 terminan en estos iones negativos y no penetran mucho en el sustrato. Por tanto, el perfil de energía potencial está mucho más próximo a la superficie en el lado izquierdo que en el derecho de E_2 como se pretende.

Las ondas Φ_1 y Φ_2 de la Fig. 9-27 esencialmente son ondas cuadradas simétricas que teniendo unos tiempos de subida y bajada no nulos forman un solape de dos fases. Resumiendo, también pueden emplearse los impulsos positivos no solapados del reloj para desplazar la carga almacenada bajo una puerta hasta la siguiente (Prob. 9-18). Esta disposición puede adaptarse al funcionamiento de una sola fase haciendo Φ_1 una tensión constante, empleando un corto impulso positivo Φ_2 y ajustando apropiadamente sus respectivas amplitudes (Prob. 9-20).

También se construyen CCD de cuatro fases en los que la disposición de puerta de polisilicio combina la estructura de puerta planar de la fig 9-25 con la no planar de la Fig. 9-28. Durante un ciclo del reloj tienen lugar dos desplazamientos de datos, necesitándose cuatro electrodos por bit.

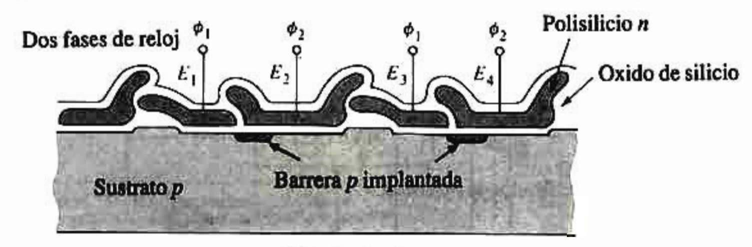


Figura 9-28. Estructura de electrodos solapados de un CCD de dos fases.

Estructuras de entrada y de salida

En la Fig. 9-29*a* se ha añadido una fuente de difusión *S* y una puerta *G* en el extremo de entrada de un registrador CCD. El depósito de potencial debajo del primer electrodo E_1 actúa como drenaje, de forma que *S*, *G*, y E_1 forman un MOSFET. En *S* y en *G* se aplican tensiones con lo que la corriente fluye hasta tanto el depósito quede cargado a la tensión de *S*.

La salida se deduce del drenaje de difusión *D* añadido al extremo de salida del registrador como en la Fig. 9-29 que detecta la corriente de salida. La detección de la tensión y de la carga se consigue construyendo en el mismo chip un amplificador de salida o añadiendo uno exterior.

Organización de una memoria CCD

Los dispositivos de memoria acoplados en carga tienen tiempos de acceso más lentos que el RAM debido a su funcionamiento en serie. Sin embargo, el CCD constituye un excelente medio para reponer memorias para un terminal CRT y es un sustituto económico para memorias de registradores de desplazamiento pequeños.

En una memoria CCD la información debe desplazarse hacia la salida antes de poder ser leída. El tiempo de acceso de cada bit en el caso más desfavorable se denomina *tiempo latente*. Para un número dado de bit por chip este tiempo latente depende de la organización del chip. Seguidamente describiremos dos organizaciones, comúnmente utilizadas, llamadas *serpentina y de acceso aleatorio* LARAM.

La serpentina es la más fácil de fabricar de las dos memorias CCD, y está representada en la Fig. 9-30. Es una organización síncrona en la que la información se va desplazando de célula a célula a manera de una larga serpiente (de donde le viene el nombre) en un registrador de desplazamiento recirculante.

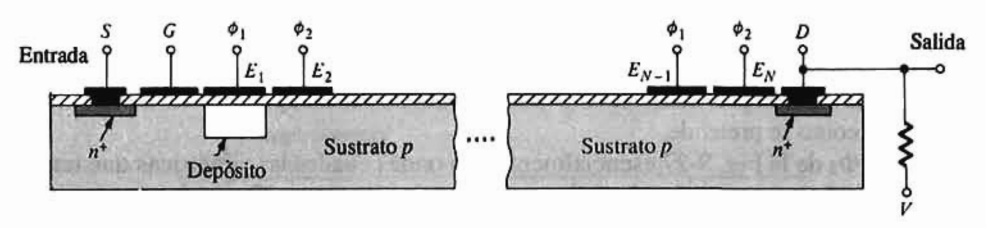


Figura 9-29. Estructuras para: (*a*) inyectar, y (*b*) detectar cargas en un CCD de canal *n*.

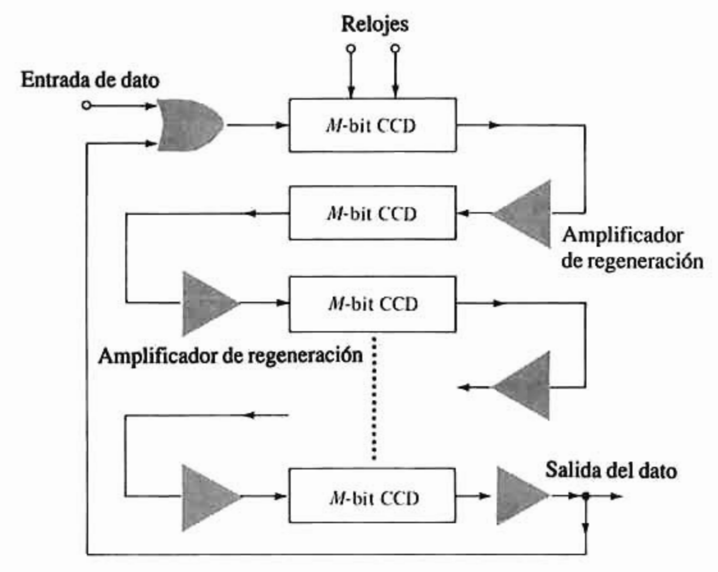


Figura 9-30. Organización en serpentina o síncrona de una memoria CCD. El reloj multifase se aplica simultáneamente a todas las secciones del CCD (entre los amplificadores de regeneración).

El LARAM se diseña para tiempos de acceso cortos y consiste en un cierto número de memorias recirculantes cortas funcionando en paralelo, que comparten las líneas de entrada y de salida. Se emplea un decodificador para excitar aleatoriamente los registradores lo que le da el nombre de *memoria de acceso aleatorio* a esta organización. El 2464 de Intel es un CCD de 64 kb dispuesto como 256 registradores independientes de 256 bit cada uno (Fig. 9-31). Un decodificador de 8 a 256 líneas puede seleccionar aleatoriamente cualquier registrador. Las operaciones *I/O* se llevan a cabo en forma similar a las de un RAM de 256 bit.

9-9. LÓGICA DE INYECCIÓN INTEGRADA

La *lógica de inyección integrada*, o más simplemente I²L, desarrollada simultáneamente en 1972 por los ingenieros de la Phillips Research en Holanda y por Laboratorios IBM en Alemania Occidental es una tecnología de integración a muy gran escala que combina la elevada densidad de componentes del MOS con la mayor velocidad de los BJT. Los avances de la tecnología MOS, tales como la reducción de dimensiones al mínimo, han mermado el empleo del I²L. Sin embargo, se pueden adquirir en el mercado

RAM, microprocesadores, y convertidores A/D y D/A en I^2L. Además, prosiguen investigaciones y el desarrollo de esta tecnología si bien a un nivel inferior, comparado con el de la década de su introducción. Por ello hemos incluido esta sección a fin de introducir los principios básicos de la operación I^2L.

Fusionado de elementos

En la fabricación de bipolares puede aumentarse la densidad de componentes eliminando las resistencias que ocupan superficie y reduciendo notablemente (o suprimiendo) las islas aisladas que separan dispositivos. Una de tales técnicas, que se encuentra también en los BJT de emisores múltiples empleados en las puertas TTL y en las células de almacenamiento de emisor acoplado consiste en fusionar componentes. Es decir, que cuando una región semiconductora es parte de dos o más componentes, se dice que este dispositivo es combinado. Este proceso economiza mucha superficie del chip.

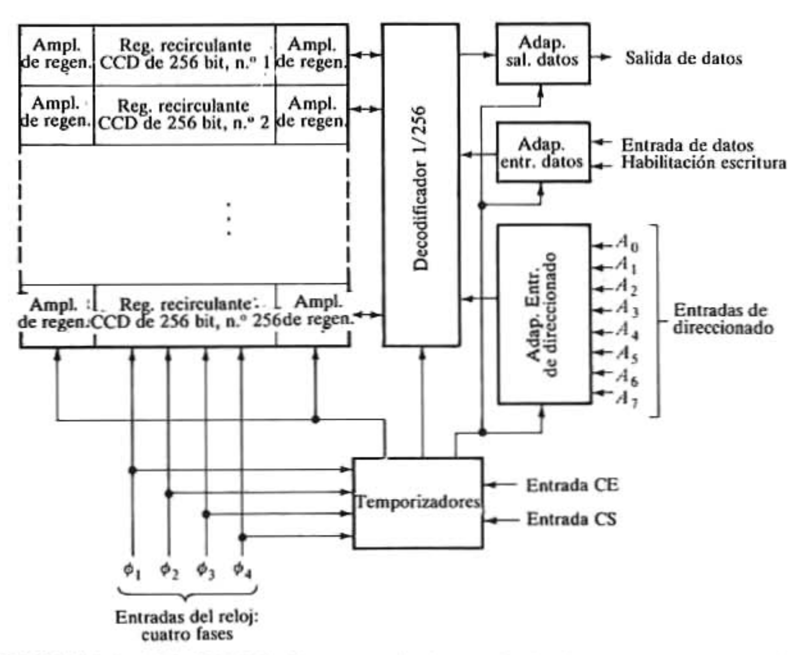


Figura 9-31. Memoria CCD 2464 de Intel, de 65536 bit (64 kb) organizada como 256 registradores de desplazamiento recirculantes de 256 bit cada uno. Los registradores pueden direccionarse aleatoriamente. El reloj de cuatro fases se obtiene de un chip aparte (el 5244 de Intel) (*Cortesía de Intel Corporation*).

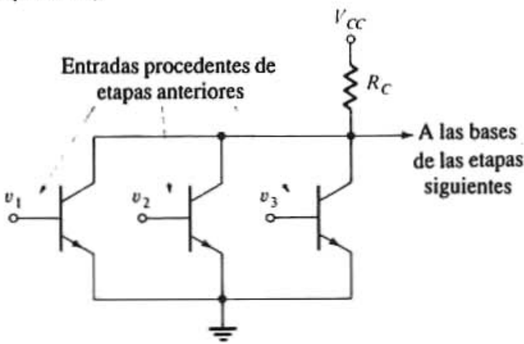


Figura 9-32. Inversores BJT en paralelo.

En la tecnología bipolar normal (Sec. 5-3) si no se emplean islas aisladas, los colectores de todos los BJT estarán en una capa epitaxial tipo *n* única y por tanto a la misma tensión. En la puerta DCTL NOR bipolar (Fig. 9-32) son los emisores de todos los transistores los que están a igual tensión (a tierra). Estos emisores pueden mantenerse a tensión constante si los transmisores de múltiple emisor se fabrican y operan en el modo inverso. O sea, cada región de emisor n^+ pasa a ser un colector y la región de colector normal pasa a ser la de emisor común para el dispositivo fusionado. Esta técnica se emplea para formar los tres colectores y los emisores a tierra de la Fig. 9-32 como se ve en la Fig. 9-33*a*. El sustrato n^+ se usa para mejorar la ganancia de corriente del BJT invertido.

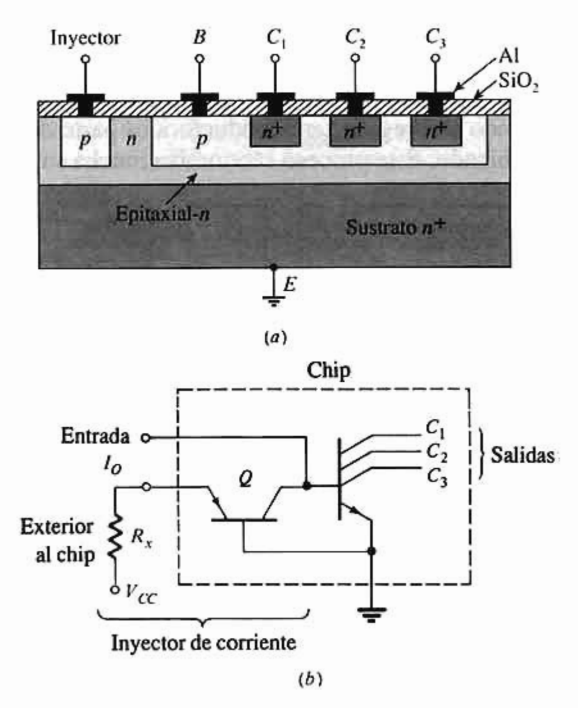


Figura 9-33. (*a*) Sección transversal de un transistor de colector múltiple. Obsérvese que las regiones n^+ que forman un transistor de emisor múltiple se emplean a manera de colectores. (*b*) Configuración del circuito indicando el inyector de corriente *pnp*.

Inyección de corriente

Se puede conseguir una nueva economía de la superficie del chip eliminando de éste R_C (Fig. 9-32). Sustituyendo R_C por una fuente de corriente de resistencia de salida (teóricamente infinita) de valor mucho más alto de lo que se puede fabricar para R_C, se aumenta la ganancia de los inversores de la puerta NOR. Como se indica en la Sec. 6-5 una ganancia alta supone una mejora en el funcionamiento de la puerta. La fuente de corriente o *inyección de corriente* se forma empleando el transistor *pnp* con base a tierra señalado *Q* en la Fig. 9-33*b*. Obsérvese que la *resistencia* R_X *es exterior al chip*. El valor de la corriente, evidentemente es

$$I_O = \frac{V_{CC} - V_{BE}}{R_x} \tag{9-2}$$

La corriente de colector $\alpha_F I_0$ de *Q* es también la corriente de base del transistor multicolector. La implantación de una región *p* adicional en la capa epitaxial *n* forma el transistor *pnp* lateral *Q* para el

inyector. El colector de Q es también la base del BJT multicolector con lo que estas regiones quedan unidas como se ve en la Fig. 9-33*a*.

Hay que resaltar que *todas* las corrientes de inyector provienen de V_{CC} a través de la *única* resistencia R_x, exterior al chip. Normalmente un chip se construye con líneas de difusión largas llamadas vías, cada una de las cuales suministra corriente de base a todos los transistores *npn* adyacentes a ella. La Fig. 9-34 muestra la vista superior de una posible disposición de un chip lógico de inyección. Un rectángulo sombreado representa un transistor *npn* cuya base (la entrada del transistor) se indica con un pequeño círculo, y cuyos colectores (las salidas inversoras) se presentan con un pequeño cuadrado. Todas las regiones *p* están sombreadas y todas las *n* se han dejado en blanco. Hemos elegido arbitrariamente el número de colectores en cada transistor multicolector. La posición de los colectores y de los contactos de la base de cada puerta I²L se determina de forma que se simplifiquen las interconexiones entre puertas para cumplir la lógica deseada. El inversor inferior izquierdo de la Fig. 9-34 corresponde a la disposición de electrodos de la Fig. 9-33. El emisor de cada transistor vertical es la región *n* a tierra (no sombreada). La organización de la Fig. 9-34 muestra únicamente ocho inversores, pero naturalmente puede extenderse vertical y horizontalmente en un sistema integrado a muy gran escala.

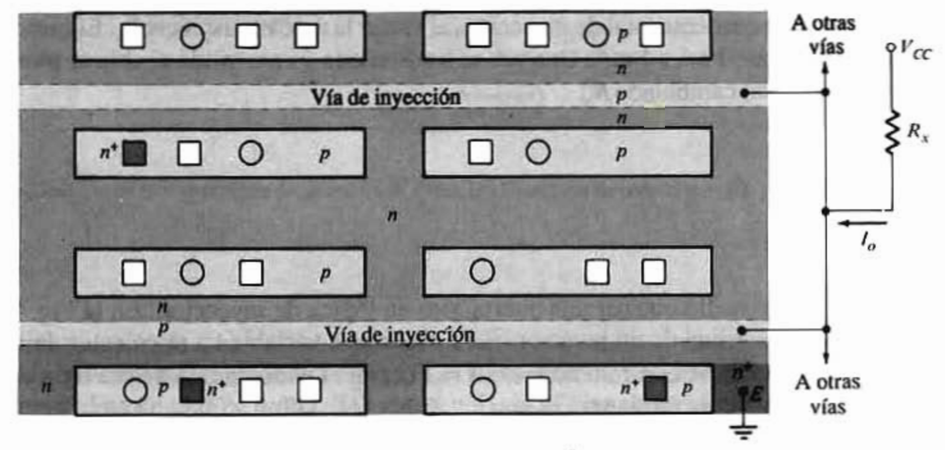


Figura 9-34. Vista superior de un chip integrado con lógica de inyección (I²L). Cada círculo representa una conexión de entrada (base *p*) de un transistor vertical y cada cuadrado una salida (colector *n*).

Con los antecedentes expuestos en el párrafo anterior podremos ahora describir el funcionamiento de las puertas básicas y de los FLIP-FLOP fabricados con tecnología I²L.

Inversor

El inversor $Q1$ de la fig 9-35 está cargado por $Q2$. Cada transistor está polarizado por una corriente de inyección I_i. Al nivel lógico bajo $V_i \approx 0$, $Q1$ está en corte y la señal de entrada V_i actúa como un sumidero

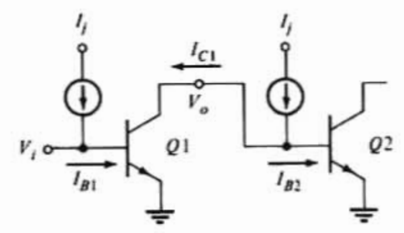


Figura 9-35. Inversor I²L: $Q1$ está directamente acoplado a la etapa siguiente $Q2$.

para I_j de forma que $I_{B1} = 0$ e $I_{C1} = 0$. Por tanto, $I_{B2} = I_j$ y $Q2$ está en conducción, por lo que $V_{BE2} = 0{,}75V = V_{CE1}$. Por otra parte, si la entrada es alta $V_i \approx 0{,}75$ V, la corriente de base I_{B1} crece por sobre I_j y $Q1$ tiende a saturarse. En consecuencia, V_{CE1} cae muy bajo (≈ 0V). Ahora $Q2$ está en corte porque $Q1$ actúa de sumidero para I_j de $Q2$ con lo que $I_{C1} = I_j$ reduciendo I_{B2} a cero. Evidentemente se ha producido una inversión por $Q1$ ya que $V_o = 0{,}75$V para $V_i = 0$, y $V_o = 0$ para $V_i = 0{,}75$V. La variación lógica es de unos 0,75V dependiendo su valor exacto de la corriente de polarización I_j.

Obsérvese que en saturación la corriente de colector es I_j y la de base vale aproximadamente lo mismo. Por tanto para llegar a saturación basta una ganancia de corriente en emisor común β_F de tan sólo la unidad. Un transistor trabajando en inverso tiene un valor de β_F mucho menor que normalmente (≈ 100). No obstante, se pueden conseguir fácilmente ganancias de corriente en emisor común mayores que la unidad (entre 2 y 10) para el transistor.

Cuando un inversor pasa de uno a otro estado la tensión de las capacidades del transistor deben variar, provocando un retardo t_{pd} en la propagación. Las corrientes de carga (y de descarga) de estas capacidades las suministra el inyector. Valores grandes de I_j llevan valores pequeños de t_{pd}, pero esto es a expensas de disipar más potencia.

Otra ventaja de la configuración I²L es que puede trabajar dentro de una amplia gama de velocidades variando simplemente la corriente total de inyección, al variar la única resistencia R_X. El campo de trabajo va desde aproximadamente 1 nA a 1 mA. Una vez se ha diseñado y construido el chip se puede ajustar la velocidad al valor deseado cambiando R_X.

Puerta NAND

Es extremadamente sencillo obtener una puerta AND en lógica de inyección. En la Fig. 9-36*a*, Y_1 es una variable lógica en la salida de un inversor I²L, e Y_2 es otra variable en el colector de una segunda puerta I²L. Conectando entre sí Y_1 e Y_2 tendremos $Y = Y_1Y_2$ en el nudo común de esa figura. Si se aplica Y a la entrada de un inversor, la salida será la función NAND Y_1Y_2 como se aprecia en la figura.

Si $A(B)$ es una variable lógica aplicada exteriormente, para tener $A(B)$ en el colector de una puerta I²L se deberán emplear dos inversores en cascada como se indica por las líneas continuas de la Fig. 9-36*b*. De esta forma se obtiene la función NAND $\overline{AB}$.

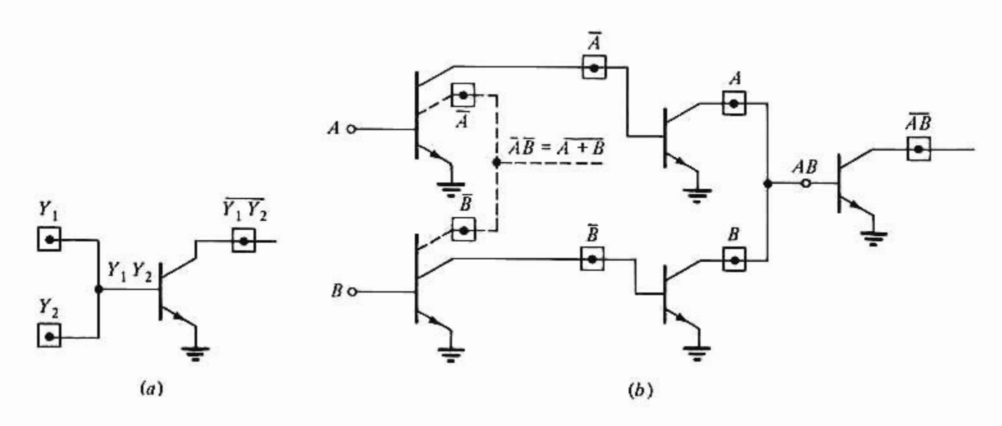


Figura 9-36. (*a*) Puerta NAND utilizando la AND interconectada para lógicas internas variables (colector). (*b*) Puerta NAND para variables lógicas aplicadas externamente (conexiones de trazo continuo). La parte a trazos de este circuito es una puerta NOR. (Para simplificar se han omitido los inyectores.)

Puerta NOR

En el Capítulo 6 se comprobó que todas las funciones lógicas combinativas pueden generarse mediante puertas NAND exclusivamente. Según la ley de Morgan (Sec. 6-3), $\overline{A+B} = \overline{A}\,\overline{B}$ y por tanto se obtiene la función NOR de la puerta AND interconectada con entradas A y B, lo que queda representado por las líneas de trazos de la Fig. 9-36*b*. Obsérvese que los dos transistores de entrada tienen cada uno de ellos dos colectores mientras que los otros tres inversores tienen uno solo.

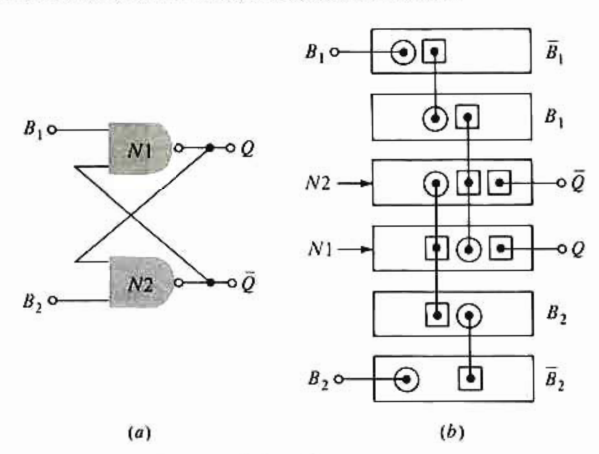


Figura 9-37. (*a*) **Biestable de fijación (célula de memoria de 1 bit).** (*b*) **Diagrama de conexiones I^2L para este FLIP-FLOP.**

FLIP-FLOP

Los circuitos secuenciales tales como los registradores y contadores vistos en el Cap. 8 se basan en FLIP-FLOPS que se forman fácilmente con puertas I^2L. La célula de almacenamiento de 1 bit o biestable de la Fig. 8- 1*b* se reproduce en la Fig. 9-37*a*, mientras que el esquema de conexiones resultantes de las reglas anteriores se representa en la Fig. 9-37*b*.

A partir de los circuitos I^2L básicos de las Fig. 9-35 a 9-37 se pueden construir RAM estáticos, memorias en serie (como las descritas anteriormente en este capítulo), y una variedad de circuitos secuenciales y combinatorios.

9-10. MICROPROCESADORES Y MICROCOMPUTADORES

Un *microprocesador* es un sistema de un solo chip conteniendo circuitos aritméticos, lógicos y de gobierno de un sistema de procesado de datos de uso general y de cálculo. Muchos microprocesadores modernos contienen también una reducida memoria o tienen incorporado un circuito de reloj en el mismo chip. Esta combinación de circuitos (sub-sistema) constituye la unidad central de procesado (CPU) del sistema. La organización interna clásica de un microprocesador representada en la Fig. 9-38 muestra los principales subsistemas incorporados.

Los procesadores adquiribles en el mercado pueden tener capacidades de información de 4, 8, 16 y 32 bit. Para construir microprocesadores se emplean todas las tecnologías tratadas en este libro. La tecnología dominante es la MOS con puerta de polisilicio de 2 μm, tanto en NMOS como PMOS.

Para funcionamiento a gran velocidad se emplea una tecnología bipolar tal como la familia TTL ALS. La microfotografía de la Fig 9-39 es la del procesador CMOS de 32 bit con referencia MC68020 de Motorola. Este chip mide aproximadamente 9,5 × 8,9 mm, y contiene más de 200.000 transistores.

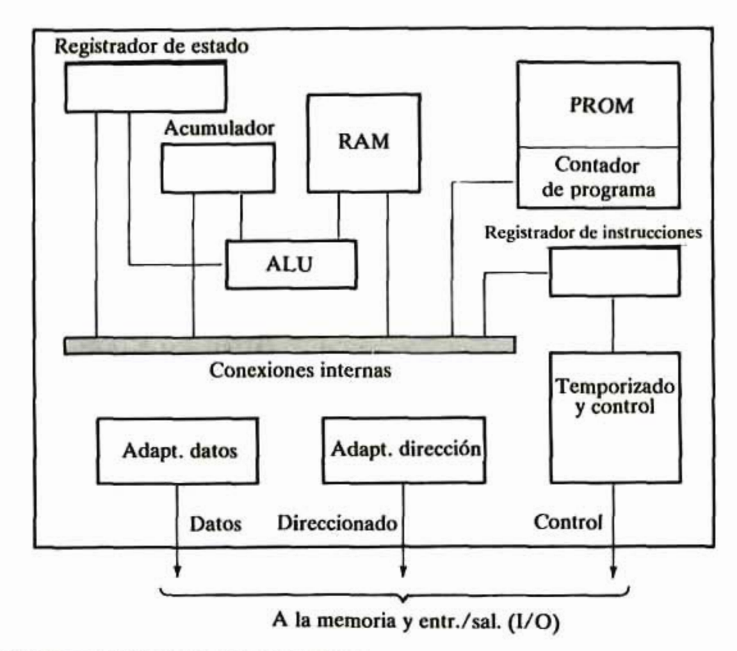


Figura 9-38. Organización interna clásica de un microprocesador.

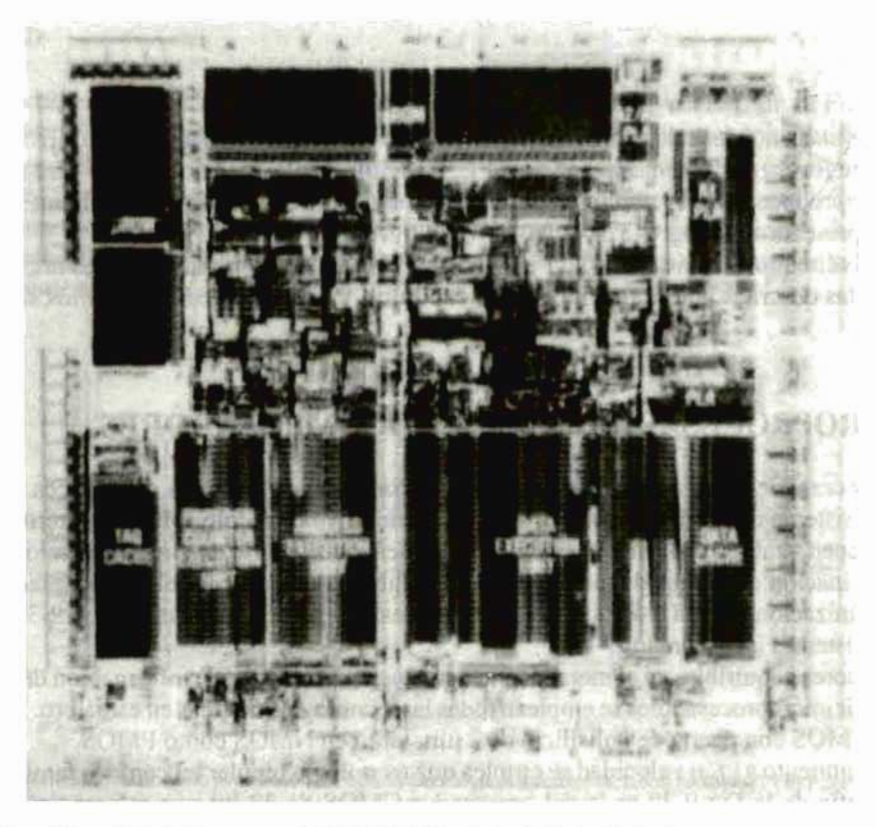


Figura 9-39. Microfotografía del microprocesador MC 68020 (*Cortesía de Motorola Inc.*)

La organización funcional mostrada en la Fig. 9-39 indica que en el chip van incorporadas cierto número de secciones (ROM, PLA, cumplimentación de datos, etc) que son circuitos individuales integrados a muy gran escala. Esta técnica de integración de varios subsistemas en un chip único es la más empleada para diseñar una integración a muy gran escala.

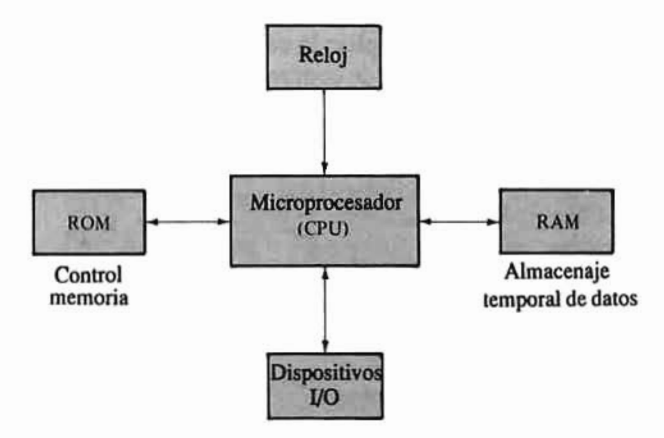


Figura 9-40. Microcomputador obtenido añadiendo a un microprocesador memoria, dispositivos de entrada/salida, y un reloj.

Microcomputadores

Para poder cumplir con todas las tareas asignadas a un computador es necesario añadir a la unidad central CPU una memoria adicional, circuitos de gobierno y adaptadores periféricos para los dispositivos de entrada-salida (I/O). La fig 9-40 representa un diagrama de bloques de tal sistema. En computadores «específicos», es decir, los diseñados para cumplir tareas concretas, como es el caso de los sistemas de inyección electrónica de carburante, se emplea un ROM no volátil para almacenar el programa y las tablas. Si el programa no está completamente definido se emplean PROM, EPROM y EEPROM. El almacenamiento temporal reside en los chips RAM, y en caso de gran volumen de memorias se emplean discos magnéticos (rígidos o flexibles). Los dispositivos de entrada-salida (I/O) comprenden teclados, tubos de rayos catódicos, e impresoras. Los sistemas de comunicaciones o de control basados en los microprocesadores emplean frecuentemente transductores y convertidores de alterna/continua y de continua/alterna que transforman cantidades físicas en señales digitales y viceversa.

Otros sub-sistemas de control y de procesado se diseñan para actuar conjuntamente con el CPU (no representado en la fig 9-40) comprendiendo coprocesadores y chips de manipulación de memorias. Los coprocesadores tales como el MC68881 de Motorola, diseñado para trabajar con el MC68020 amplían la capacidad de cálculo del CPU. El acceso directo a la memoria lo facilita la manipulación de la misma, lo que permite la transmisión eficaz de información a (o desde) el RAM desde (o a) los discos magnéticos. El número de chips auxiliares circundando el procesador puede llegar a ser de unos 100, estando montados todos los chips sobre circuitos impresos (PC) de tamaño no mayor que esta página. El número de transistores equivalente en este montaje frecuentemente supera el millón.

Microcomputador de un chip

La integración con el CPU de los circuitos de control, temporización, memoria ROM y RAM, acceso I/O y periféricos forman un microcomputador en un chip único. El MC68HC11, cuya microfotografía es

la de la Fig. 9-41, es uno de tales chips. Contiene más de 100.000 transistores en un volumen de 6,5 × 7,4 mm y comprende un CPU, temporización, I/O, memoria (RAM, ROM, EEPROM) y convertidor alterna/continua. La Fig. 9-41 muestra también el espacio relativo necesario para los tres tipos de memoria. Empezando por el fondo del chip, la primera franja contiene 512 bit del EEPROM. Los 8192 del ROM forman la segunda franja, y la tercera la forman los 256 del RAM. El microcomputador de un chip puede aumentarse mediante otros chips, tanto para ampliar la capacidad de memoria como para establecer la relación con una variedad de I/O y de elementos de comunicación.

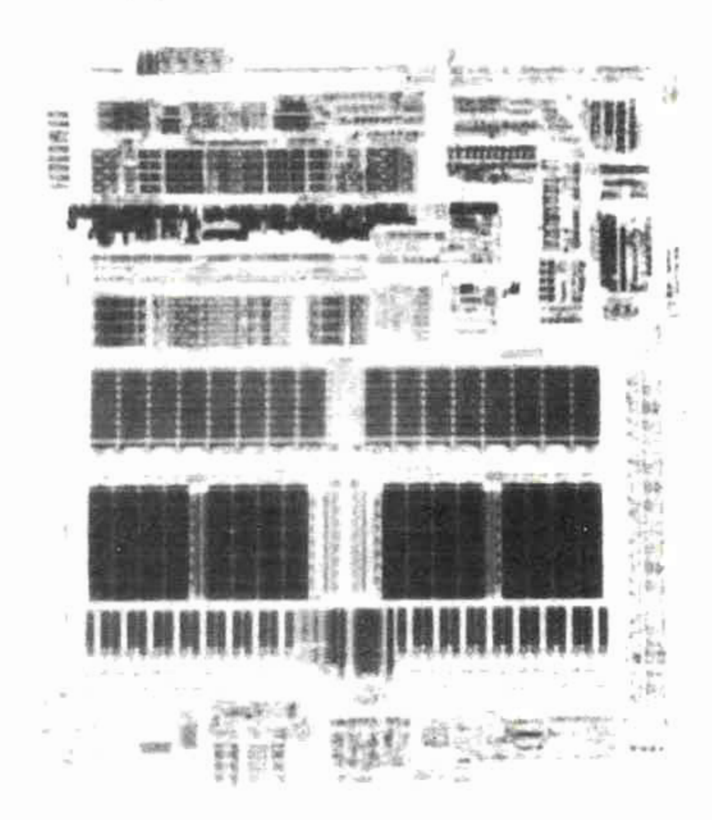


Figura 9-41. Microfotografía del MC68HC11, microcomputador en un solo chip (*Cortesía de Motorola Inc.*)

Aplicaciones

Un estudio detallado de las aplicaciones de los microprocesadores sobrepasaría los objetivos de este libro. Ciertamente, muchos departamentos de ingeniería eléctrica y de computadores ofrecen (y a veces solicitan) cursos de diseño digital, arquitectura de computadores, y diseño basado en los microprocesadores, en los que se trata de sus aplicaciones. La siguiente lista abarca el campo en el que se aplican microprocesadores.

En el procesado de señales digitales intervienen los microprocesadores. Los procesadores programables en un solo chip, como el TMS32010 de Texas Instruments, son capaces de ejecutar las funciones en tiempo real del análisis espectral, filtrado digital, comprensión hablada, forma de datos y síntesis musical.

Estas variadas aplicaciones ya señalan que el microprocesador se ha convertido en el principal componente en los sistemas electrónicos. Su naturaleza programable le da flexibilidad suficiente para

preparar diversas funciones con los mismos elementos. En realidad su campo de aplicaciones no tiene más límite que la imaginación de quienes los usan.

Consumidores electrónicos
Calculadoras
Relojes digitales
Juegos de video
Instrumentos de control
Sistemas de entretenimiento doméstico
Sistemas de seguridad doméstica
Gestión de la energía doméstica.
Comercio e Industria
Control de máquinas y procesos
Control de tráfico
Navegación
Sistema de aterrizaje automático
Inyección electrónica de carburante
Control de emisores (polución)
Comunicación de datos.

Instrumentación
Equipos de auto-calibrado
Equipos de gobierno de radiaciones
Sistemas de análisis de laboratorio
Registradores de datos
Aparatos para diagnósticos
Instrumentos médicos
Sistemas de seguridad y detección de incendios.
Oficinas y negocios
Terminales de las redes de calculadoras
Equipos automáticos de bancos
Terminales en puntos de venta
Terminales de las reservas
Terminales de control de almacenes e inventario
Máquinas copiadoras.

REFERENCIAS

1 Hodges, D.A. (ed.): "Semiconductor Memories", *IEEE Press*, Nueva York, 1972.

2 Elmasry, M.I. (ed.): "Digital MOS Integrated Circuits", *IEEE Press*, Nueva York, 1981.

3 Hodges, D.A.: Microelectronic Memories, *Scientific American*, vol. 237, nº 3, pp. 130-145, Septiembre, 1977.

4 *IEEE Journal of Solid-State Circuits*, edición especial anual sobre lógica de los semiconductores y memoria, Octubre 1970 hasta el presente.

5 *Digest of Technical Papers*, International Solid-State Circuits Conference, anuario de 1954 hasta el presente.

6 Hodges, D.A., y H.G. Jackson: "Analysis and Design of Digital Integrated Circuits", McGraw-Hill Book Company, Nueva York, 1983.

7 Mead, C., y L. Conway: "Introduction to VLSI Systems", Addison-Wesley Publishing Company, Reading, Mass., 1980.

8 J.E. Smith (ed.): "Integrated Injection Logic", *IEEE Press*, Nueva York, 1980.

9 *IEEE Transactions Electron Devices*, vol. ED-23, nº 2. Edición especial sobre dispositivos de carga y transferencia, Febrero, 1976.

TEMAS DE REPASO

9-1. (*a*) Dibujar el circuito de un inversor MOS dinámico de una sola fase.
(*b*) Explicar su funcionamiento.

9-2 Cítense tres cualidades importantes de un MOSFET en un inversor dinámico.

9-3. Explíquese qué se entiende por *inversor de relación*.

9-4. (*a*) Dibujar el circuito de una etapa de un registrador de desplazamiento NMOS dinámico de relación, de dos fases.
(*b*) Dibujar las ondas del reloj.
(*c*) Explíquese el funcionamiento del circuito.

9-5. (*a*) Dibujar el diagrama de bloques de un registrador de desplazamiento recirculante.
(*b*) Explíquese su funcionamiento incluyendo la forma de escribir y de leer no destructivamente.

9-6. Explíquese cómo obtener una memoria en serie capaz de almacenar 512 informaciones de 8 bit cada una.

9-7. (*a*) Esbozar el circuito de un inversor MOS de no relación.
Explicar su funcionamiento si: (*b*) $V_i = 0$ y (*c*) si $V_i = V_{DD}$.

9-8. Repetir el tema 9-5 para una etapa de registrador de desplazamiento de no relación.

9-9. (*a*) Dibujar una etapa de un registrador CMOS dinámico.
(*b*) Explicar brevemente su funcionamiento.

9-10. (*a*) Dibujar el circuito de una puerta AOI de lógica domino.
(*b*) ¿Cómo se puede convertir en una puerta AND- OR?

9-11. (*a*) ¿Cuál es la principal ventaja de la lógica CMOS domino?
(*b*) Explíquese.

9-12. Esbozar las ondas de un reloj de dos fases con solape y sin él.

9-13 (*a*) Citar cuatro ventajas de las memorias de acceso aleatorio semiconductoras sobre las de núcleo.
(*b*) ¿Qué ventajas tiene la memoria de núcleo sobre la RAM?

9-14. (*a*) Dibújese el diagrama de bloques de una memoria de lectura-escritura de 1 bit.
(*b*) Explicar su funcionamiento.

9-15. Explicar la selección lineal en una memoria de acceso aleatorio (RAM).

9-16. Repetir el tema 9-15 para un direccionado bidimensional.

9-17. (*a*) Dibújense en forma de diagrama de bloques los elementos básicos de un RAM con direccionado bidimensional empleado para almacenar cuatro informaciones de 1 bit.
(*b*) ¿Cómo se amplía este sistema para informaciones de 3 bit?
(*c*) ¿Cómo se amplía este sistema para 25 informaciones de 3 bit cada una?

9-18. ¿Cómo se amplía la memoria de un RAM de 1024×1 hasta uno de 4096×1?

9-19. Explicar cómo se amplía un RAM de 1024×1 hasta uno de 1024×16.

9-20. (*a*) Esbozar el circuito de una célula RAM estática de 6 MOSFET.
(*b*) Explicar brevemente su funcionamiento.

9-21. ¿Cuántos transistores se evitan al pasar de una célula estática RAM de 6-MOSFET a una dinámica de 4-MOSFET en un RAM de 64 kb? Explíquese.

9-22. (*a*) Dibujar una célula dinámica RAM de 4-MOSFET.
(*b*) ¿Por qué se necesita un circuito adicional para renovar los datos almacenados en la célula?

9-23. (*a*) Mostrar cómo se sitúa la célula de 4-MOSFET del tema 9-22 en un RAM.
(*b*) ¿Qué dispositivos están relacionados con una columna dada?
(*c*) Explicar la función que desempeña cada MOSFET.

9-24. Dibujar una célula de memoria dinámica de 1-MOSFET y explicar brevemente su funcionamiento.

9-25. Mostrar la organización de un DRAM de 64 kb.

9-26. ¿Cuántos transistores se evitan al pasar de una célula de 4-MOS a una célula dinámica de 1 MOSFET en un DRAM de 256 kb?

9-27. (*a*) Esbozar el diagrama del circuito de una célula RAM de emisor acoplado.
(*b*) Explicar su funcionamiento.

9-28. ¿Por qué la célula RAM bipolar normalmente necesita dos pasos de decodificación?

9-29. Cítense cinco características importantes del RAM.

9-30. (*a*) Explicar cómo se forma un depósito de energía potencial bajo un electrodo de un CCD.
(*b*) Si el sustrato es de tipo *p* ¿son los electrones o los huecos los que quedan capturados en el depósito?

9-31. Consideremos un CCD con electrodos planos y excitación de tres fases:
(*a*) ¿Cuántos desplazamientos de carga ocurren en un ciclo?
(*b*) ¿Qué se entiende por electrodos por bit?
(*c*) ¿Cuál es el valor de E/B en este CCD?

9-32. Qué es lo que determina: (*a*) la frecuencia mínima de funcionamiento de un CCD, y (*b*) la frecuencia máxima.

9-33. (*a*) Esbozar esquemáticamente la forma de los electrodos en una memoria de dos fases acoplada en carga.

(*b*) Dibujar las ondas de excitación.
(*c*) ¿Cuántos desplazamientos de cargas hay en un ciclo?

9-34. Explicar cómo se introduce la información en el registrador para la memoria CCD del tema anterior.

9-35. Describir la organización en serpentina de una memoria CCD.

9-36. Repetir el tema anterior para la organización LARAM.

9-37. Dar cinco razones de por qué en la integración a pequeña escala el MOSFET domina sobre el BJT.

9-38. Definir el fusionado de elementos.

9-39. (*a*) Explicar por qué en DCTL no se necesita resistencia de colector y por qué puede sustituirse por una fuente de corriente.
(*b*) Indicar tal inyector de corriente.
(*c*) ¿Qué elementos del inyector son exteriores al chip?

9-40. (*a*) Dibujar la sección transversal de un inversor I^2L, incluida la fuente de corriente.
(*b*) Mostrar el modelo de circuito de una unidad I^2L.

9-41. Explicar el funcionamiento de un inversor I^2L.

9-42. (*a*) A y B son accesibles en los colectores de dos inversores I^2L.
Mostrar cómo se obtiene la función NAND $\overline{AB}$.
(*b*) Repetir el apartado anterior si A y B se aplican exteriormente.

9-43 Mostrar cómo se consigue la función NOR $\overline{A + B}$ con I^2L.

9-44. Mostrar el esquema de conexiones de un biestable con I^2L.

9-45. ¿Qué funciones se necesitan en un chip microprocesador?

9-46. ¿En qué difiere un microcomputador de un microprocesador?

TERCERA PARTE

Circuitos y sistemas amplificadores

La electrónica moderna se apoya en la disponibilidad de dispositivos fiables para la amplificación de señales. Sin ellos se puede decir que casi todos los sistemas de comunicaciones, control, instrumentación y cálculo serían impracticables. En las Sec. 3-1 y 4-1 se demostró que la fuente gobernada es un elemento amplificador. Además en esos mismos capítulos vimos que tanto el BJT como el FET se comportan como fuentes gobernadas cuando se polarizan apropiadamente. En esta parte del texto examinaremos cómo se utilizan transistores en etapas amplificadoras y a su vez cómo se interconectan tales etapas en sistemas de amplificación. Cuando se dan características de fuente gobernada los transistores responden linealmente. En consecuencia el análisis de circuitos amplificadores conduce por sí mismo a emplear modelos incrementales de pequeña señal (Sec. 3-10 y 4-14).

Los dos primeros capítulos de esta parte tratan del comportamiento de las configuraciones básicas del amplificador de transistores. En el capítulo 10 nos referiremos especialmente al funcionamiento del circuito a baja frecuencia y al proceso de polarización. La respuesta en frecuencia y las limitaciones en el comportamiento de estos circuitos básicos será tratado en el capítulo 11. El importantísimo tema de las realimentaciones y su empleo en el gobierno del comportamiento del circuito será el objeto del capítulo 12 mientras que la estabilidad y la respuesta en frecuencia lo será del 13. El objetivo del Cap. 14, en el que se describe detalladamente el amplificador operacional, (el circuito integrado analógico predominante IC) es doble: (1) este sistema amplificador en un chip es un componente esencial en circuitos de procesado de señales y de adquisición de datos; esto servirá de introducción a la cuarta parte, y (2) se resaltan las técnicas de diseño de amplificadores y el material de los cuatro capítulos anteriores se integra por el estudio del amplificador operacional.

10

Etapas amplificadoras básicas a baja frecuencia

En los capítulos 3 y 4 se describieron el funcionamiento físico, las características volt-amperio y el comportamiento como elementos del circuito de los transistores bipolares de efecto campo (FET). Ahora utilizaremos estos conocimientos para analizar el comportamiento de las etapas amplificadoras básicas BJT y FET.

En la Sec. 3-3 se demostró que un BJT actúa como fuente gobernada cuando está polarizado en la región directa activa. Análogamente, un FET funciona como fuente gobernada cuando está polarizado en la región de saturación (Sec. 4-2). En las Sec. 3-9 y 4-13 se vio que se pueden usar los transistores como amplificadores cuando estén adecuadamente polarizados. Los transistores se polarizan en su región adecuada mediante la aplicación externa de tensiones y corrientes continuas. Es decir, esta fuente constante (en el tiempo) establece un punto de trabajo. Las señales de entrada variables (por ejemplo, la corriente de base y la tensión puerta-fuente) se superponen a los valores de reposo para dar una señal de salida variable con el tiempo (corriente de colector, tensión de drenaje, etc). Lo que se pretende amplificar es la señal variable de entrada; la excitación constante ya establece la polarización apropiada. En los Cap. 3 y 4 vimos que para determinar los niveles de reposo se empleaban métodos gráficos y modelos en continua. Además, el circuito equivalente de pequeña señal constituía una representación adecuada del transistor que nos permitía obtener la señal de salida gobernada por la de entrada variable. El empleo del modelo de pequeña señal se basa en el comportamiento aproximadamente lineal del BJT en su región activa y del FET polarizado a saturación.

Idealmente, la señal de salida de un amplificador debería reproducir fielmente, a nivel más alto de energía, la onda de entrada. Como sea que los dispositivos reales adolecen de limitaciones propias, los circuitos de que forman parte no pueden responder como ideales. El campo de amplitudes de entrada que pueden ser procesadas eficazmente (llamado campo dinámico) es restringido. Una consecuencia de esta limitación es la distorsión, que es el grado en que la salida no se identifica con la entrada (Fig 10-2*b*). No siendo los transistores unas fuentes gobernadas ideales, como resulta evidente de su circuito equivalente, existirán restricciones tanto en la amplificación o ganancia alcanzable como en el campo de frecuencias con las que se puede conseguir la amplificación. Los valores de parámetros usados en el circuito equivalente y el campo dinámico dependen ambos de los niveles de reposo. A su vez, el comportamiento dinámico es un factor para la selección del punto de trabajo. Además la localización del punto de trabajo debe controlarse porque las características del dispositivo varían por las tolerancias de fabricación y por los cambios ambientales como es la temperatura.

El párrafo anterior subraya varios aspectos de los amplificadores de transistores de los que tratamos en este capítulo. La sección inicial está enfocada hacia los métodos para conseguir un punto de trabajo estable tanto en los circuitos integrados como en los formados de componentes discretos. Sigue un estudio detallado de las configuraciones del amplificador BJT básico y de las etapas FET análogas. En este capítulo únicamente trataremos del funcionamiento a baja frecuencia en el que se pueden despreciar las capacidades internas del dispositivo. Los efectos de estas capacidades se investigarán en el Cap. 11.

Muy frecuentemente se disponen varias etapas en cascada para amplificar la señal de una fuente, tal como la cabeza de un toca-discos, hasta un nivel adecuado para la actuación de otro transductor como sería un altavoz. En consecuencia, consideraremos el comportamiento a baja frecuencia de los amplificadores en cascada. También haremos una introducción al amplificador operacional, que es un circuito integrado muy empleado en sistemas amplificadores en cascada.

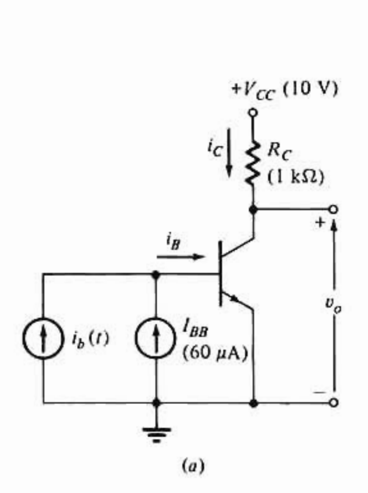
Ya que en un transistor amplificador existen tensiones y corrientes tanto continuas como variables er. el tiempo, en la sección inicial de este capítulo se expondrán las notaciones empleadas para distinguir los diversos componentes.

10-1. ONDAS PARA UNA ENTRADA SENOIDAL

Consideremos la etapa en emisor común representada en la Fig. 10-1*a*, en la que las fuentes I_{BB} y V_{CC} proveen la polarización, siendo la corriente de fuente $i_b(t)$ la señal a amplificar. En la Fig. 10-1*b* se representan dos series de características de colector; la de trazo continuo para $\beta_F = 50$ y la de trazo discontinuo para $\beta_F = 125$, todo ello para el transistor de la Fig. 10-1*a*. Los dos puntos de trabajo, Q_1 para $\beta_F = 50$ y Q_2 para $\beta_F = 125$ están señalados sobre la recta de carga correspondiendo a $V_{CC} = 10V$ y $R_C = 1\text{k}\Omega$.

Estudiemos primeramente la situación para $\beta_F = 50$. En la Fig. 10- 2*a* se ha trazado la característica de transferencia aproximada del circuito de la Fig. 10-1*a*, $v_o = v_C$ en función de i_s tal como se indicó en la Sec. 3-8. Obsérvese que Q_1 cae en la porción lineal de la característica entre corte y saturación. Para una señal $i_b(t) = I_{bm}$ sen $\omega t = \sqrt{2}\, I_b$ sen $\omega t = 20$ sen ωt µA, la corriente instantánea de base $i_B = I_{BB} + i_b$ varía senoidalmente alrededor de Q_1 y $40 \leq i_B \leq 80$ µA (entre los puntos *A* y *B* de la característica de transferencia). Como se ve en la Fig. 10-2*a*, el BJT se mantiene en la región activa directa durante todo el recorrido alrededor de Q_1 motivado por $i_b(t)$. Por tanto, la onda de salida resultante es la reproducción fiel de la senoide de entrada como se indica por la curva de trazo continuo de la Fig. 10-2*b*.

Según la ley de Kelvin aplicada a la Fig. 10-1*a*, se tiene $v_C = i_C R_C + V_{CC}$ o bien $i_C = (V_{CC} - v_C)/R_C$ lo que indica que i_C contiene componentes constantes y variables en el tiempo. Asimismo, toda corriente o tensión del BJT tiene una componente en continua y otra variable en el tiempo. Cuando la operación está confinada en la porción lineal de la característica de transferencia de la Fig. 10-2*a* el transistor se conduce linealmente. Las ondas de la Fig. 10-3 representan las corrientes y tensiones del BJT para una entrada senoidal y suponen



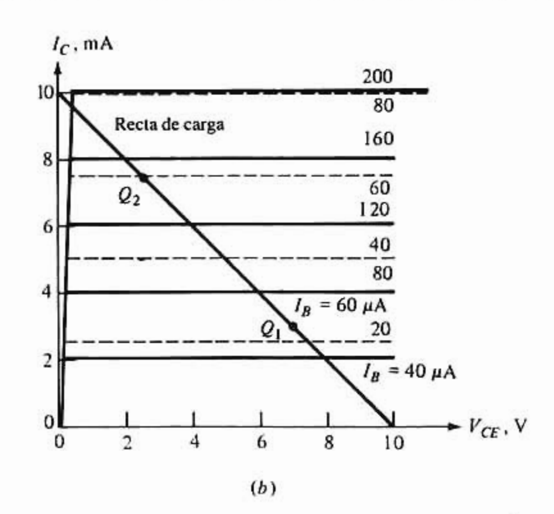


Figura 10-1. (*a*) Etapa elemental en emisor común. (*b*) Característica de colector del transistor en (*a*), con trazo continuo para $\beta_F = 50$ y con trazo discontinuo para $\beta_F = 125$. Sobre la recta de carga están señalados los puntos de funcionamiento ($I_B = 60$ µA) para ambos valores de β_F.

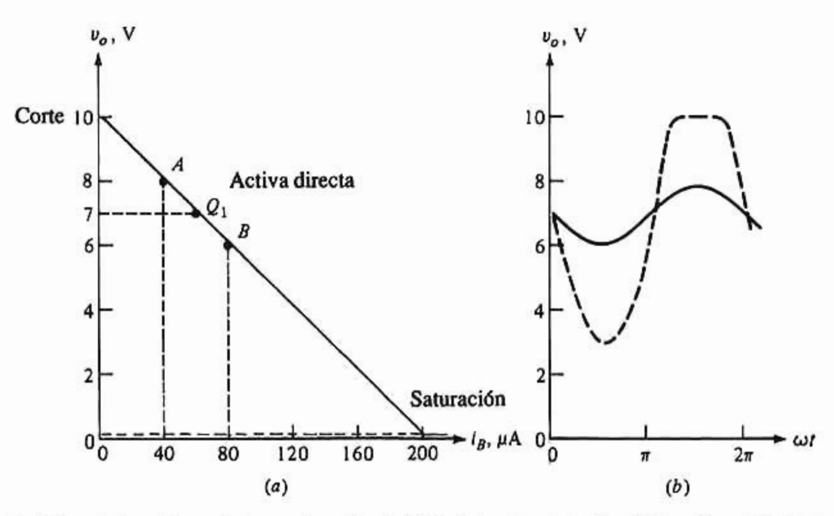


Figura 10-2. (*a*) Característica de transferencia (v_0 en función de I_B) del circuito de la Fig. 10-1a ($\beta_F = 50$). (*b*) La onda de salida (trazo continuo) es una réplica de la senoide de entrada ($I_b = 20\mu A$). Con $I_b = 80\mu A$ se deforma la onda de salida (trazo discontinuo).

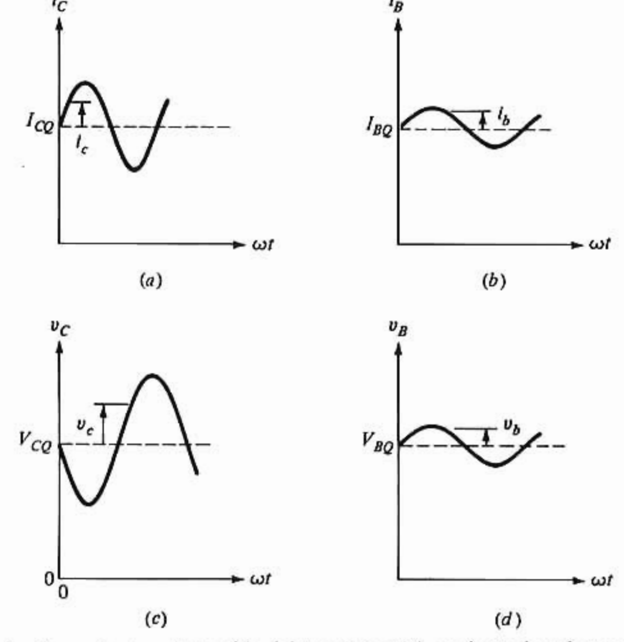


Figura 10-3. Ondas senoidales de corriente y de tensión del transistor. (*a*) corriente de colector i_C, (*b*) corriente de base i_B, (*c*) tensión de colector v_C, (*d*) tensión de base v_B. (*Nota*: Cada cantidad consta de un término constante en continua y otro senoidalmente variable, en alterna).

un funcionamiento lineal. Cada onda de esa figura contiene una senoide nos distorsionada, superpuesta a un nivel de reposo. Una consecuencia del funcionamiento lineal es que la componente en continua de la respuesta hay que atribuirla únicamente a la excitación en continua y la componente variable sólo a la señal de entrada.

Notaciones

A fin de evitar confusiones, el «Institute for Electrical and Electronic Engineers (IEEE)» ha adoptado

una terminología normalizada para los símbolos representativos de los componentes específicos de las corrientes y tensiones. La Tabla 10-1 comprende los signos correspondientes al transistor bipolar y la Tabla 10-2 los correspondientes al FET.

Los criterios seguidos son los siguientes:

1. Las minúsculas i y v designan valores instantáneos de corrientes y tensiones.
2. Las mayúsculas V e I significan valores eficaces (o de pico) de las componentes en alterna o valores medios en continua de todas las cantidades.
3. Los sub-índices en minúscula se utilizan sólo con las componentes de tensión o corriente variables con el tiempo.
4. Los sub-índices en mayúscula se refieren a cantidades totales en continua.
5. Los dobles sub-índices se refieren a valores de alimentación.
6. Las corrientes se consideran positivas cuando entran en un terminal desde el circuito exterior.
7. Las tensiones se consideran positivas cuando se miden respecto al nudo de referencia (normalmente tierra). Para las tensiones medidas entre un par de terminales (no la referencia) se emplea un subíndice adicional. Así v_{CE} es la tensión instantánea entre colector y emisor
8. El subíndice adicional Q se añade a las variables del circuito para indicar valores de reposo.

Tabla 10-1 Símbolos de tensiones y corrientes para el transistor bipolar

			Componente variable		Total (cc + ca)	
Item	Alimentación	Reposo (estático)	Inst.	Eficaz	Inst.	Eficaz
Tensión colector	V_{CC}	V_{CQ}	v_c	V_c	v_C	V_C
Corriente colectoir	I_{CC}	I_{CQ}	i_c	I_c	i_C	I_C
Tensión base	V_{BB}	V_{BQ}	v_b	V_b	v_B	V_B
Corriente base	I_{BB}	I_{BQ}	i_b	I_b	i_B	I_B
Tensión emisor	V_{EE}	V_{EQ}	v_e	V_e	v_E	V_E
Corriente emisor	I_{EE}	I_{EQ}	i_e	I_e	i_E	I_E

Tabla 10-2 Símbolos de tensiones y corrientes en el FET

			Componente variable		Total (cc + ca)	
Item	Alimentación	Reposo (estático)	Inst.	Eficaz	Inst.	Eficaz
Tensión drenaje	V_{DD}	V_{DQ}	v_d	V_d	v_D	V_D
Corriente drenaje	I_{DD}	I_{DQ}	i_d	I_d	i_D	I_D
Tensión puerta	V_{GG}	V_{GQ}	v_g	V_g	v_G	V_G
Corriente puerta	I_{GG}	I_{GQ}	i_g	I_g	i_G	I_G
Tensión fuente	V_{SS}	V_{SQ}	v_s	V_s	v_S	V_S
Corriente fuente	I_{SS}	I_{SQ}	i_s	I_s	i_S	I_S

A manera de ejemplo de notaciones tomemos la tensión de colector. La cantidad total es la suma de las componentes en continua y en alterna, lo que se puede escribir

$$v_C = V_C + v_c \tag{10-1}$$

que según la Fig. 10-3*b* se convierte en

$$v_C = V_{CQ} + \sqrt{2}\, V_c \text{ sen } \omega t \tag{10-2}$$

Obsérvese que la componente en continua de la Fig. 10-3*c* es la tensión de reposo V_{CQ} ya que el valor medio de la senoide durante un período es cero. Esto es a consecuencia del supuesto de linealidad. Si la señal instantánea se distorsiona como en la curva de trazos de la Fig. 10.2*b*, el valor medio de v_C no será V_{CQ} debido al comportamiento no lineal del transistor.

Para mejor comprender las notaciones consideremos cómo han sido medidas las cantidades de las Ec. (10-1) y (10-2). El valor instantáneo v_C es lo que se observa en el osciloscopio cuando el mando selector está en «continua». Si está en «alterna», en la pantalla sólo aparece v_c.

La Ec. (10-1) puede escribirse

$$v_c = v_C - V_C = \Delta\, v_C$$

en donde se ve que v_c es el *cambio incremental* de v_C. Recuérdese que los cambios incrementales son la base para el desarrollo de los circuitos equivalentes de pequeña señal. Estos modelos nos permiten determinar analíticamente los componentes variables en el tiempo de la respuesta en lugar de hacerlo gráficamente como en la Fig. 10-2*b*. De hecho, con señales muy pequeñas, la técnica gráfica obliga a interpolar entre las características señaladas en la Fig. 10-1*a* lo que da muy poca precisión.

En otras secciones de este capítulo suponemos un funcionamiento de pequeña señal (incremental) utilizando los circuitos equivalentes desarrollados en la Sec. 3-10 para el BJT y en la Sec. 4-14 para el FET. Con estos modelos es conveniente obtener las respuestas de las etapas del amplificador empleando las técnicas de análisis de redes convencionales. Juntamente con el análisis en continua de las próximas secciones, pueden calcularse las tensiones y las corrientes totales.

10-2. PUNTO DE FUNCIONAMIENTO DEL BJT

El transistor bipolar funciona más linealmente cuando se limita a trabajar en la región directa activa. El punto de trabajo debe elegirse de forma que el transistor se mantenga en todo momento en su región activa, para lo que se superpone una señal variable al nivel de reposo. La distorsión de la señal de salida se produce si se ha elegido un punto de trabajo que sature, o corte (o ambas cosas) el BJT al aplicar una señal. Ahora surge la cuestión de como elegir el punto de funcionamiento. Enfocaremos la cuestión por medio de la etapa en emisor común de la Fig. 10-1*a* cuyas características se ven dibujadas en la Fig. 10-1*b* para $\beta_F = 50$ (trazo continuo) y $\beta_F = 125$ (trazo discontinuo).

La situación para $\beta_F = 50$ ha sido vista en la sección anterior, en donde ya observamos que con $i_b(t) =$ 20 sen ωt μA, se restringe el funcionameinto a la parte lineal de la característica de transferencia obteniéndose una señal de salida no distorsionada v_o (curva en trazo continuo de la Fig. 10.2*b*). Sin embargo, si aumentamos la amplitud de pico de i_b(t) por encima de 60 μA (por ejemplo a 80 μA) el transistor pasa a corte durante el semiciclo negativo de i_b(t). La curva a trazos de la Fig. 10-2*b* representa la onda de salida cortada (distorsionada) en esta situación. Ya que la característica de transferencia es aproximadamente lineal para $0 \leq i_B \leq$ 180 μA, podemos eliminar esta distorsión cambiando Q_1 de posición para que

corresponda a $I_{BB} = 90$ μA. Con este valor de I_{BB} la señal hace que $10 \leq i_B \leq 170$ μA y nuevamente el funcionamiento queda dentro de zona lineal de la característica de transferencia.

La Fig. 10-4*a* es la característica de transferencia del circuito de la Fig. 10-1*a* para $\beta_F = 125$ y está basada en la característica señalada a trazos de la Fig. 10-1*b*. La aplicación de una señal $i_b(t) = 20$ sen ωt μA hace que el BJT se sature durante el semiciclo positivo de i_b produciendo la onda recortada de la Fig. 10-4*b*. Mientras que una señal de 20 μA de pico puede ser procesada linealente situando Q_2 más alto sobre la característica de transferencia (reduciendo I_{BB}) no se puede seleccionar ningún punto de funcionamiento que dé una salida sin distorsión si la amplitud de pico de i_b es de 80 μA. Basándose en la característica de transferencia, la máxima señal senoidal que puede reproducirse sin distorsión tiene una amplitud de unos 39 μA. En realidad, se debe emplear un valor algo más bajo, porque la característica de transferencia real no es lineal en las proximidades de corte y de saturación. Así, la magnitud de la señal determina el límite superior de la zona dinámica. El límite inferior (señal mínima que se puede procesar) generalmente lo determina el nivel de ruido del sistema.

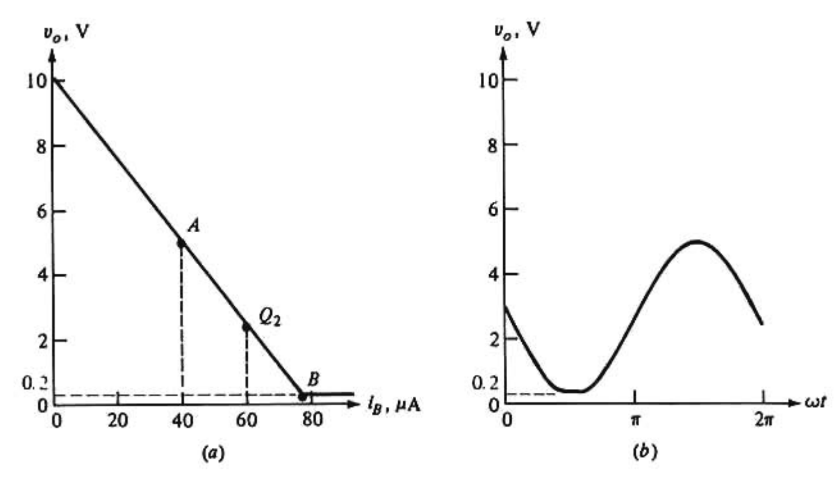


Figura 10-4. (*a*) Característica de la transferencia del circuito de la Fig. 10-1a para $\beta_F = 125$. (*b*) Onda de salida resultante de una señal de entrada i_b (t) = 20 sen ωt μA.

No se puede elegir arbitrariamente cualquier punto de trabajo sobre la región activa, porque las distintas condiciones de los transistores limitan la zona de funcionamiento útil. Estas condiciones (Apéndice B), que no deben sobrepasarse son: disipación máxima de colector $P_{C(max)}$, tensión máxima de colector $V_{CE(max)}$, corriente de colector máxima $I_{C(max)}$ y máxima tensión base-emisor $V_{BE(max)}$.

Estabilidad de polarización

En la sección precedente se ha supuesto que se empleaban dos transistores, uno de ellos con $\beta_F = 50$ y el otro con $\beta_F = 125$. Esto es clásico para los valores de β_F de los transistores que se encuentran en la práctica. (Véanse las especificaciones de los fabricantes en el Apéndice B). Las variaciones de β_F representan las variaciones de fabricación de una a otra unidad. Obsérvese sin embargo que esto no quiere decir que las técnicas de fabricación sean deficientes. El proceso de fabricación controla sólo α_F [no $\beta_F = \alpha_F/(1-\alpha_F)$], ya que α_F, está relacionado con la geometría y con los niveles de dopado empleados. Para un transistor con un recorrido de β_F de 50 a 125 el correspondiente recorrido de α_F es de 0.980 a 0.992, variación de poco más del 1%. Con $\beta_F \geq 100$, controlar β_F con una tolerancia del 1% supondría una tolerancia de α_F de menos del 0.01%. (Es corriente expresar el recorrido de β_F de un BJT a las temperaturas extremas de funcionamiento.)

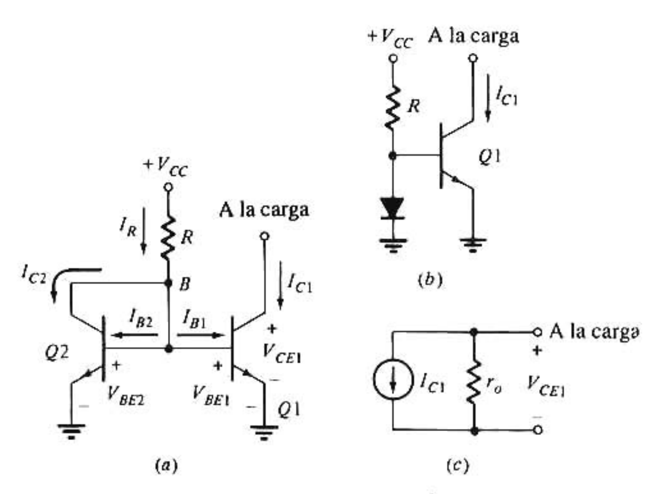


Figura 10-5. (*a*) Circuito «espejo» de fuente de corriente. (*b*) representación de (*a*) con Q2 sustituido por un diodo equivalente. (*c*) Su equivalente de Norton.

Consideremos ahora las características de la Fig. 10-1*b* correspondiente a los valores mínimo y máximo de β_F para un transistor dado, sobre el campo de temperaturas de trabajo. Para el circuito de la Fig. 10-1*a*, el punto de funcionamiento puede estar en cualquier lugar entre Q_1 y Q_2 (Fig. 10-1*b*) para $50 \leq \beta_F \leq 125$. Evidentemente, vista la forma de la onda de salida de la Fig. 10-4*b*, esta forma de polarización es inadecuada. Para el funcionamiento correcto del circuito se requiere poder controlar la situación del punto de funcionamiento, es decir, deben estabilizarse las condiciones de polarización. Para tal estabilización debe restringirse el funcionamiento a una pequeña zona de la recta de carga dentro del alcance especificado para β_F de forma que la señal (por ejemplo $I_b = 20$ sen ωt μA) quede acomodada. El sentido de la frase anterior es que *hay un control efectivo de la polarización cuando la corriente de colector, y por tanto la de emisor se mantiene prácticamente constante e independiente de las variaciones de* β_F. En la Fig. 10-1*b* vemos que manteniendo la corriente de colector a 3 mA o ligeramente más, se limita el funcionamiento del BJT a la región activa directa (Figs. 10-2*b* y 10-4*b*) tanto para $\beta_F = 50$ como para $\beta_F = 125$.

10-3. POLARIZACIÓN DEL BJT PARA CIRCUITOS INTEGRADOS

La Fig. 10-5*a* representa la disposición clásica de un circuito de polarización empleado en circuitos integrados. Este circuito, y sus similares se denominan *fuente de corriente* o «espejo» y se diseñan para mantener la corriente I_{C1} a un valor constante (este circuito se vio en el ejemplo 3-8). Recuérdese que ya encontramos este circuito en la Sec. 3-11 empleándolo en una etapa de amplificador diferencial (etapa de emisor acoplado) de la Sec. 3-12 y luego nuevamente en relación con las puertas ECL (Sec. 6-14). El amplificador diferencial es uno de los principales bloques constructivos en los amplificadores integrados y lo trataremos detalladamente en la Sec. 10-15. En la Fig. 10-5*a* comprobamos que *Q*2 está conectado como diodo tal como se aprecia en la Fig. 10-5*b*. El circuito de la Fig. 10-5*c* es la representación equivalente de la fuente de corriente. La resistencia r_o es la de salida de la fuente y refleja el hecho de que las fuentes prácticas no son ideales.

La eficacia del circuito de la fuente de corriente es debida a las particularidades de la tecnología de integración. En particular, *Q*1 y *Q*2 son transistores idénticos y *R* puede mantenerse entre los límites impuestos por el fabricante.

Ya que ambos transistores son idénticos, las corrientes de colector I_{C1} e I_{C2} pueden expresarse:

$$I_{C1} = \alpha_F I_{ES}\, \epsilon^{V_{BE1}/V_T} \qquad I_{C2} = \alpha_F I_{ES}\, \epsilon^{V_{BE2}/V_T} \tag{10-3}$$

En la Ec. (10-3) se ha prescindido del efecto Early (Sec. 3-5) y de las componentes de corriente debidas a la polarización inversa de las uniones de colector. De la Ec. (10-3) de deduce

$$\frac{I_{C1}}{I_{C2}} = \epsilon^{(V_{BE1} - V_{BE2})/V_T} \tag{10-4}$$

La ley de Kirchhoff para el lazo que contiene ambas unidades emisor-base de la Fig. 10-5*a* requiere que

$$V_{BE1} = V_{BE2} = V_{BE} \tag{10-5}$$

y en consecuencia $I_{C1} = I_{C2} I_C$ [Ec. (10-4)], ya que $\beta_{F1} = \beta_{F2} = \beta_F$ se deduce que $I_{B1} = I_{B2} = I_B$.

La corriente I_R llamada *de referencia* se determina por la ley de Kirchhoff aplicada al lazo que contiene V_{CC}, R y V_{BE}, y despejando I_R tendremos

$$I_R = \frac{V_{CC} - V_{BE}}{R} \tag{10-6}$$

y por la ley de Kirchhoff aplicada al nudo

$$I_C + 2I_B - I_R = 0 \tag{10-7}$$

Recordando que $I_C = \beta_F I_B$, sustituyendo la Ec. 10-6 y despejando I_C de la 10-7 obtendremos

$$I_C = \frac{\beta_F}{\beta_F + 2} I_R = \frac{\beta_F}{\beta_F + 2} \frac{V_{CC} - V_{BE}}{R} \tag{10-8}$$

El resultado de la Ec. (10-8) indica que $I_C \approx I_R$ es esencialmente constante dentro de un amplio campo de valores de β_F. Para $\beta_F > 1$, $\beta_F/(\beta_F + 2)$ es prácticamente igual a la unidad y, a manera de ejemplo, I_C varía sólo un 3% para $50 \leq \beta_F \leq 200$.

Obsérvese que si $\beta_F \gg 1$, $I_{C2} \approx I_R$ aun cuando se desconecte $Q1$. Esta es la base del «espejo»; V_{CC} y R determinan el valor de I_{C2} (el «objeto») y la conexión de $Q1$ tal como se muestra en la Fig. 10-5*a* constituyen la «imagen» $I_{C1} = I_{C2}$.

Resistencia de salida

Para el funcionamiento eficaz del circuito se requiere que $Q1$ opere en la región activa directa. Este hecho se manifiesta en la característica tensión-corriente de la corriente de fuente I_{C1} en función de V_{CE1} de la Fig. 10-6. Con $V_{CE1} < 0{,}3\ V$, $Q1$ está saturado y se comporta como una resistencia $r_{CE(sat)}$ (Sec. 3-6). En la región activa directa ($V_{CE1} > 0{,}3\ V$), I_{C1} se mantiene esencialmente constante. El ligero incremento de I_{C1} se atribuye al efecto Early. La pendiente de la característica en esta región es la inversa de la resistencia de salida r_o de la fuente de corriente. Su valor es:

$$r_o = V_A/I_C \tag{10-9}$$

Obsérvese que si V_A, la tensión Early, es infinita, la característica volt-amperio es la curva de trazos de la Fig. 10-6 y r_o tiende a infinito (un circuito abierto).

El funcionamiento de la corriente «espejo» se basa en que $I_{C1} = I_{C2}$. Una consecuencia adicional del efecto Early es hacer que la relación I_{C1}/I_{C2} difiera de la unidad. Los valores de trabajo de V_{CE1} y V_{CE2} de la Fig. 10-5*a* pueden diferir sensiblemente. La conexión diodo de $Q2$ hace que $V_{CE2} = V_{BE} = 0{,}7\ V$ mientras

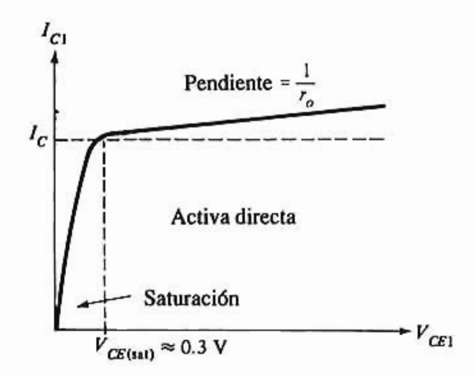


Figura 10-6. Característica tensión-corriente del circuito de fuente. La línea de trazos horizontal es la característica de la fuente para una tensión Early infinita.

que los valores típicos de V_{CE1} pueden oscilar entre 1 y 30 V. A medida que V_{CE1} aumenta, el efecto Early hace que I_{C1} crezca desde I_C con un factor $(1 + V_{CE1}/V_A)$. Como $V_{CE2} = 0{,}7 \ll V_A$ se deduce que $I_{C2} \approx I_C$ y que $I_{C1}/I_{C2} > 1$. Con valores grandes de V_{CE1}, I_{C1}/I_{C2} puede apartarse hasta un 20% de la unidad. Varios de los circuitos tratados más adelante tienen resistencias de salida mayores que las dadas por la Ec. (10-9). En consecuencia la tensión Early efectiva aumenta apreciablemente y hace que I_{C1}/I_{C2} se acerque a la unidad.

Ejemplo 10-1

(*a*) En el circuito de la Fig. 10-5*a* determinar R de tal forma que $I_C = 1$ mA. Los parámetros del transistor son $V_{BE} = 0{,}7$ V, $\beta_F = 100$ y se admite una tensión Early infinita. La tensión de alimentación es de 15 V.

(*b*) Con la R obtenida en la parte (*a*) determinar la variación en porcentaje de I_C para $\beta_F = 200$.

(*c*) Repetir la parte (*a*) para $I_C = 50$ μA.

Solución

(*a*) De la Ec. (10-8) tenemos

$$1 = \frac{100}{100 + 2} \cdot \frac{15 - 0.7}{R}$$

de donde $R = 14.0$ kΩ. Entonces

$$I_C = \frac{200}{200 + 2} \cdot \frac{15 - 0.7}{14.0} = 1.0099 \text{ mA}$$

(*b*) y cambiando a porcentaje $= \dfrac{1.0099 - 1}{1} \times 100 = 0.99\%$

(*c*) Nuevamente, empleando la Ec. (10-8) tenemos:

$$0.05 = \frac{100}{100 + 2} \cdot \frac{15 - 0.7}{R} \quad \text{y} \quad R = 280 \text{ k}\Omega$$

Repetidores de corriente

La combinación de diodo y resistencia de la Fig. 10-5 que establece la corriente de referencia I_R puede

emplearse para alimentar más de una carga. La Fig. 10-7*a* representa uno de tales circuitos a veces llamados *repetidores de corriente* o *fuente de corriente múltiple*. Si todos los transistores son idénticos y despreciando el efecto Early, resultará que todas las corrientes $I_{C1}, I_{C2}...I_{CN}$ son también idénticas y $\approx I_R$. Se pueden conseguir distintos valores de $I_{C1}, I_{C2}...I_{CN}$ escalonando las superficies de emisor de $Q1, Q2... QN$. La relación entre las corrientes máxima y mínima de colector alcanzadas por este método es aproximadamente igual a 10 debido a limitaciones en la fabricación.

En la Fig. 10-7*a* vemos que las bases de todos los BJT están conectadas y todos los emisores puestos a tierra. Por tanto, muchas veces es conveniente fabricar los *N* transistores como un solo dispositivo fusionado de colectores múltiples. El circuito de la Fig. 10-7*b* es el mismo de la Fig. 10-7*a* pero sustituyendo $Q1, Q2...QN$ por QM. En el transistor fusionado, el escalonado de las superficies de colector da lugar a distintas corrientes de colector.

10-4. FUENTE DE CORRIENTE WIDLAR

Los resultados del Ej. 10-1, partes *(a)* y *(b)*, indican que el circuito de la Fig. 10-5*a* da una buena estabilidad de polarización empleando elementos con valores que entran dentro de las posibilidades de fabricación. Sin embargo, éste no es el caso del Ej. 10-1 parte (*c*) pues la fabricación de $R = 280\ k\Omega$ es prácticamente imposible. Frecuentemente se usa la fuente de corriente Widlar de la Fig. 10-8 para formar fuentes de corrientes débiles. En el circuito de la Fig. 10-8 se ha supuesto que ambos transistores son idénticos. La acción de R_E hace que V_{BE1} y V_{BE2} difieran entre sí.

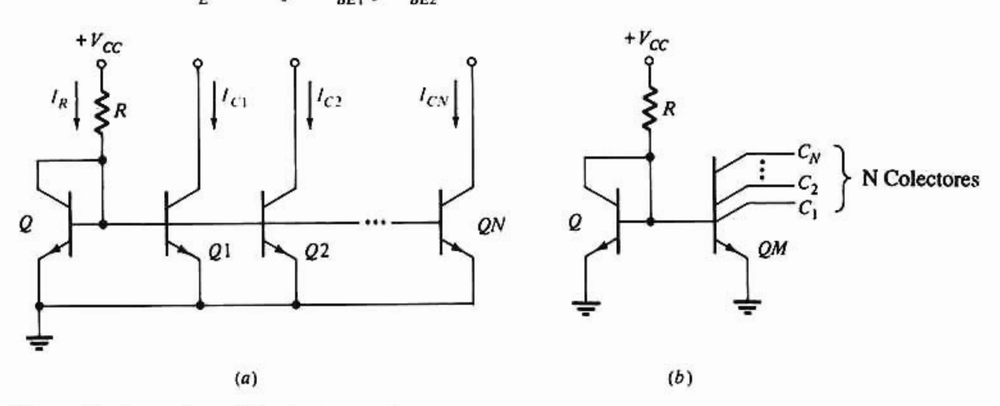


Figura 10-7. (*a*) Repetidor de corriente. Si todos los transistores son idénticos, las corrientes I_{C1}, I_{C2}... ICN serán iguales. (*b*) El repetidor de corriente utilizando un transistor de colector múltiple para conservar el área del chip.

En esta configuración V_{BE1} es menor que V_{BE2} y por tanto I_{C1} es inferior a I_{C2} [Ec. (10-4)]. La naturaleza asimétrica del lazo base-emisor hace que el circuito actúe más como una «lente» que como un «espejo». En efecto, $Q2$, V_{CC} y R establecen la corriente de referencia I_R y el valor de R_E determina el grado en que I_{C1} es menor que I_R.

La ecuación de Kirchhoff para el lazo emisor-base de la Fig. 10-8 es

$$V_{BE2} = V_{BE1} + (I_{B1} + I_{C1})R_E$$

o

$$V_{BE2} - V_{BE1} = \Delta V_{BE} = (I_{B1} + I_{C1})R_E \tag{10-10}$$

Como se indica en la Ec. (10-3) la corriente de colector de un transistor depende fuertemente de la

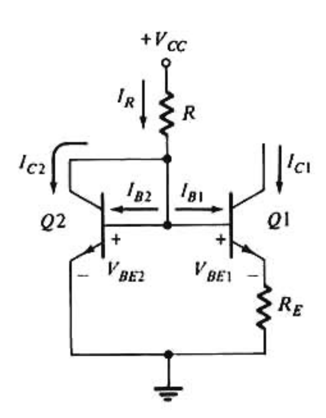


Figura 10-8. Fuente de corriente Widlar.

tensión base-emisor. En la Ec. (10-3) se dan los valores de I_{C1} e I_{C2} para transistores *npn* idénticos, viniendo dada su relación en la Ec. (10-4). Esta última ecuación se puede también escribir tomando logaritmos naturales de ambos miembros.

$$V_{BE2} - V_{BE1} = \Delta V_{BE} = V_T \ln \frac{I_{C2}}{I_{C1}} \tag{10-11}$$

Igualando ΔV_{BE} de las Ecs. (10-10) y (10-11) tendremos

$$R_E = \frac{V_T}{I_{C1}\left(1 + \frac{1}{\beta_F}\right)} \ln \frac{I_{C2}}{I_{C1}} \tag{10-12}$$

La corriente de referencia I_R dada en la Ec. (10-6) como expresión de Kirchhoff para el lazo comprendiendo V_{CC}, $Q2$ y R, es la misma en las Figs. 10-5*a* y 10-8.

Según Kirchhoff

$$I_R = I_{C2} + I_{B2} + I_{B1}$$

$$I_R = I_{C2}\left(1 + \frac{1}{\beta_F}\right) + \frac{I_{C1}}{\beta_F} \tag{10-13}$$

Como se desea que I_{C1} sea menor que I_{C2}, puede despreciarse el término I_{C1}/β_F de la Ec. (10-13). Combinando las Ecs (10-6) y (10-13) resulta

$$I_{C2} = \frac{\beta_F}{\beta_F + 1} I_R = \frac{\beta_F}{\beta_F + 1} \frac{V_{CC} - V_{BE2}}{\mathrm{R}} \approx \frac{V_{CC} - V_{BE2}}{R} \tag{10-14}$$

para $\beta_F \gg 1$.

El valor de I_{C2} se deduce de la Ec. (10-14) y puesto que I_{C1} es la corriente especificada, la resistencia R_E se calcula por la Ec. (10-12). El Ej. 10-2 ilustra sobre el diseño.

Ejemplo 10-2

Determinar R_E en el circuito de la Fig. 10-8 siendo $V_{CC} = 15\ V$, $R = 14{,}0\ \text{k}\Omega$, $V_{BE2} = 0{,}7\ V$, $\beta_F = 100$, y el valor deseado de $I_{C1} = 50\ \mu\text{A}$. Empléese $V_T = 25$ mV.

Solución

De la Ec. (10-14) tenemos

$$I_{C2} = \frac{100}{100 + 1} \cdot \frac{15 - 0.7}{14.0} = 1.01 \text{ mA}$$

y empleando la Ec. (10-12)

$$R_E = \frac{0.025}{0.05(1 + \frac{1}{100})} \ln \frac{1.01}{0.05} = 1.49 \text{ k}\Omega$$

Obsérvese que aun cuando en el circuito de la Fig. 10-8 se emplean dos resistencias, la resistencia total es de $14.0 + 1.49 = 15.49$ kΩ . Todos los valores están de acuerdo con las posibilidades de fabricación, y la resistencia total es suficientemente pequeña para no ocupar demasiada superficie del chip.

La resistencia de salida R_O de la fuente de corriente Widlar se calcula usando el circuito equivalente de pequeña señal del BJT. En el Prob. 10-52 se ve que $R_O \approx r_O(1 + g_M R_E)$. Evidentemente este valor es varias veces mayor que la resistencia de salida r_o de un espejo de corriente único. Obsérvese que con $R_E = 0$, $R_O = r_O$: por tanto podemos atribuir el aumento de R_O a la presencia de R_E. El empleo de R_E es una forma de realimentación que, tal como se describe en la Sec. 12-5 aumenta los niveles de resistencia en el circuito. A veces es conveniente construir fuentes de corriente en las que $Q1$ y $Q2$ tengan resistencias de emisor como en la Fig. 10-9. Si R_1 y R_2 son iguales también lo serán las corrientes en $Q1$ y $Q2$. Debido a las resistencias de emisor, la resistencia de salida de esta fuente de corriente es mayor que r_O. El circuito de la Fig. 10-9 se usa también para proveer distintas corrientes en $Q1$ y $Q2$ sin necesidad de escalonar las áreas de emisor. El empleo de transistores idénticos hace que la relación I_{C1}/I_{C2} sea proporcional a la relación R_2/R_1 (Prob. 10-9).

Variaciones de temperatura

Tanto las fuentes de corrientes simples como las Widlar pueden tener que trabajar entre temperaturas tan bajas como - 55°C y tan altas como + 150°C. Por tanto, hay que tomar en consideración los efectos sobre la corriente de la fuente de los cambios de β_F y V_{BE} debidos a la temperatura. Despreciamos los efectos de I_{CO}, la corriente de saturación inversa de colector debido a su escasísimo valor ($I_{CO} \approx 1$pA a T = 300°C).

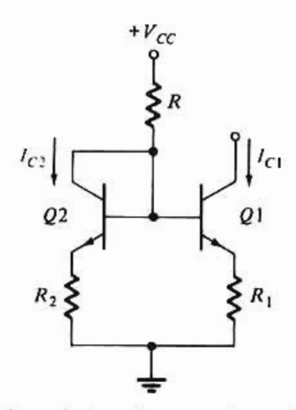


Figura 10-9. Fuente de corriente con una resistencia de emisor en cada transistor. Si $R_1 = R_2$ el circuito actúa como «espejo»: Con $R_1 > R_2$ el comportamiento es como el de la fuente Widlar de la Fig. 10-8.

Los dos transistores de las Figs. 10-5*a* y 10-8 son idénticos de forma que sus respectivas β_F se «siguen», es decir, que las β_F de cada BJT varían de igual forma. Como la corriente de fuente de cada uno de estos circuitos es virtualmente independiente de β_F, las variaciones de ésta con la temperatura generalmente provocan cambios más bien pequeños de la corriente. Sin embargo, este no es necesariamente el caso si consideramos el efecto de los cambios en V_{BE} que decrece 2,2 mV cada grado de aumento en la temperatura.

La corriente de referencia I_R de las Figs. 10-5*a* y 10-7 depende de la diferencia V_{CC}-V_{BE}. Frecuentemente $V_{CC} \gg V_{BE}$ de forma que las variaciones de V_{BE} cambian muy poco I_R. En general, si ΔI_R es el cambio en I_R motivado por un cambio ΔV_{BE} en V_{BE}, se puede demostrar (Prob. 10-10) que $\Delta I_R/I_R$ es inversamente proporcional a $(V_{CC}/V_{BE} - 1)$. Evidentemente, con pequeños valores de V_{CC}, la variación relativa $\Delta I_R/I_R$ puede llegar a ser significativo.

10-5. FUENTES DE CORRIENTE DE TRES TRANSISTORES

La relación entre las corrientes de fuente y de referencia I_C/I_R difiere de la unidad en $2/\beta_F$. Con los valores típicos de β_F una diferencia entre el 1 y el 2% se puede despreciar. Además, los amplificadores integrados también emplean transistores *pnp* laterales de β_F bajo (Sec. 5-3) a manera de fuentes de corriente en los que la diferencia entre I_C e I_R es de un pequeño tanto por ciento. Para aproximar más I_C a I_R como se desea en algunas aplicaciones se usan frecuentemente fuentes de corriente con tres transistores. Dos de los tipos más corrientes son la *fuente Wilson* (Fig. 10-10*a*) y la *fuente de corriente con ganancia* (Fig. 10-10*b*). Lo más empleado es el uso de transistores idénticos en cada uno de los circuitos de la Fig. 10-10.

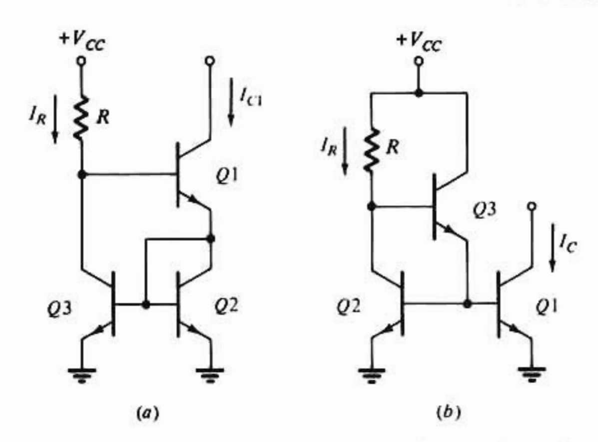


Figura 10-10. Fuentes de corriente de tres transistores: (*a*) circuito Wilson, (*b*) fuente de corriente con ganancia.

La corriente de fuente I_{C1} de la Fig 10- 10*a* puede expresarse como (Prob. 10-13):

$$I_{C1} = \frac{\beta_F^2 + 2\beta_F}{\beta_F^2 + 2\beta_F + 2} \cdot I_R = \frac{\beta_F^2 + 2\beta_F}{\beta_F^2 + 2\beta_F + 2} \frac{V_{CC} - 2V_{BE}}{R} \tag{10-15}$$

La diferencia es

$$I_{C1} - I_R = 2I_R/(\beta_F^2 + 2\beta_F + 2);$$

evidentemente esta diferencia es extremadamente pequeña para cualquier valor modesto de β_F. Por ejemplo, si $\beta_F = 20$, $I_{C1}/I_R = 220/221$ y la diferencia entre I_{C1} e I_R es menor del 0,5% y si $\beta_F = 100$, I_{C1}/I_R

= 5100/5101. Estos valores indican que las variaciones de β_F influyen poco sobre I_{C1}. Clásicamente, un cambio del 100% en β_F provoca un cambio en I_{C1} del orden de unas pocas centésimas por ciento.

La resistencia de salida de una fuente de corriente Wilson es substancialmente mayor que r_o de $Q1$ ya que el transistor $Q3$ conectado en diodo actúa como resistencia de emisor.

La corriente de fuente I_{C1} para el circuito de la Fig. 10-10*b* puede establecerse (Prob. 10-14) como:

$$I_{C1} = I_R \frac{\beta_F(\beta_F + 1)}{\beta_F^2 + \beta_F + 2} \tag{10-16}$$

La similitud entre las Ecs. (10-15) y (10-16) indica que en el circuito de la Fig. 10-10*b*, I_{C1} es prácticamente independiente de β_F. La resistencia de salida de esta fuente es la r_o de $Q1$. No obstante, este valor se puede incrementar empleando resistencias de emisor en $Q1$ y $Q2$ como se hace en el circuito de la Fig. 10-9. Las dos resistencias de emisor pueden emplearse para hacer I_{C1} distinto de I_R.

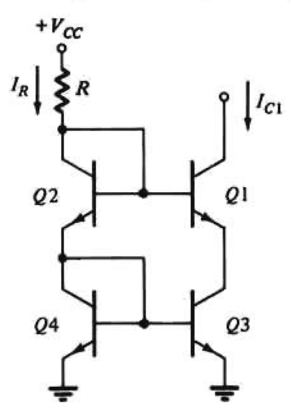


Figura 10-11. Fuente de corriente cascodo.

También se emplean otros circuitos, especialmente la fuente de corriente cascodo de la Fig. 10-11. Tales circuitos se emplean para mejorar la respuesta en frecuencia o para aumentar la resistencia de salida por encima de la obtenida en la fuente Wilson, asegurando al mismo tiempo que la corriente de fuente sea independiente de las variaciones de β_F.

10-6. POLARIZACIÓN DEL BJT CON COMPONENTES DISCRETOS - ANÁLISIS

La estabilidad de la polarización es tan importante en etapas de transistores construidas con componentes discretos como si son integradas. Como los BJT emparejados son costosos y puesto que no hay restricciones en cuanto al valor de las resistencias, no se emplean fuentes de corriente. El objetivo del diseño se mantiene, conservando la corriente de colector constante al variar β_F. Para alcanzar la estabilidad de la polarización se permite que la corriente de base varíe con β_F. En la Fig. 10-1*b*, para mantener $I_C \approx 3$ mA independiente de las variaciones de β_F se requiere que I_B decrezca al crecer β_F. El circuito con cuatro resistencias de la Fig. 10-12 es la disposición de polarización con componentes discretos más generalmente empleados.

Acoplamiento capacitivo

En la Fig. 10-12 los condensadores C_{B1} y C_{B2} se denominan de *bloqueo* o de *acoplamiento*. El C_{B1} se

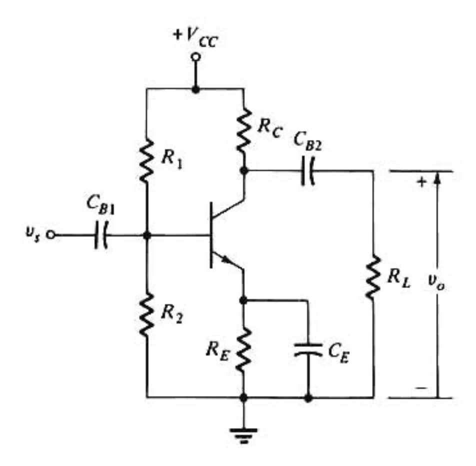


Figura 10-12. Etapa amplificadora en emisor común, de componentes discretos.

emplea para unir la señal v_S de la fuente de entrada con el transistor, y C_{B2} une la señal de salida del BJT con la carga R_L. En condiciones de reposo C_{B1} y C_{B2} actúan como circuitos abiertos ya que la reactancia de un condensador es infinita con frecuencia cero (continua). El valor de estas capacidades se elige suficientemente elevado para que a la mínima frecuencia de la señal su reactancia sea tan pequeña que puedan considerarse como cortocircuitos.

Esto sirve para aislar v_S y R_L de las cuatro resistencias R_1, R_2, R_C y R_E empleadas para establecer la polarización. Estos condensadores bloquean las componentes en continua dejando paso libre a las tensiones de la señal. Por ejemplo, la tensión de reposo del colector no debe aparecer en la salida, pero v_O es una réplica amplificada de la señal de entrada v_S. La tensión de la señal de salida muchas veces sirve de entrada a otra etapa amplificadora (R_L es la resistencia de entrada a esa etapa) sin afectar su polarización debido al efecto de bloqueo de C_{B2}. El condensador C_E (llamado *de paso* o *bypass*) se elige de forma que se pueda tratar como un cortocircuito a la frecuencia mínima de la señal. Así, en condiciones de reposo R_E se emplea para estabilizar la polarización, pero a las frecuencias de la señal el emisor queda conectado a tierra.

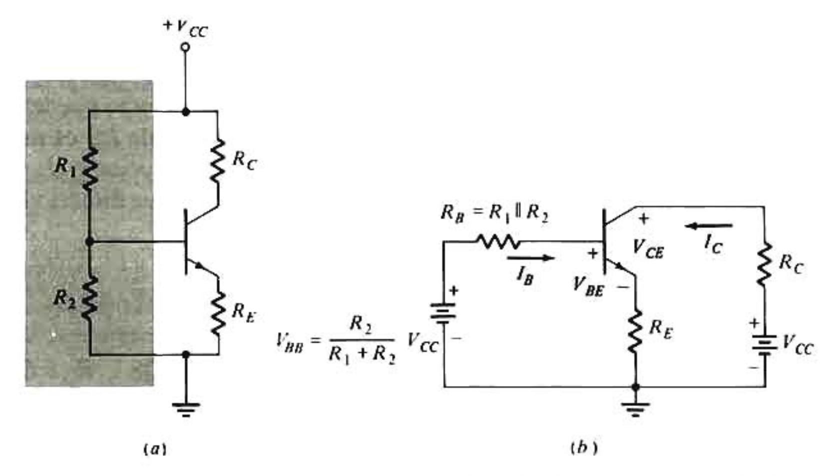


Figura 10-13. (*a*) Configuración de polarización de cuatro resistencias. (*b*) El circuito anterior con la red de polarización de base sustituida por su equivalente de Thèvenin.

En este capítulo consideraremos estos condensadores suficientemente grandes para que su reactancia

sea nula para todas las frecuencias de la señal. En la Sec. 11-13 se considerarán los efectos del tamaño finito de los condensadores de bloqueo y de paso sobre la respuesta en frecuencia de un amplificador.

Análisis en continua

En la Fig. 10-13*a* puede verse el circuito equivalente en continua del circuito de la Fig. 10-12. Este circuito fue analizado en el Ejemplo 3-4 en donde se encontró conveniente sustituir la red de polarización de base V_{CC}, R_1 y R_2 por su equivalente de Thèvenin como está representado en la Fig. 10-13*b* en la que se indican los valores de V_{BB} y R_B de la Ec. (10-17)

$$V_{BB} = \frac{R_2}{R_1 + R_2} V_{CC} \qquad R_B = R_1 \| R_2 = \frac{R_1 R_2}{R_1 + R_2} \tag{10-17}$$

La ley de Kirchhoff en el lazo de la base da

$$V_{BB} = I_B R_B + V_{BE} + (I_B + I_C) R_E \tag{10-18}$$

se llega a una solución aproximada si $I_B \ll I_C$ ($\beta_F \gg 1$) y si $I_B R_B \ll V_{BB}$. Entonces

$$I_C = \frac{V_{BB} - V_{BE}}{R_E} \tag{10-19}$$

Obsérvese que si V_{BE} es constante en la Ec. (10-19), I_C también lo es. En efecto, este circuito funciona de manera similar a una fuente de corriente con V_{BB} y R_E cumpliendo la función de V_{CC} y R de la Fig. 10-5*a*. Una vez calculado I_C, V_{CE} se deduce de la expresión de Kirchhoff para el lazo del colector en la Ec. (10-20).

$$V_{CC} = I_C R_C + V_{CE} + (I_C + I_B) R_E \tag{10-20}$$

Si no es válida la aproximación tomada para obtener la Ec. (10- 19) y se conoce β_F, el cálculo del punto Q puede deducirse analíticamente. En la región activa I_C viene dado por la Ec. (3-19), es decir

$$I_C = \beta_F I_B + (1 + \beta_F) I_{CO} \tag{10-21}$$

En esta última ecuación se incluye el efecto I_{CO} porque a veces este efecto puede ser significativo en circuitos de componentes discretos. Con circuitos integrados el efecto de I_{CO} es muy frecuentemente despreciable. Ahora de las Ecs. (10-18), (10- 20) y (10-21) podemos despejar I_B, I_C y V_{CE} ya que V_{BE} es conocido en la región activa. Obsérvese que las corrientes en la región activa directa vienen determinadas por el circuito de base y por los valores de β_F e I_{CO}.

Ejemplo 10-3

Los valores de los elementos del circuito de la Fig. 10-13 *a* son: $V_{CC} = 28$ *V*, $R_C = 6{,}8$ kΩ, $R_E = 1{,}2$ kΩ, $R_1 = 90$ kΩ y $R_2 = 10$ kΩ. Determinar el punto Q suponiendo que I_{CO} pueda despreciarse, cuando (*a*) $\beta_F = 60$ y (*b*) $\beta_F = 150$.

Solución

(*a*) De la Ec. (10-17) se obtiene

$$V_{BB} = \frac{10}{90 + 10} \cdot 28 = 2.80 \text{ V} \qquad R_B = \frac{90 \times 10}{90 + 10} = 9.0 \text{ k}\Omega$$

Haciendo $V_{BE} = 0{,}7\ V$ en la región activa directa, la Ec. (10-18) será

$$2.80 = 9I_B + 0.7 + 1.2(I_B + I_C)$$

$$2.10 = 10.2I_B + 1.2I_C$$

Sustituyendo $I_C = \beta_F I_B = 60I_B$ o $I_B = I_C/60$ y despejando I_C resulta

$$I_C = \frac{2.10}{0.17 + 1.2} = 1.53 \text{ mA} \qquad \text{y} \qquad I_B = \frac{1.53}{60} = 0.0255 \text{ mA}$$

Obsérvese que estos valores de corrientes se obtienen sin hacer referencia a las tensiones de colector y por tanto son independientes de R_C y de V_{CC}.

Sustituyendo valores en la Ec. (10-20) tendremos:

$$28 = 1.53 \times 6.8 + V_{CE} + (1.53 + 0.0255)\ 1.2$$

con lo que $V_{CE} = 15.7V$.

(*b*) La ecuación de Kirchhoff para el lazo de la base es la ya dada en la parte (*a*). Sustituyendo $I_B = I_C/150$ se tiene

$$I_C = \frac{2.10}{0.068 + 1.2} = 1.66 \text{ mA} \qquad \text{y} \qquad I_B = \frac{1.66}{150} = 0.011 \text{ mA}$$

que con la Ec. (10-20) da

$$28 = 1.66 \times 6.8 + V_{CE} + (0.011 + 1.66) \times 1.2 \qquad \text{y} \qquad V_{CE} = 14.7 \text{ V}$$

Comparando los resultados de las partes (*a*) y (*b*) se ve que el punto Q varía sólo un pequeño tanto por ciento para una variación de β_F de 2,5:1, indicando con ello la eficacia del circuito de la Fig. 10-13*a*. Seguidamente analizaremos los incrementos de corriente resultantes de cambios de β_F y de temperatura. Se ha señalado ya que β_F cambia con la sustitución del transistor y con la temperatura. Además V_{BE} decrece a razón de 2,2 mV/ºC e I_{CO} se duplica cada 10ºC de aumento de temperatura.

Prescindiremos de las variaciones de V_{CE} con la temperatura porque tal variación es muy pequeña y además el funcionamiento en la región activa directa deja a I_C prácticamente independiente de la temperatura.

Despejando I_B en la Ec. (10-21) y sustituyendo esta relación en la Ec. (10-18) se llega, después de ordenar los términos, a

$$I_C \frac{R_B + (1 + \beta_F)R_E}{\beta_F} = V_{BB} - V_{BE} + \frac{(R_B + R_E)(\beta_F + 1)}{\beta_F} I_{CO} \qquad (10\text{-}22)$$

Esta ecuación indica claramente que I_C variará al variar uno o más de los parámetros β_F, V_{BE} o I_{CO}

Incremento de corriente por variar β_F

Consideremos que un BJT cuya ganancia de corriente sea β_{F1} se sustituye por otro de $\beta_{F2} > \beta_{F1}$. Vamos a determinar el cambio de corriente resultante $\Delta I_C = I_{C2} - I_{C1}$ donde I_{C2} (o I_{C1}) corresponde a β_{F2} (o β_{F1}). Si $\beta_{F1} \gg 1$ el segundo miembro de la Ec. (10-22) es prácticamente independiente de β_F y por tanto.

$$I_{C2}\,\frac{R_B + R_E(1 + \beta_{F2})}{\beta_{F2}} = I_{C1}\,\frac{R_B + R_E(1 + \beta_{F1})}{\beta_{F1})} \qquad (10\text{-}23)$$

Despejando de esta ecuación I_{C2}/I_{C1} y restando una unidad del resultado se llega a

$$\frac{I_{C2} - I_{C1}}{I_{C1}} = \frac{\Delta I_C}{I_{C1}} = 1 + \frac{R_B}{R_E}\frac{\Delta\beta\, M_2}{\beta_{F1}\beta_{F2}} \qquad (10\text{-}24)$$

siendo $\Delta\beta = \beta_F - \beta_{F1}$ y definiéndose M como

$$M \equiv \frac{1}{1 + R_B/[R_E(1 + \beta_F)]} \approx \frac{1}{1 + R_B/\beta_F R_E} \qquad (10\text{-}25)$$

para $\beta_F \gg 1$. El parámetro M_2 (M_1) corresponde a β_{F2} (o β_{F1}). Como se desea para tener buena estabilidad en la polarización que $\Delta I_C/I_{C1}$ sea pequeño, es evidente que $R_B/\beta_F R_E$ debe mantenerse reducida. Con $R_B \ll \beta_F R_E$, $M \approx 1$. Además, para una desviación de β_F (por ej. $\beta_{F2}/\beta_{F1} = 3$), un circuito con alto valor de β_F será más estable que otro que emplee un transistor con β_F más baja.

Incremento de corriente por variar I_{CO}

De la Ec. (10-22) siendo $\beta_F \gg 1$ y si β_F y V_{BE} se mantienen constantes se deduce que:

$$\Delta I_C = \frac{R_B + R_E}{R_B/\beta_F + R_E}\,\Delta I_{CO} = \left(1 + \frac{R_B}{R_E}\right) M_1\,\Delta I_{CO} \qquad (10\text{-}26)$$

Incremento de la corriente por variar V_{BE}

De la Ec. (10-22) siendo $\beta_F \gg 1$ y si β_F e I_{CO} se mantienen constantes se deduce que:

$$\Delta I_C = -\frac{\beta_F}{R_B + \beta_F R_E}\,\Delta V_{BE} = -\frac{M_1}{R_E}\,\Delta V_{BE} \qquad (10\text{-}27)$$

Obsérvese que en las Ecs. (10-26) y (10-27) se supone que se utiliza un BJT con β_{F1}.

Incremento total de corriente

Para tener la variación total de corriente dentro de un campo de temperatura dado, debida a una variación simultánea de β_F, I_{CO} y V_{BE} se suman los incrementos individuales hallados en las Ecs. (10-25), (10-26) y (10-27). El cambio fraccional en la corriente de colector viene dado por

$$\frac{\Delta I_C}{I_{C1}} = \left(1 + \frac{R_B}{R_E}\right)\frac{M_1\Delta I_{CO}}{I_{C1}} - \frac{M_1\Delta V_{BE}}{I_{C1}R_E} + \left(1 + \frac{R_B}{R_E}\right)\frac{M_2\Delta\beta}{\beta_{F1}\beta_{F2}} \qquad (10\text{-}28)$$

donde M_1 (o M_2) corresponden a β_{F1} (o β_{F2}). Obsérvese que al ir creciendo T crecen $\Delta I_{CO}/I_{C1}$ y $\Delta\beta$ mientras que $\Delta V_{BE}/I_{C1}$ decrece. Por tanto, todos los términos de la Ec. (10-28) son positivos cuanto T crece y negativos cuando mengua.

10-7. DISEÑO DE POLARIZACIÓN CON COMPONENTES DISCRETOS

El siguiente ejemplo muestra las técnicas de diseño para la polarización con componentes discretos. También se utiliza para examinar las dimensiones relativas de los tres componentes de $\Delta I_C/I_{C1}$ en la Ec. (10-28). Los valores del transistor empleado son los normalmente encontrados en la práctica. Muchos circuitos para aplicaciones comerciales deben trabajar entre 0 y 70°C; otros, tales como los empleados en naves espaciales, automoción y aplicaciones militares deben funcionar muchas veces entre - 55°C y 100 ó 150°C. Frecuentemente los fabricantes suministran dispositivos para la gama de - 65 a 175°C para cubrir la amplia variedad de aplicaciones.

Ejemplo 10-4

Se emplea una alimentación de 12 V para polarizar el transistor del circuito de la Fig 10-12. Basándose que en la señal que hay que amplificar está determinado que $1.00 \leq I_C \leq 1.15$ mA y que $5.0 \leq V_{CE} \leq 6$ V. La resistencia de colector es $R_C = 1.5$ kΩ que se ha elegido para tener la ganancia deseada. Los parámetros del BJT son:

$T = -55$°C	menor valor de $\beta_F = 40$	$V_{BE} = 0.88\ V$
$T = +125$°C	mayor valor de $\beta_F = 400$	$V_{BE} = 0.48\ V$

(*a*) Diseñar el circuito (R_1, R_2 y R_E) para cumplir la especificación. Consideremos que el efecto de I_{CO} es despreciable.

(*b*) Con los valores obtenidos en (*a*) determinar la parte del incremento de corriente ΔI_C atribuible a la variación de I_{CO} con la temperatura. Las especificaciones del fabricante indican que: $I_{CO} = 2.0$ pA a T = -55ºC e $I_{CO} = 525$ nA a 125ºC.

(*c*) ¿Cuál es el orden de valores de I_C y V_{CE} que se deben encontrar en mediciones de laboratorio a T = 25ºC, dado que $75 \leq \beta_F \leq 200$ y $V_{BE} = 700 \pm 25$ mV?

Empléense los valores hallados en la parte (*a*).

Solución

Consideremos que las condiciones nominales del circuito se cumplen en una de las temperaturas extremas (- 55°C). Las desviaciones respecto al comportamiento nominal se miden en el otro extremo de la gama de temperaturas (125°C). El principio básico de este método del «caso más desfavorable» consiste en cumplir las especificaciones del circuito para β_F mínima y controlar las desviaciones habidas cuando β_F sea máxima. Sabemos que I_C crece con β_F de forma que se debe llegar a $I_C = 1$ mA cuando $T = -55$ºC. Para $\beta_F = 400$ a $T = 125$ºC, $I_C \leq 1.15$ mA o $\Delta I_C \leq 0.15$ mA. Análogamente, al crecer β_F, V_{CE} decrece (Ejemplo 10-3) y en consecuencia, a $T = -55$ºC tomamos $V_{CE} = 6.0\ V$.

De la Ec. (10-20) y con los datos para $T = -55$°C se obtiene:

$$12 = 1.00 \times 1.5 + 6.0 + \left(1.00 + \frac{1.00}{40}\right) R_E$$

que resolviendo da $R_E = 4.39$ kΩ. La relación R_B/R_E se obtiene de la Ec. (10-28) despreciando el término ΔI_{CO}. Como R_E es conocida, de esta relación se deduce R_B. En nuestros cálculos se supone $M_2 = 1$, es decir $R_B \ll \beta_F R_E$. En la Ec. (10-28) se necesitan los siguientes datos: $\Delta V_{BE} = 0.48 - 0.88 = -0.40\ V$, $\beta_{F1} = 40$, $\beta_{F2} = 400$ y $\Delta\beta = 400 - 40 = 360$. Sustituyendo:

$$\frac{0.15}{1.00} = -\frac{1 \times (-0.40)}{4.39} + \left(1 + \frac{R_B}{R_E}\right)\frac{1 \times 360}{40 \times 400}$$

Resolviendo, hallaremos $R_B/R_E = 1.62$ y $R_B = 1.62 \times 4.39 = 7.11$ kΩ. Para obtener los valores de R_1 y R_2 en la Ec. (10-17) se debe calcular previamente V_{BB} de la Ec. (10-18) a T = -55ºC.

$$V_{BB} = \frac{1.00}{40} \times 7.11 + 0.88 + \left(\frac{1.00}{40} + 1.00\right)4.39 = 5.56 \text{ V}$$

Resolviendo la Ec. (10-17) tendremos R_1 y R_2 en función de V_{CC}, V_{BB} y R_B.

$$R_1 = R_B \frac{V_{CC}}{V_{BB}} \qquad \text{y} \qquad R_2 = R_1 \frac{V_{BB}}{V_{CC} - V_{BB}} = R_B \frac{V_{CC}}{V_{CC} - V_{BB}}$$

y sustituyendo por sus valores numéricos:

$$R_1 = 7.11 \frac{12}{5.56} = 15.3 \text{ k}\Omega \qquad R_2 = 7.11 \frac{12}{12 - 5.56} = 13.2 \text{ k}\Omega$$

Comprobemos si el valor de V_{CE} a 125ºC está dentro de la especificación

$$12 = 1.15 \times 1.5 + V_{CE} + \left(1.15 + \frac{1.15}{400}\right) = 4.39 \qquad \text{y} \qquad V_{CE} \times 5.22 \text{ V}$$

lo que efectivamente así resulta.

También hay que comprobar la suposición de que $M \approx 1$.

$$M_2 = \frac{1}{1 + R_B/\beta_{F2}R_E} = \frac{1}{1 + 7.11/(400 \times 4.39)} = 0.996$$

Valor suficientemente próximo a la unidad para no introducir prácticamente ningún error.

Ahora se diseña el circuito con R_1 = 15.3 kΩ, R_2 = 13.2 kΩ, R_E = 4.39 kΩ y R_C = 1.5 kΩ.

(*b*) Para obtener ΔI_C motivado por las variaciones de I_{CO} supondremos que β_F y V_{BE} se mantienen constantes a su valor para T = -55ºC. La Ec. (10-26) con $\Delta I_{CO} \approx 525$ nA dará

$$\Delta I_C = \left(1 + \frac{7.11}{4.39}\right) \times 1 \times 525 = 1376 \text{ nA} = 1.38\ \mu\text{A}$$

suponiendo $M \approx 1$. ΔI_{CO} es mucho más pequeño que I_C con lo que la presunción de que se puede despreciar el efecto de ΔI_{CO} resulta válida.

(*c*) En esta parte del problema estudiaremos el efecto de la variación punto por punto a una temperatura dada. Resolviendo la Ec. (10-22) y despreciando el término I_{CO} se puede expresar I_C como

$$I_C = \frac{\beta_F(V_{BB} - V_{BE})}{R_B + (\beta_F + 1)R_E}$$

Se observa que I_C será máximo cuando sea máximo β_F y mínimo V_{BE}. Se dan las condiciones contrarias para el valor mínimo de I_C. Así, empleando los valores hallados en la parte (*a*) tendremos

$$I_{C(\max)} = \frac{200(5.56 - 0.675)}{7.11 + (200 + 1)4.39} = 1.098 \text{ mA}$$

$$I_{C(\min)} = \frac{75(5.56 - 0.725)}{7.11 + (75 + 1)4.39} = 1.064 \text{ mA}$$

La gama de valores de V_{CE} se calcula empleando los valores de $I_{C(max)}$ e $I_{C(min)}$ en la Ec. (10-20). Estos son:

$$12 = 1.064 \times 1.5 + V_{CE(max)} + \left(1.064 + \frac{1.064}{75}\right)4.39$$

$$12 = 1.098 \times 1.5 + V_{CE(min)} + \left(1.098 + \frac{1.098}{200}\right)4.39$$

de donde $V_{CE(min)} = 5{,}52\ V$ y $V_{CE(max)} = 5{,}67\ V$.

Los resultados de esta parte demuestran la eficacia del método de diseño. A una temperatura dada podemos ver que los valores de reposo se desplazan aproximadamente un 3% con una dispersión de β_F de casi 3:1.

Consideraciones de diseño

Hay tres observaciones relativas a los resultados y métodos del ejemplo 10-4 que merecen un comentario: (1) Si hay que determinar la desviación total en los valores de reposo, hay que tener en cuenta las tolerancias de las resistencias y de las tensiones de alimentación. (2) Para funcionar sobre una amplia gama de temperaturas, las desviaciones producidas por las variaciones de V_{BE} son comparables a las que resultan de los cambios de β_F. (3) Lo más importante, R_E y R_C no pueden especificarse independientemente una vez se han seleccionado V_{CC} y Q. De la Ec. (10- 20), supuesto que $I_C \gg I_B$, $(R_C + R_E) = (V_{CC} - V_{CE})/I_C$ quedando así fijada la suma de estas resistencias. En consecuencia, cualquier aumento de R_E debe ir acompañado de una disminución de R_C. La importancia de esta premisa puede apreciarse en la Ec. (10-28). Admitiendo que ΔI_C se considere igual a ΔV_{BE} e $\Delta\beta$, R_E viene determinada por la Ec. (10-28) y por tanto R_C queda especificada. Aumentando R_E para un ΔV_{BE} dado disminuye ΔI_C (mejora la estabilidad de la polarización). Desafortunadamente, como veremos en el próximo párrafo el descenso de R_C reduce la ganancia de la etapa. Estos requisitos estáticos (polarización) y dinámico (amplificación) no pueden ser tratados independientemente. El diseñador del circuito debe hacer una elección basada en una solución de compromiso entre el comportamiento estático y el dinámico. Sin embargo, una cuestión de gran importancia es que sin un grado razonable de estabilidad en la polarización, el funcionamiento dinámico no puede satisfacer las especificaciones (Fig. 10-2*b*).

Hemos observado antes que con continua C_B, C_C y C_E de la Fig. 10-12 actúan como circuitos abiertos. Las condiciones de reposo se pueden obtener trazando una recta de carga estática (continua) correspondiente a V_{CC} y a la resistencia total del lazo de colector $R_C + R_E$ (supuesto $\beta_F \gg 1$) como se ve en la Fig. 10-14. Puesto que admitimos que C_E actúa como un cortocircuito, a la frecuencia de la señal el emisor queda puesto a tierra. Análogamente C_C actúa de cortocircuito haciendo que la resistencia efectiva del colector sea $R_L = R_C \parallel R_L$. Por tanto la resistencia equivalente en alterna del lazo de colector es R_L. Para determinar la señal de salida, es decir, las variaciones alrededor del punto Q debidas a la señal de entrada deberemos trazar la *recta de carga dinámica*. La pendiente de esta recta (Fig. 10-14) es $-1/R'_L$ pasando por el punto Q. Recuérdese que cuando la señal de entrada es cero (sen $\omega t = n\pi$) sólo queda aplicada la polarización y el circuito está en su estado de reposo. La proyección sobre el eje V_{CE} del segmento de la recta recta de carga dinámica causada por la señal de entrada Δi_B alrededor de I_{BQ} determina la señal de salida Δv_{CE}. Si V_{CC} y el punto Q están especificados queda determinada la recta de carga estática. Sin embargo una reducción de R_C y por tanto de R'_L (con lo que se puede aumentar R_E) aumenta la pendiente de la recta de carga dinámica (se sitúa más verticalmente). Para un valor dado de Δi_B la proyección de esta parte de recta sobre el eje V_{CE} decrece (decrece Δv_{CE}). La señal de salida reducida para una señal de entrada dada indica una mengua de ganancia (amplificación) de la etapa.

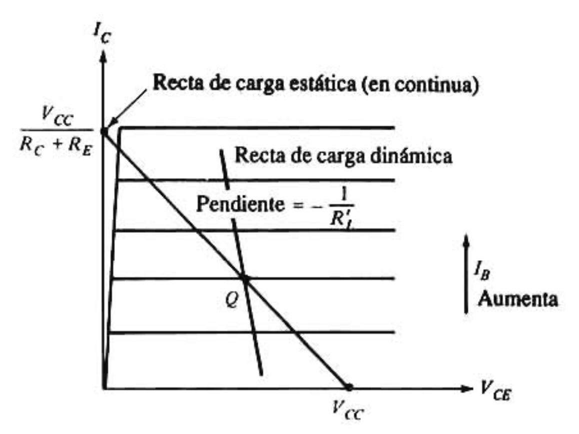


Figura 10-14. Rectas de carga estática y dinámica para una etapa BJT de componentes discretos.

10-8. POLARIZACIÓN DEL FET

Las técnicas de polarización que estabilizan el punto Q en los circuitos FET tanto integrados como de componentes discretos son semejantes a las vistas en las dos secciones anteriores para los BJT. En los circuitos MOS los esquemas de polarización controlan las desviaciones del punto de funcionamiento motivadas por variaciones de fabricación sobre la tensión umbral V_T y sobre el parámetro k de transconductancia. Los circuitos JFET tanto si son integrados o de componentes discretos se polarizan de forma que queden controladas las variaciones de la tensión de estricción V_p y de la corriente de saturación de drenaje I_{DSS} existentes de uno a otro ejemplar. Tanto los MOSFET como los JFET trabajan en todo momento en sus regiones de saturación, de forma que presentan características de fuente gobernada.

Fuentes de corriente

El circuito de la Fig. 10-15*a* es un espejo de corriente MOS integrado. El transistor $Q1$ proporciona a la carga una corriente I_{D1}. La corriente de referencia $R_R = I_{D2}$ la suple V_{DD}, R y el transistor de acumulación $Q2$ (Sec. 4-11). Estos componentes determinan también el valor de $V_{DS2} = V_{GS2}$ y puesto que las puertas están unidas entre sí $V_{GS1} = V_{GS2}$. Los valores de V_T y de k son idénticos para $Q1$ y $Q2$ ya que se han fabricado simultáneamente. Por tanto, en MOSFETs con la misma relación de aspecto (W/L) las corrientes I_{D1} e I_{D2} son iguales.

Ejemplo 10-5

Dos transistores idénticos de las características dadas en la Fig. 4-12 y repetidas en la Fig. 10-15*b* se emplean en el circuito de la Fig 10-15*a*. La tensión de suministro es de $6V$, y $R = 20\ \text{k}\Omega$. Determinar la corriente de fuente.

Solución

La Fig. 10-15*b* representa la característica de carga, que es el lugar geométrico de los puntos en los

que $V_{DS2} = v_{GS2}$. La recta de carga correspondiente a $V_{DD} = 6V$ y $R = 20\ \text{k}\Omega$ está también representada en la misma figura. El valor de $I_{D2} = I_R = 90\ \mu\text{A}$ se obtiene de la intersección de la recta de carga con la característica de resistencia. Siendo $Q1$ y $Q2$ MOSFET idénticos y $V_{GS1} = V_{GS2}$, $I_{D1} = 90\ \mu\text{A}$.

Recordando que la corriente de drenaje para unos valores dados de V_T y de k son proporcionales a W/L, haciendo distintas las relaciones de aspecto $Q1$ y $Q2$ se puede hacer que I_{D1} difiera de I_R como en la Ec. (10-29) (Prob. 10-34).

$$\frac{I_{D1}}{I_R} = \frac{(W/L)_1}{(W/L)_2} \tag{10-29}$$

siendo $(W/L)_1$ y $(W/L)_2$ las relaciones de aspecto de $Q1$ y $Q2$ respectivamente.

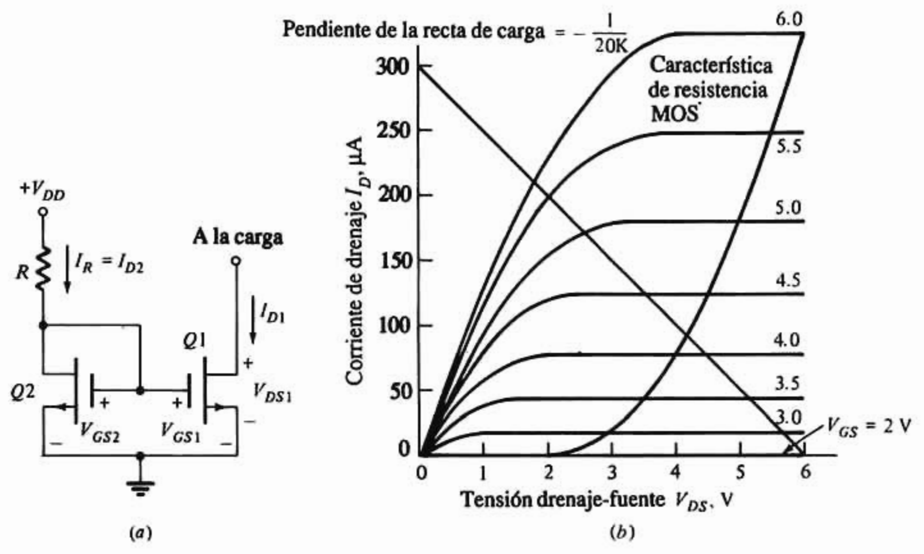


Figura 10-15. (*a*) Fuente de corriente NMOS. (*b*) Característica de salida del NMOS, recta de carga y característica de resistencia no lineal. La intersección determina la corriente de referencia de la fuente.

La característica tensión-intensidad de la fuente de corriente de la Fig. 10-15*a* es similar a la dada en la Fig. 10-6 para el circuito BJT. La región de baja tensión de la Fig 10-6 indicando que el BJT está saturado, corresponde al funcionamiento del FET en la región óhmica. Para el MOSFET, la pendiente no

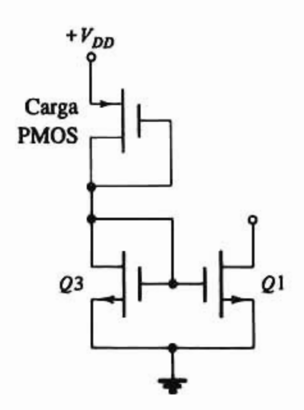


Figura 10-16. Fuente de corriente MOSFET con una PMOS. Este circuito se construye con las técnicas de fabricación CMOS.

nula de la característica *V-I* se atribuye a la modulación de la longitud del canal (Sec. 4-3). La inversa de esta pendiente es la resistencia del espejo de corriente.

La resistencia *R*, que debe ser grande para valores pequeños de fuente, se sustituye frecuentemente por un transistor de carga NMOS de deplexión (Fig. 4-26) y en forma similar *R* puede sustituirse por un transistor PMOS conectado como resistencia de carga (Fig. 10-16). Este tipo de circuitos se fabrican con tecnología CMOS normal. La fuente de corriente se puede graduar ajustando la relación de aspecto de *Q*3 así como de *Q*1 y *Q*2.

Se pueden mejorar las características del espejo de corriente empleando MOS semejantes a las fuentes de corriente Wilson (Fig. 10-10*a*) y cascodo (Fig. 10-11).

Circuito polarizador de cuatro resistencias

Los fabricantes de transistores de efecto campo normalmente facilitan información sobre los valores máximos y mínimos de I_{DSS} y V_p a temperatura ambiente, así como los datos necesarios para corregir estos valores frente a variaciones de temperatura. En la Fig. 10-17 puede verse la característica de transferencia de un tipo dado de JFET de canal *n* (o MOSFET de deplexión). Las curvas superior e inferior corresponden a los valores extremos de variaciones del dispositivo y de la temperatura, y la curva de trazos es a

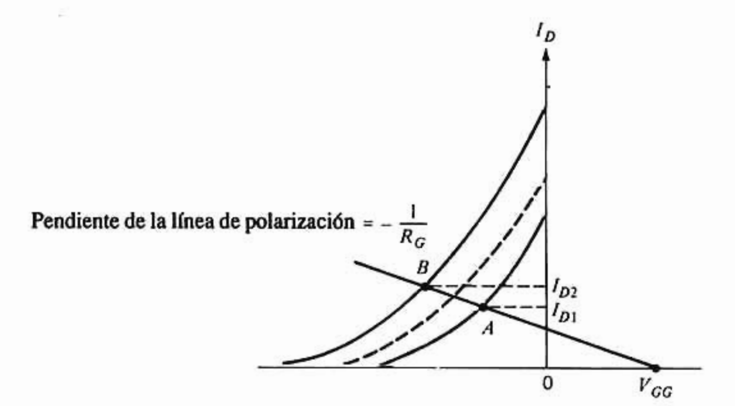


Figura 10-17. Características de transferencias máxima y mínima de un JFET de canal *n*. La línea de polarización trazada entre A y B asegura que la corriente de drenaje I_D esté siempre entre I_{D1} e I_{D2}.

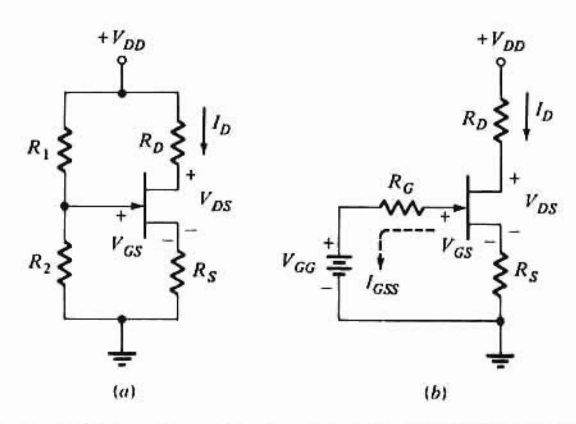


Figura 10-18. (*a*) Red de polarización FET de cuatro resistencias, (*b*) el circuito anterior con la red de polarización de puerta sustituida por su equivalente de Thèvenin.

temperatura ambiente. Supongamos que basándonos en las consideraciones antes comentadas hay que polarizar el dispositivo de forma que la corriente de drenaje esté comprendida entre I_{D1} (punto A) e I_{D2} (punto B) de la Fig. 10-17. El circuito de la Fig. 10-18*a* puede diseñarse garantizando que I_D está siempre entre I_{D1} e I_{D2}. Obsérvese que este circuito ya fue comentado para el MOSFET en la Sec. 4-10 (Fig. 4-21). Obsérvese también la similitud al circuito BJT de la Fig. 10-13. En la Fig. 10-18*a* no están representados los condensadores de bloqueo usados para unir la señal de entrada con el transistor y el FET con la carga. Estos condensadores de acoplamiento así como el de paso a través de R_S se emplean en las etapas FET de componentes discretos. En este capítulo supondremos que a las frecuencias más bajas de la señal estos condensadores tienen una reactancia nula y pueden considerarse como cortocircuitos.

El circuito de la Fig. 10-18*b* es el mismo que el de la Fig. 10-18*a*, en el que la red de polarización de la puerta V_{DD}, R_1 y R_2 se han reemplazado por el equivalente de Thèvenin V_{GG} y R_G [Ec. (10-20)]:

$$V_{GG} = \frac{R_2}{R_1 + R_2} V_{DD} \qquad R_G = R_1 \| R_2 = \frac{R_1 R_2}{R_1 + R_2} \tag{10-30}$$

Para el circuito de la Fig. 10-18*a* la ecuación de Kirchhoff aplicada al lazo de puerta es:

$$-V_{GG} + V_{GS} + I_D R_S = 0 \qquad \text{o} \qquad I_D = -\frac{1}{R_S} V_{GS} + \frac{V_{GG}}{R_S} \tag{10-31}$$

La Ec. (10-31) es la de la recta de polarización (Sec. 4-10). Construyendo la recta de polarización sobre la característica de transferencia de forma que pase por los puntos A y B se asegura que $I_{D1} \leq I_D \leq I_{D2}$. La pendiente de la recta de polarización es - $1/R_S$ de donde se puede deducir el valor de R_S. La intersección con el eje X especifica el valor necesario de V_{GG}.

En nuestro análisis suponemos $I_G = 0$. Sin embargo en el lazo de puerta existe una pequeña corriente de saturación inversa I_{GSS}. La resistencia R_G se elige tan grande como se pueda manteniendo al mismo tiempo la caída de tensión $I_{GSS} R_G$ en cuantía despreciable ($R_G I_{GSS} \ll V_{GG}$). Los valores grandes de R_G minimizan los efectos de la carga en la etapa anterior y la corriente en las resistencias R_1 y R_2. En el siguiente ejemplo veremos el método de diseño a seguir.

Ejemplo 10-6

Hay que diseñar el circuito de la Fig. 10-18*a* de forma que $5.0 \leq I_D \leq 6.0$ mA y $V_{DS} \geq 8.5$ V. Las características del JFET empleado son las de la Fig. 10-19. La tensión de alimentación es de 28 V, y $R_G \geq 100$ kΩ.

Solución

Señalar los puntos A y B de la Fig. 10-19 correspondientes a $I_D = 5$ y 6 mA respectivamente. Trazar la recta de polarización definida por esos dos puntos A y B de donde deduciremos $V_{GG} = 3V$. Según la pendiente de la recta de polarización.

$$-\frac{1}{R_S} = \frac{4 - 0}{0 - 3} \qquad \text{y} \qquad R_S = 0.75 \text{ k}\Omega$$

Las resistencias R_1 y R_2 se obtienen de V_{GG} y R_G

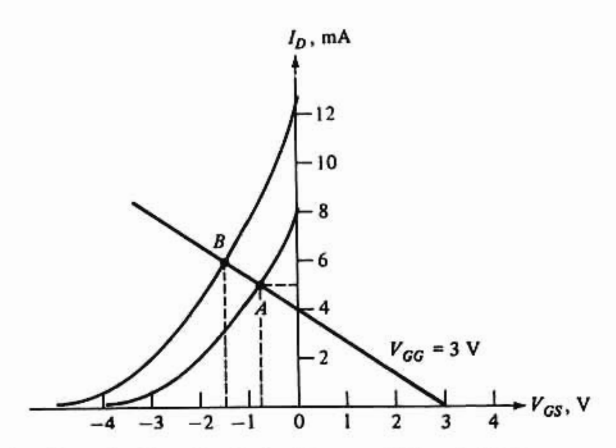


Figura 10-19. Característica de transferencia y línea de polarización para el Ejemplo 10-6.

$$R_1 = R_G \frac{V_{DD}}{V_{GG}} = 100 \frac{28}{3} = 933 \text{ k}\Omega$$

$$R_2 = R_1 \frac{V_{GG}}{V_{DD} - V_{GG}}$$

$$= 933 \frac{3}{28 - 3} = 112 \text{ k}\Omega$$

Obsérvese que R_G se ha elegido arbitrariamente a su mínimo valor. La resistencia del drenaje se obtiene de la ley de Kirchhoff aplicada al lazo drenaje-fuente. La tensión V_{DS} es mínima cuando I_D es máxima, es decir

$$-V_{DD} + I_D R_D + V_{DS} + I_D R_S = 0$$

$$-28 + 6R_D + 8.5 + 6 \times 0.75 = 0 \qquad \text{y} \qquad R_D = 2.5 \text{ k}\Omega$$

Las resistencias R_D y R_S no pueden especificarse independientemente. Esta situación es la misma que la del circuito BJT de la Fig. 10-12 descrito en la sección anterior (véase también el ejemplo 10-4).

10-9. ANÁLISIS LINEAL DE CIRCUITOS DE TRANSISTORES

En las anteriores secciones de este capítulo nos hemos referido a la polarización de un transistor para establecer un punto de trabajo estable. Consideraremos ahora la respuesta de los circuitos de transistores ante la aplicación de señales variables con el tiempo. En particular trataremos del funcionamiento con pequeña señal para las que se puede admitir que los transistores actúan linealmente. En estas condiciones los componentes de la señal de respuesta se obtienen mejor empleando los circuitos equivalentes de pequeña señal (incremental) de los BJT y FET.

El circuito equivalente de pequeña señal y baja frecuencia de un BJT se representó primeramente en la Fig. 3-33 repitiéndose luego para mayor comodidad en la Fig. 10-20. Asimismo, los valores de los parámetros del modelo dados en las Ecs. (3-28), (3-29), (3-33) y (3-34) se repiten en las Ecs. (10-32) a (10-35).

$$\beta_o = \frac{\Delta i_C}{\Delta i_B}\bigg|_{V_{CEQ}} = \frac{i_c}{i_b}\bigg|_{v_{ce}=0} \qquad (10\text{-}32)$$

$$\beta_o = g_m r_\pi \qquad \text{o} \qquad r_\pi = \frac{\beta_o}{g_m} \tag{10-33}$$

$$g_m = \frac{|I_{CQ}|}{V_T} \approx \frac{|I_{CQ}|\,(\text{mA})}{25} \tag{10-34}$$

a temperatura ambiente.

Además r_o está dada en la Ec. (10-9) y repetida en la (10-35)

$$r_o = \frac{V_A}{|I_{CQ}|} \tag{10-35}$$

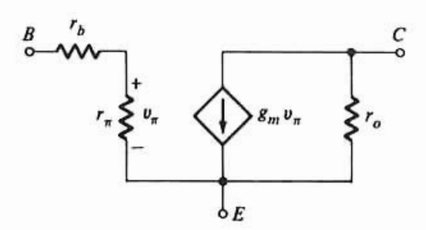


Figura 10-20. Circuito equivalente híbrido -π de baja frecuencia.

Observamos en estas ecuaciones que los parámetros de pequeña señal dependen de I_{CQ}. Así las cantidades en continua (polarización) deben determinarse previamente al análisis de pequeña señal. Generalmente los fabricantes de estos dispositivos facilitan los datos de β y de la resistencia de entrada R_i en un determinado punto de trabajo. En la configuración en emisor común, frecuentemente β_o y R_i figuran en los catálogos como h_{fe} y h_{ie} respectivamente, ya que los fabricantes miden ambos parámetros h (Apéndice C). Téngase en cuenta que si el circuito diseñado funciona en condiciones de reposo distintas deben ajustarse los valores de los parámetros del modelo.

Existen muchos circuitos de transistores que no consisten simplemente en las configuraciones de emisor, base o colector común. Por ejemplo, un amplificador en emisor común puede tener una resistencia de realimentación entre colector y base o tener una resistencia de emisor. Además, un circuito puede estar formado por varios transistores interconectados de alguna forma. Para determinar analíticamente el comportamiento con pequeña señal de circuitos amplificadores relativamente complicados pueden seguirse las siguientes normas simples:

1. Dibujar limpiamente el esquema real de conexiones.
2. Señalar en este esquema los puntos *B* (base), *C* (colector) y *E* (emisor). Situar estos puntos a manera de inicio del circuito equivalente. Mantener la misma posición relativa que en el circuito original.
3. Sustituir cada transistor por su modelo.
4. Transferir todos los componentes (resistencias, condensadores y fuentes de señal) desde la red al circuito equivalente.
5. Puesto que sólo estamos interesados en los cambios de los valores de reposo, se sustituye cada fuente de continua independiente por su resistencia interna. La fuente de tensión ideal se sustituye por un cortocircuito y la de corriente (también ideal) por un circuito abierto. Esta es una implicación de la operación ideal, que efectivamente permite emplear la superposición.
6. Resolver el circuito lineal resultante, para las corrientes en la red y las tensiones en los nudos, aplicando las leyes de Kirchhoff.

Hay que advertir que el proceder anterior no se refiere únicamente a las bajas frecuencias. Una condición básica estriba en que las tensiones y las corrientes sean suficientemente pequeñas para que resulte un funcionamiento lineal. Dicho con otras palabras: durante todo el recorrido de la señal, los parámetos del modelo deben mantenerse esencialmente constantes. Estas normas son igualmente aplicables a los circuitos FET.

10-10. AMPLIFICADOR EN EMISOR COMÚN

La Fig. 10-21*a* representa esta configuración, si bien para mayor simplicidad se han omitido las resistencias de polarización y los condensadores de acoplamiento y de paso (bypass) si los hay. La Fig. 10-21*b* muestra la etapa en emisor común con el transistor sustituido por el circuito equivalente de la Fig. 10-20. Supondremos que las tensiones y corrientes varían senoidalmente (o alternativamente son de la forma $A\varepsilon^{st}$) pudiéndose proseguir el análisis del circuito empleando los métodos y notaciones dados en el Apéndice C. Las cantidades que tienen interés son: *ganancia de corriente*, *resistencia de entrada*, *ganancia de tensión* y *resistencia de salida*.

Ganancia o amplificación de corriente A_I

Para la etapa amplificadora BJT, A_I es la relación entre corrientes de salida y de entrada, o sea

$$A_I \equiv \frac{I_o}{I_b} \tag{10-36}$$

En el circuito de la Fig. 10-21 vemos que $V_\pi = I_b r_\pi$, y empleando la relación del divisor de corriente, $I_o = g_m V_\pi r_o/(r_o + R_C)$. Combinando estos resultados y haciendo $g_m r_\pi = \beta_o$ y $R_L = R_C \,||\, r_o$ tendremos

$$A_I = \beta_o \frac{r_o}{r_o + R_C} = \beta_o \frac{R_L}{R_C} \tag{10-37}$$

para $r_o \gg R_C$ encontraremos que $R_L = R_C$ y $A_I = \beta_o$. Con estas aproximaciones A_I se iguala a la ganancia de corriente en cortocircuito del BJT y es independiente de la carga R_C.

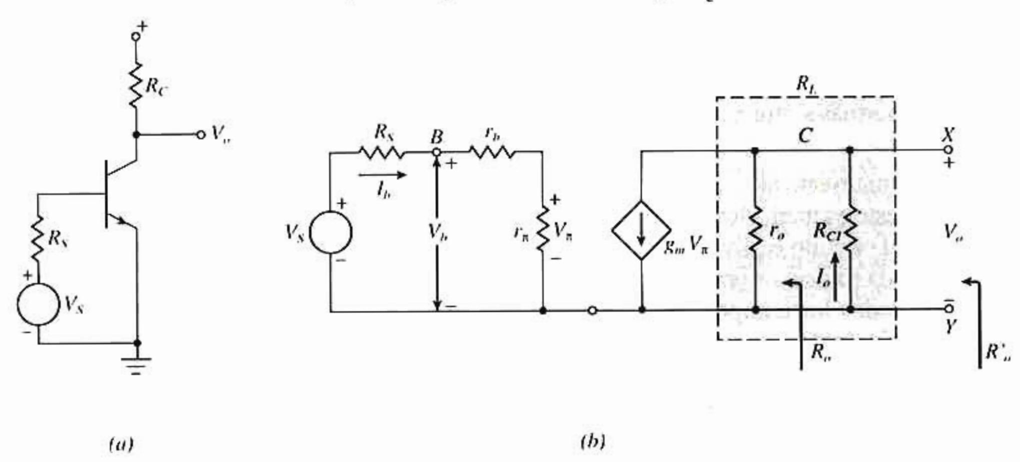


Figura 10-21. (*a*) Etapa en emisor común, y (*b*) su circuito equivalente de pequeña señal y baja frecuencia. El modelo de pequeña señal del transistor es lo representado sombreado. (*Nota*: Para mayor simplicidad se han omitido partes de la red de polarización suponiendo que afecta poco al funcionamiento del circuito con pequeña señal.)

Resistencia de entrada R_i

La resistencia R_s de la Fig. 10-21 representa la resistencia de la fuente de señal. La resistencia que se ve mirando desde los terminales de entrada *B* y *E* del transistor es la resistencia de entrada R_i *o sea:*

$$R_i \equiv \frac{V_b}{I_b} = r_b + r_\pi = h_{ie} \tag{10-38}$$

Obsérvese que R_i también es independiente de la carga e iguala la resistencia de entrada en cortocircuito h_{ie}. Si $r_\pi \gg r_b$ como es lo normal, $R_i \approx r_\pi$

Ganancia o amplificación de tensión A_V

La relación entre las tensiones de entrada V_o y de salida V_s constituye la ganancia de la etapa. Siendo R_L la combinación de R_C y r_o en paralelo tendremos:

$$A_V \equiv \frac{V_o}{V_s} = \frac{-g_m V_\pi R_L}{I_b(R_s + r_b + r_\pi)} \tag{10-39}$$

donde $I_b(R_s + r_b + r_\pi)$ es la expresión de Kirchhoff para el lazo de la base. Sustituyendo $V_\pi = I_b r_\pi$ y las Ecs. (10-38) y (10-33) en la (10-39) se llega a

$$A_V = \frac{-\beta_o R_L}{R_s + R_i} = \frac{-\beta_o R_L}{R_s + r_b + r_\pi} \tag{10-40}$$

para $r_o \gg R_C$, $R_L = R_C$ y la Ec. (10-40) se reduce a

$$A_V = \frac{-\beta_o R_C}{R_s + r_b + r_\pi} \tag{10-41}$$

Obsérvese que no puede aumentarse A_V aumentando arbitrariamente R_C. Si $R_C \gg r_o$, $R_L \approx r_o$ y A_V pasa a ser

$$A_V = \frac{-\beta_o r_o}{R_s + r_o + r_\pi} \approx -g_m r_o \tag{10-42}$$

para $r_\pi \gg R_s + r_b$. Sustituyendo las Ecs. (10-34) y (10-35) en la (10-42) se llega a $|A_V| \approx V_A/V_T$ siendo esta la ganancia máxima de la etapa.

La situación de la Ec. (10-42) se da frecuentemente en etapas amplificadoras integradas. Tal como se representa en la Fig. 10-22*a*, las etapas integradas utilizan a menudo fuentes de corriente *pnp* en lugar de la resistencia R_C de la Fig. 10-21*a*. El espejo (*Q*2 y *Q*3) polariza ambos y provee la resistencia de carga para *Q*1 como se ve en la representación de la Fig 10-22*b*. Si la corriente en R_o es despreciable frente a I_o, como frecuentemente sucede, $I_{C1} \approx I_o$ y se estabiliza el punto de trabajo de *Q*1. La Fig. 10-22*c* es el equivalente de pequeña señal de la Fig. 10-22*b*, y es idéntico a la Fig. 10-21*b* si R_o se identifica con R_C. Evidentemente, si $R_o \gg r_o$ como es el caso si se utiliza una fuente Widlar o Wilson en lugar del simple espejo de corriente de la Fig. 10-22*a*, la amplificación A_V de la etapa vendrá dada por la Ec. (10-42). El término «carga activa» se aplica a la fuente de corriente usada como se ha descrito en el párrafo anterior. En la Sec. 14-2 se presenta un detallado examen de las cargas activas.

Algunas veces en la literatura profesional V_o/V_b se identifica con una ganancia de tensión. Esta cantidad es la relación de transferencia de tensión entre entrada y salida, llamada a veces ganancia de *transducción*, cuya relación con A_V y A_I es:

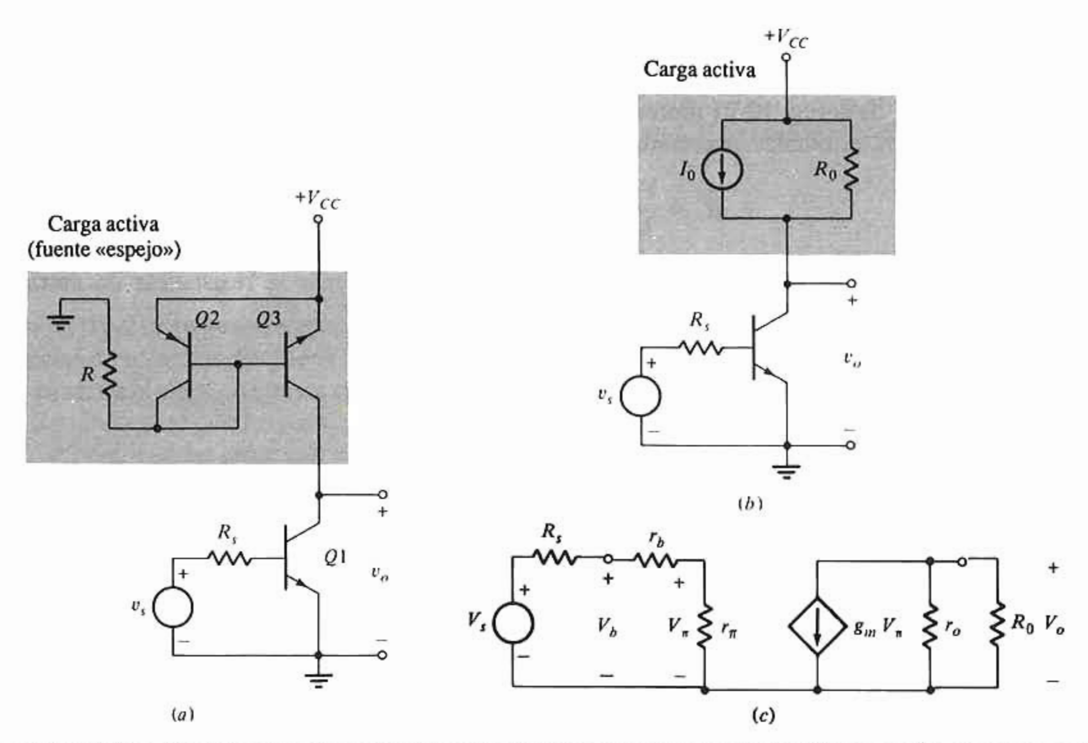


Figura 10-22. (*a*) Una fuente de corriente *pnp* como carga en una etapa en emisor común. (b) Representación equivalente de (*a*). (*c*) Circuito equivqlente de pequeña señal de la etapa.

$$A_V = \frac{R_i}{R_i + R_s} \times \frac{V_o}{V_b} \qquad \text{o} \qquad \frac{V_o}{V_b} = -A_I \frac{R_L}{R_i} \tag{10-42a}$$

Puesto que esta ganancia no incluye el efecto de la resistencia R_s de la fuente de señal, generalmente resulta menos útil en el diseño de amplificadores prácticos.

Resistencia de salida

En un circuito de etapa única, la resistencia de salida R_o es la resistencia R_C vista desde la carga. Por definición, R_o se halla haciendo la tensión de fuente V_s igual a cero y R_C tendiendo hacia infinito, aplicando una fuente V_2 a los terminales de salida y midiendo la corriente I_2 producida. Por tanto $R_o \equiv V_2/I_2$. Con $V_s = 0$, I_b y V_π son nulas. Así, $I_2 = V_2/r_o$ y

$$R_o = \frac{V_2}{I_2} = r_o \tag{10-43}$$

Normalmente los sistemas amplificadores constan de varias etapas. Consideremos la situación en la que los terminaleş *X-Y* de la Fig. 10-21*b* están conectados a la entrada de otra etapa. Aquí conviene conocer la resistencia de salida R'_o de la etapa amplificadora, es decir, la resistencia de salida que incluya los efectos de R_C. En la Fig. 10-21*b* se ve claramente que R'_o es la combinación de r_o y R_C en paralelo

$$R'_o = \frac{r_o R_C}{r_o + R_C} = R_L \tag{10-44}$$

Obsérvese que para $r_o \gg R_c$, $R'_o = R_C$.

En la práctica, el caso en que $r_o \gg R_C$ se da con tal frecuencia que es conveniente suponer que r_o tiende a infinito. Análogamente, los valores de r_b que se encuentran son suficientemente pequeños para suponer que $r_b = 0$ introduzca errores casi siempre despreciables. Con estas suposiciones se simplifican grandemente los cálculos manuales permitiendo al diseñador fijar rápidamente las prestaciones del circuito. Cuando es necesaria una gran precisión se emplean programas de análisis de circuitos (tales como SPICE, MICROCAP II, etc) con la ayuda de computadores. En lo que resta del texto el lector puede suponer que $r_b = 0$ y r_o = infinito, salvo que se indique otra cosa. Los resultados de la configuración en emisor común se resumen en la primera columna de la Tabla 10-3. En la Tabla 10-3*A* se ha hecho uso de los supuestos citados; los resultados de la Tabla 10-3*B* incluyen estos elementos y sólo se supone que $\beta_o r_o \gg r_b + r_\pi + R_S$.

10-11. EL SEGUIDOR DE EMISOR

El esquema de la Fig. 10-23*a* corresponde a un amplificador en colector común (*CC*). A esta configuración se le llama también *seguidor de emisor* porque su ganancia de tensión es próxima a la unidad [Ec. (10-50)] y por tanto un cambio en la tensión de la base se manifiesta con un cambio igual en la carga en el emisor. Dicho de otra forma, el emisor *sigue* a la señal de entrada. Veremos más abajo que la

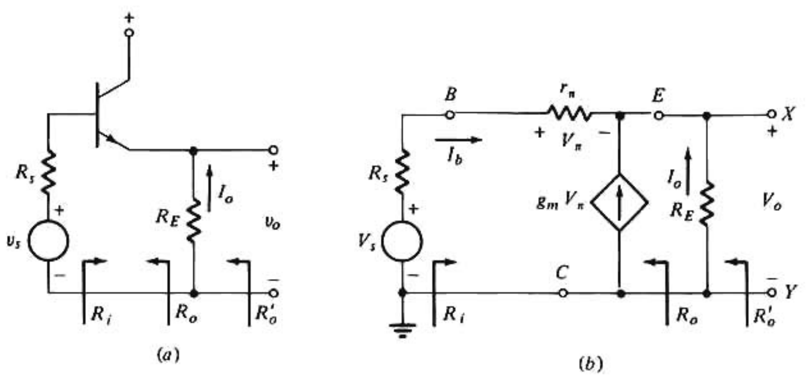


Figura 10-23. (*a*) Etapa en colector común (seguidor de emisor), y (*b*) su circuito equivalente de baja frecuencia.

Tabla 10-3A. Ecuaciones aproximadas de una etapa amplificadora ($r_o \to \infty$, $r_b = 0$)

	Configuración			
*Cantidad**	*CE*	*CE con R_E*	*CC*	*CB*
A_I	$\beta_o = h_{fe}$	β_o	$-(1 + \beta_o)$	$\dfrac{\beta_o}{1+\beta_o} \approx 1$
R_i	$r_\pi = h_{ie}$	$r_\pi + (\beta_o + 1)R_E$	$r_\pi + (\beta_o + 1)R_E$	$\dfrac{r_\pi}{1+\beta_o} \approx \dfrac{1}{g_m}$
A_V	$\dfrac{-\beta_o R_C}{R_s + r_\pi}$	$\dfrac{-\beta_o R_C}{R_s + R_i}$	$\dfrac{(\beta_o + 1)R_E}{R_s + R_i}$	$-A_I \dfrac{R_C}{R_s + R_i} \approx \dfrac{R_C}{R_s}$
R_o	∞	∞	$\dfrac{R_s + r_\pi}{1 + \beta_o}$	∞
R'_o	R_C	R_C	$R_E \| R_o$	R_C

Tabla 10-3B. Ecuaciones de una etapa amplificadora

*Cantidad**	*Configuración* CE	CE con R_E	CC	CB
A_I	$\dfrac{\beta_o r_o}{r_o + R_C} = \dfrac{\beta_o R_L}{R_C}$	$\dfrac{\beta_o r_o}{r_o + R_C + R_E}$	$\dfrac{-(\beta_o + 1)r_o}{r_o + R_E}$	$\dfrac{\beta_o}{\beta_o + R_C/R_L}$
R_i	$r_b + r_\pi = h_{ie}$	$r_\pi + r_b + \dfrac{R_E[r_o(1 + \beta_o) + R_C]}{r_o + R_C + R_E}$	$r_b + r_\pi + R'_E(1 + \beta_o)$	$\dfrac{r_b + r_\pi}{(\beta_o R_L R_C + 1}$
A_V	$\dfrac{-\beta_o R_L}{R_s + r_b + r_\pi}$	$\dfrac{-\beta_o R_L}{R_s + r_b + r_\pi + R_E(1 + \beta_o R_L/R_C)}$	$\dfrac{(1 + \beta_o)R'_E}{R_s + R_i}$	$\dfrac{-R_L}{R_s + R_i}\,\dfrac{\beta_o}{1 + (\beta_o R_L/R_C)}$
R_o	r_o	$r_o\left[1 + \dfrac{\beta_o R_E}{R_s + r_b + r_\pi + R_E}\right]$	$r_o \Vert \dfrac{R_s + r_b + r_\pi}{1 + \beta_o}$	$r_o\left[1 + \dfrac{\beta_o R_s}{R_s + r_b + r_\pi}\right]$
R'_o	$R_L = r_o \Vert R_C$	$R_o \Vert R_C$	$R_E \Vert R_o$	$R_o \Vert R_C$

* El valor de R_o puede calcularse también determinando la resistencia Thèvenin en los terminales indicados. Mencionamos ahora esto porque a veces el equivalente de Thèvenin es el método más eficaz de obtener R_o y lo utilizamos a lo largo del texto. En la Tabla 10-3*B* se toman los valores $R_i = R_C \,||\, R_o$ y $R'_E = R_E \,||\, r_o$

resistencia de entrada R_i de un seguidor de emisor es muy alta (centeneres de kiloohmios) y la de salida R_o muy baja (decenas de ohmios). Por tanto la utilización más corriente de un circuito en colector común es a manera de etapa separadora que cumple la función de transformación de resistencias (de alta a baja) dentro de un amplio campo de frecuencias con ganancia de tensión próxima a la unidad. Además el seguidor de emisor aumenta el nivel de potencia de la señal, es decir, que proporciona una ganancia de potencia.

La Fig. 10-23*b* representa el circuito equivalente del seguidor de emisor. Obsérvese que el colector está a tierra respecto a la señal (porque la alimentación V_{CC} se ha sustituido por un cortocircuito de acuerdo con la 5ª regla dada en la Sec. 10-9).

La ganancia de corriente

Aplicando la ley de Kirchhoff a la Fig. 10-23b, la corriente de salida I_o vendrá dada por

$$I_o = -I_b - g_m V_\pi \tag{10-45}$$

y

$$V_\pi = I_b r_\pi \tag{10-46}$$

Combinando las Ecs. (10-45) y (10-46), haciendo $\beta_o = g_m r_\pi$ y la formación de la relación I_o/I_b resulta

$$A_I = \frac{I_o}{I_b} = -(\beta_o + 1) \tag{10-47}$$

La resistencia de entrada

La resistencia de entrada R_i es la relación V_b/I_b. Aplicando la ley de Kirchhoff al lazo exterior de la Fig. 10-22*b* se obtiene

$$V_b = I_b r_\pi - I_o R_E \tag{10-48}$$

Sustituyendo I_o de la Ec. (10-47) y dividiendo por I_b

$$R_i = \frac{V_b}{I_b} = r_\pi + (1 + \beta_o)R_E \tag{10-49}$$

Observamos en la Ec. (10-49) que R_i para el seguidor de emisor es notablemente mayor que $R_i = r_\pi$ para la etapa en emisor común, aún con pequeños valores de R_E porque $\beta_o \gg 1$.

Ganancia de tensión

La tensión de salida es $V_o = -I_o R_E$. Puesto que $V_s = I_b R_s + V_b$, con las Ecs. (10-47) y (10-48) se llega, después de algunas manipulaciones algebraicas a

$$A_V = \frac{V_o}{V_s} = \frac{(\beta_o + 1)R_E}{R_s + r_\pi + (\beta_o + 1)R_E} = \frac{(\beta_o + 1)R_E}{R_s + R_i} \tag{10-50}$$

Con $(\beta_o + 1)R_E \gg R_s + r_\pi$, como es lo normal, A_V es aproximadamente igual pero ligeramente inferior a la unidad.

La resistencia de salida

La resistencia R'_o es la resistencia de Thèvenin vista desde los terminales *X-Y*. Como la tensión de Thèvenin es simplemente $V_o = A_V V_s$, la determinación de la corriente de cortocircuito I_{sc} nos da $R'_o = V_o/I_{sc}$. Obsérvese que $I_{sc} = -I_o$ y haciendo $R_E = 0$ (cortocircuito) se puede llegar a (Prob. 10-46).

$$R'_o = \frac{(R_s + r_\pi)R_E/(1 + \beta_o)}{[(R_s + r_\pi)/(1 + \beta_o)] + R_E} \tag{10-51}$$

La Ec. (10-51) indica que R'_o es la combinación de las resistencias R_E y $(R_s + R_\pi)/(1 + \beta_o)$ en paralelo. En la Fig. 10-23*b* vemos que $R_o = R_O \parallel R_E = 0$ y por tanto

$$R_o = \frac{R_s + r_\pi}{1 + \beta_o} \tag{10-52}$$

Obsérvese que la *resistencia de salida es función de la resistencia de fuente* R_s. Como $\beta_o \gg 1$, R_o de un seguidor de emisor es pequeña (ohmios) comparado con la resistencia de entrada que es grande (decenas o centenas de kiloohmios). Los resultados para la etapa en colector común figuran en la tercera columna de la Tabla 10-3.

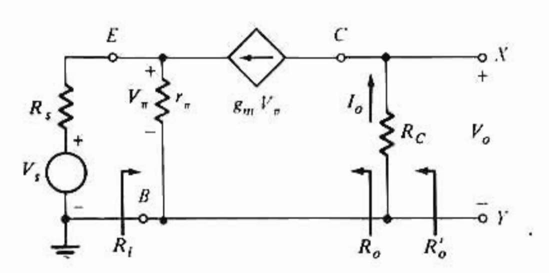


Figura 10-24. Circuito equivalente de baja frecuencia de la etapa en base común.

10-12. EL AMPLIFICADOR EN BASE COMÚN

El circuito de la Fig. 3-8 es una etapa amplificadora en base común si V_{EE} y R_E se sustituye por una fuente de señal V_s de resistencia interior a R_s. El circuito equivalente es el de la Fig. 10-24, y observamos que el empleo del modelo de pequeña señal y los resultados obtenidos son independientes de que esté en consideración un transistor *npn* o *pnp*. Aplicando a este circuito las definiciones de A_I, R_i, A_V y R_o dadas en la Sección 10-10, se llega a los resultados de la cuarta columna de la Tabla 10-3. Se deja para el lector la comprobación de estas fórmulas (Prob. 10- 42).

10-13. COMPARACIÓN ENTRE CONFIGURACIONES DEL AMPLIFICADOR BJT

En la Tabla 10-4 se dan los valores numéricos de A_I, R_i, A_V, R_O y R'_o de las tres configuraciones básicas del amplificador BJT, para $R_C = R_E = 1.5$ kΩ y $R_s = 0.6$ kΩ y un transistor que tenga $\beta_o = 100$, $r_b = 50$ Ω y $g_m = 0.1$ ℧. El valor de g_m corresponde a un BJT polarizado a $I_{CQ} = 2{,}5$ mA [Ec. (10-34)]. El valor de $r_o = 50$ kΩ se obtiene para una tensión Early $V_A = 125$ V. Para cada configuración se dan tres valores de A_I, R_i, A_V, R_o y R'_o. La primera columna de cada circuito se obtiene de las ecuaciones de la Tabla 10-3*A* ($r_b = 0$, $r_o \to \infty$). La Tabla 10-3*B* se aplica para el cálculo de los restantes valores, con $r_b = 50$ Ω, $r_o \to \infty$ en la columna 2 y $r_b = 0$, $r_o = 50$ kΩ en la columna 3 (para las tres configuraciones). La comparación entre datos de cada configuración demuestra la utilidad de las relaciones aproximadas de la Tabla 10-3*A*. Con la excepción de valores de R_o señalados ∞, los resultados de la columna 1 no difieren más del 5% de los de las columnas 2 y 3. Además, los resultados de la columna 1 (para cada circuito) concuerdan, dentro de un 10% con los medidos para un transistor con los valores de parámetros dados.

Tabla 10-4 Comparación entre configuraciones BJT

	CE				*CC*				*CB*			
Cantidad		*Aprox.* $r_b = 0$, $r_o \to \infty$	$r_b = 50$ Ω $r_o \to \infty$	$r_b = 0$ $r_o = 50$ kΩ		*Aprox.* $r_b = 0$, $r_o \to \infty$	$r_b = 50$ Ω $r_o \to \infty$	$r_b = 0$ $r_o = 50$ kΩ		*Aprox.* $r_b = 0$, $r_o \to \infty$	$r_b = 50$ Ω $r_o \to \infty$	$r_b = 0$ $r_o = 50$ kΩ
$\lvert A_I \rvert$	Alta	100	100	97.1	Alta	101	101	98.1	Baja	0.990	0.990	0.990
R_i	Media	1.00 kΩ	1.05 kΩ	1.00 kΩ	Alta	153 kΩ	153 kΩ	147 kΩ	Baja	9.90 Ω	10.4 Ω	10.2 Ω
$\lvert A_V \rvert$	Alta	93.8	90.9	91.0	Baja	0.990	0.989	0.989	Baja	2.44	2.43	2.43
R_o	Alta	∞	∞	50 kΩ	Baja	15.8 Ω	16.3 Ω	15.8 Ω	Alta	∞	∞	1.93 MΩ
R'_o	—	1.50 kΩ	1.50 kΩ	1.46 kΩ	—	15.6 Ω	16.1 Ω	15.6 Ω	—	1.50 kΩ	1.50 kΩ	1.50 kΩ

Para $\beta_o = 100$, $g_m = 0.10$ ℧, $R_s = 0.60$ kΩ, y $R_C = R_E = 1.5$ kΩ.

Configuración en emisor común (*CE*)

En la Tabla 10-4 vemos que sólo la etapa en emisor común es capaz de proporcionar una ganancia de tensión y de corriente mayor que la unidad. Esta configuración es la más versátil y utilizada de las tres. Obsérvese que los valores de R_i y R_o están entre los de las configuraciones *CB* y *CC*.

Configuración en colector común (*CC*)

En la etapa en colector común, A_I es alta (aproximadamente igual a la de la etapa en emisor común).

A_V es menor que la unidad (pero próxima a ella) R_i es la más alta y R_o la más baja de entre las tres configuraciones. Este circuito se emplea mucho como etapa separadora entre una fuente de alta impedancia y una carga de impedancia baja.

Configuración en base común (*CB*)

Raramente se emplea sola la etapa en base común (o como una de entre varias etapas en base común en cascada) debido a que la gran disparidad entre las resistencias de entrada y de salida impiden virtualmente cualquier ganancia. En la Tabla 10-3 vemos que siempre se realiza que $A_I < 1$, y con R_C y R_S del mismo orden, también A_V puede ser menor que la unidad. La etapa en base común se usa juntamente con otras (por ejemplo una cascada *CE-CB*) por su extremadamente baja resistencia de entrada que contribuye a mejorar la respuesta en frecuencia de las etapas combinadas. Es interesante observar que la ganancia de transducción V_o / V_e de la etapa en base común es alta, pero debido a la resistencia de entrada sumamente baja la ganancia en tensión de la etapa también es baja.

10-14. AMPLIFICADOR EN EMISOR COMÚN CON UNA RESISTENCIA DE EMISOR

La ganancia de tensión de una etapa en emisor común depende de β_o como indica la Tabla 10-3. Este parámetro del BJT depende de la temperatura, su envejecimiento, proceso de fabricación, así como de otras variables, presentando el mismo grado de variabilidad que β_F. En consecuencia, frecuentemente se necesita hacer que la ganancia de tensión de la etapa A_V sea prácticamente insensible a las variaciones de β_o. (Esto es análogo a hacer I_C independiente de β_F para estabilizar el punto Q.) Una forma sencilla y eficaz para conseguir una ganancia de tensión insensible es añadir una resistencia de emisor R_E a la etapa en emisor común como indica la Fig. 10-25*a*. La desensibilización conseguida es consecuencia de la realimentación facilitada por R_E. (En el Cap. 12 se verá el concepto general de realimentación).

En esta sección demostraremos que R_E tiene los siguiente efectos sobre el comportamiento dinámico de la etapa amplificadora: deja la ganancia de corriente prácticamente invariada aumentando la resistencia de entrada en $(1 + \beta_o) R_E$; también la resistencia de salida aumenta. Con la condición de que $(1 + \beta_o) R_E \gg R_s + r_\pi$, la ganancia de tensión es virtualmente independiente de β_o aproximadamente a $-R_C/R_E$.

Para el análisis en baja frecuencia de este circuito puede emplearse el circuito equivalente de la Fig. 10-25*b*. En este circuito vemos que

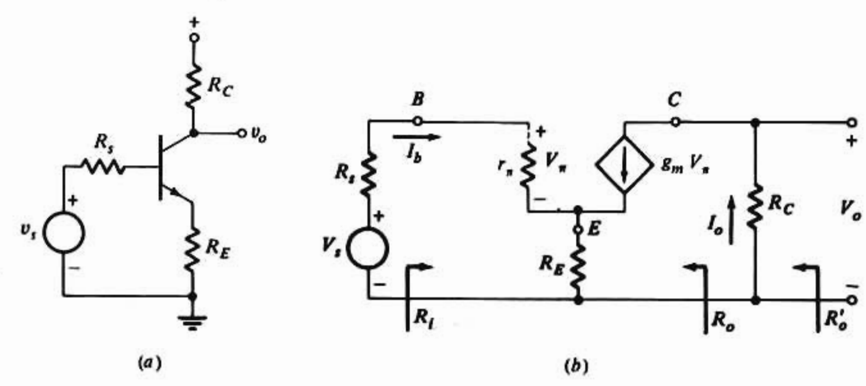


Figura 10-25. (*a*) Etapa en emisor común con resistencia de emisor. (*b*) Circuito equivalente de la etapa, válido para baja frecuencia.

$$I_o = g_m V_\pi \tag{10-53}$$

$$V_o = -I_o R_C \tag{10-54}$$

$$V_\pi = I_b r_\pi \tag{10-55}$$

Las ecuaciones de Kirchhoff para el lazo de la base dan

$$-V_s + I_b(R_s + r_\pi) + (I_b + g_m V_\pi)R_E = 0 \tag{10-56}$$

y

$$V_b = I_b + r_\pi + (I_b + g_m V_\pi)R_E \tag{10-57}$$

De las Ecs. (10-53) y (10-55) resulta

$$A_I = \frac{I_o}{I_b} = \beta_o \tag{10-58}$$

Sustituyendo la Ec. (10-53) en la (10-55) y dividiendo por I_b resulta

$$R_i = \frac{V_b}{I_b} = r_\pi + (1 + \beta_o)R_E \tag{10-59}$$

Combinando las Ecs. (10-53) a (10-56) y despejando V_o/V_s resulta

$$A_V = \frac{V_o}{V_s} = \frac{-\beta_o R_C}{R_s + r_\pi + (1 + \beta_o)R_E} \tag{10-60}$$

Para $(1 + \beta_o) R_E \gg R_s + r_\pi$, la Ec. (10-60) se reduce a

$$A_V \approx \frac{-R_C}{R_E} \tag{10-61}$$

independiente de los parámetros del transistor. Hacer que A_V sea independiente de las variaciones de β_o es a expensas de una reducción apreciable de la ganancia comparada con la que se obtiene con una sola etapa en emisor común. Sin embargo, en muchas aplicaciones el beneficio obtenido compensa este inconveniente.

Las resistencias de salida R_o y R'_o de la Fig. 10-25*a* son respectivamente infinita y R_C ya que admitimos que r_o tiende a infinito. Si incluimos el efecto de r_o (Prob. 10-47) las resistencias de salida serán las dadas en la Tabla 10-3B.

10-15. ETAPAS AMPLIFICADORAS FET

Las principales configuraciones del amplificador FET son análogas a las de las etapas BJT comentadas en anteriores secciones. El análisis de estas etapas se basa en el modelo FET de pequeña señal introducido en la Sec. 4-14; el método empleado es semejante al seguido para el BJT (Sec. 10-9). En esta sección nos referiremos a las configuraciones de fuente común (CS) y drenaje común (CD) empleando las notaciones de corrientes y tensiones para el FET dadas en la Tabla 10-2.

Circuitos equivalentes de pequeña señal

El modelo de baja frecuencia y pequeña señal, válido tanto para el JFET como para el MOSFET está

representado en la Fig. 4-36 y repetido para mayor comodidad en la Fig. 10-26*a*. Los párametros g_m y r_d del modelo quedan definidos por las Ecs. (4-17), (4-19) y (4-23) repitiéndose también para mayor comodidad en las Ecs. (10-62) y (10-63).

$$g_m = \frac{2}{|V_p|}\sqrt{I_{DQ}I_{DSS}} \quad \text{para JFETs} \tag{10-62a}$$

$$g_m = 2\sqrt{k\frac{W}{L}I_{DQ}} \quad \text{para MOSFETs} \tag{10-62b}$$

$$r_d \approx \frac{1}{\lambda I_{DQ}} = \frac{V_A}{I_{DQ}} \tag{10-63}$$

Obsérvese que tanto los valores de g_m como los de r_d dependen de la polarización. Comparando la Fig. 10-26*a* con el modelo híbrido-π del BJT (Fig. 10-20) se ve que son equivalentes si $r_b = 0$ y $r_\pi \to \infty$ (circuito abierto).

La resistencia de salida r_d normalmente no es suficientemente grande para poderla despreciar (así como se desprecia r_o en el modelo BJT). Corrientemente r_d es del orden de unas pocas decenas de kiloohmios para el MOSFET; para el JFET r_d puede ser de hasta varios centenares de kiloohmios. El valor de g_m para un FET polarizado a I_{DQ} es inferior que el de un BJT polarizado a $I_{CQ} = I_{DQ}$. Por tanto, para conseguir la misma ganancia de tensión que un BJT con resistencia de colector R_C, la etapa FET necesitará normalmente una resistencia de drenaje $R_D > R_C$. Debido a los altos valores de R_D frecuentemente empleados, no se puede despreciar en el modelo la resistencia de salida incremental r_d. Puesto que en el análisis del amplificador FET debe incluirse r_d, muchas veces es conveniente emplear el modelo de la Fig. 10-26*b*. La tensión de la combinación fuente-resistencia (μV_{gs}-r_d) de la Fig. 10-26*b* es la fuente de tensión equivalente a la fuente de corriente $g_m V_{gs}$ en paralelo con r_d en la Fig. 10-26. La magnitud μ, llamada factor de amplificación viene dada por

$$\mu = g_m r_d \tag{10-64}$$

El circuito abierto entre puerta y fuente en el modelo[1] hace que $I_g = 0$ de forma que es inoportuno considerar A_I y R_i en etapas FET (corrientemente). Para la mayor parte de circuitos FET, la ganancia de tensión A_V y la resistencia de salida R_o son los elementos más importantes que describen la actuación amplificadora.

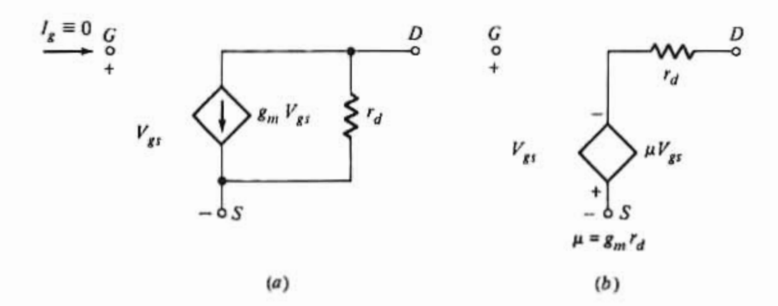


Figura 10-26. Dos fomas del circuito equivalente de baja frecuencia y pequeña señal del FET.

[1] Un modelo de toda precisión debiera incluir las resistencias r_{dg} y r_{sg} entre drenaje y puerta y entre fuente y puerta respectivamente. Estas resistencias suponen pasos de corriente de fuente y de drenaje a puerta a través de la capa de óxido en el MOSFET o a través de la unión *pn* con polarización inversa en el JFET. Las mediciones (así como el análisis teórico) indican que r_{dg} y r_{sg} son superiores a 10.000 MΩ por lo que es razonable considerarlas como circuitos abiertos.

El circuito básico que analizamos es el de la Fig. 10-27*a*. Obsérvese que si medimos la tensión de la salida desde drenaje a tierra (neutro, señalado N) esta es una *etapa en fuente común con resistencia de fuente*. Si $R_s = 0$ la *etapa es en fuente común normal* (Fig. 10-28*a*). Análogamente si la salida se toma entre fuente y tierra, siendo $R_D = 0$, el circuito es un amplificador seguidor de fuente en drenaje común (Fig. 10-28*b*). Al incluir R_D esta etapa se convierte en etapa en drenaje común con resistencia de drenaje.

Análisis de la etapa amplificadora FET generalizada

La Fig. 10-27*b* representa al circuito equivalente de la etapa FET generalizada (básica) de la Fig. 10-27*a*. Obsérvese que empleamos la forma de circuito equivalente de la Fig. 10-26*b*. Aplicando la ley de Kirchhoff al lazo del drenaje y suponiendo una excitación senoidal, tendremos

$$I_d R_D + I_d r_d - \mu V_{gs} + I_d R_S = 0 \tag{10-65}$$

Según la Fig 10-27*b* la tensión entre *G* y *S* viene dada por

$$V_{gs} = V_i - I_d R_S \tag{10-66}$$

Combinando las Ecs. (10-65) y (10-66) tendremos

$$I_d = \frac{\mu}{r_d + R_D + (1 + \mu) R_S} V_i \tag{10-67}$$

Las tensiones de salida V_{01} y V_{02} entre drenaje y tierra y entre fuente y tierra respectivamente son

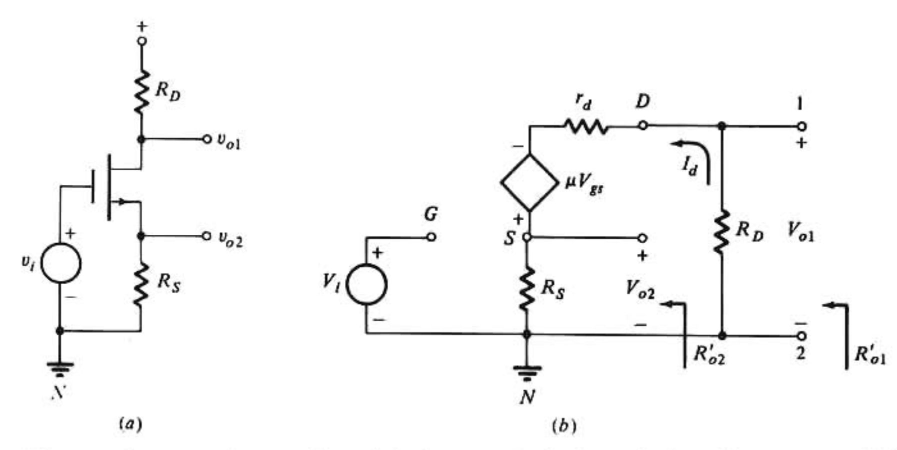


Figura 10-27. (*a*) Etapa en fuente común con resistencia de fuente, y (*b*) circuito equivalente de pequeña señal. El modelo de la Fig. 10-26b (en trazos menos intensos) se emplea para representar el MOSFET en (*a*).

$$V_{o1} = -I_d R_D = \frac{-\mu R_D}{r_d + R_D + (1 + \mu) R_S} V_i \tag{10-68}$$

$$V_{o2} = +I_d R_S = \frac{\mu R_S}{r_d + R_D + (1 + \mu) R_S} V_i \tag{10-69}$$

La ganancia de tensión de la etapa en fuente común con resistencia de fuente es

$$A_V = \frac{V_{o1}}{V_i} = \frac{-\mu R_D}{r_d + R_D + (1 + \mu)R_S} \tag{10-70}$$

Con $\mu \gg 1$, y mediante la Ec. (10-64), A_V se puede expresar

$$A_V = \frac{-g_m R_L}{1 + g_m R_s R_L/R_D} \tag{10-71}$$

La resistencia de salida R'_{01} es la resistencia Thèvenin vista mirando los terminales 1 y 2. La corriente de cortocircuito se puede expresar como

$$-I_{sc} = I_d\Big|_{R_D=0} = \frac{\mu}{r_d + (1 + \mu)R_S} V_i \tag{10-72}$$

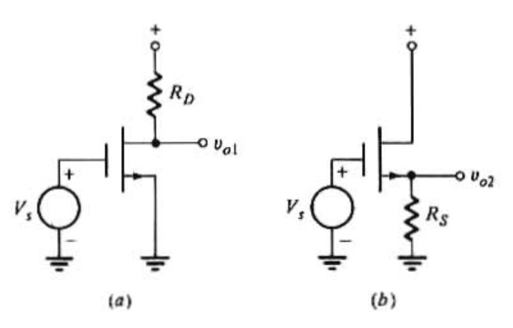


Figura 10-28. (*a*) Etapa en fuente común, y (*b*) etapa en drenaje común (seguidor de fuente). Este circuito se puede deducir de la Fig. 10-27a haciendo $R_s = 0$ [para (*a*)] o bien $R_D = 0$ [para (*b*)].

Tabla 10-5 Ecuaciones de las etapas FET

	Configuraciones		
Cantidad	*CS*	*CS con resistencia de fuente*	*CD*
A_V	$\frac{-\mu R_D}{r_d + R_D} = \frac{-g_m R_D}{1 + R_D/r_d}$	$\frac{-\mu R_D}{r_d + R_D + (1 + \mu)R_S} \approx \frac{-g_m R_L{}^*}{1 + g_m R_S R_L/R_D}$	$\frac{\mu R_S}{r_d + R_S(1 + \mu)} \approx \frac{g_m R_S}{1 + g_m R_S}$
R_o	r_d	$r_d + R_S(1 + \mu) \approx r_d(1 + g_m R_S)$	$\frac{r_d}{1 + \mu} \approx \frac{1}{g_m}$
R'_o	$R_D \parallel r_d$	$R_o \parallel R_D$	$R_S \parallel R_o$

$^*R_L = r_d \| R_D$.

Puesto que V_{01} es la tensión Thèvenin, se deduce que

$$R'_{o1} = \frac{V_{o1}}{I_{sc}} = \frac{R_D[r_d + R_S(1 + \mu)]}{R_D + r_d + R_S(1 + \mu)} = R_D \| [r_d + R_s(1 + \mu)] \tag{10-73}$$

La resistencia de salida R'_{01} de la etapa en fuente común con resistencia de fuente es

$$R_{o1} = r_d + R_S(1 + \mu) \approx r_d(1 + g_m R_S) \tag{10-74}$$

para $\mu \gg 1$.

En la segunda columna de la Tabla 10-5 constan los resultados de la etapa en fuente común con resistencia de fuente.

En una forma similar, al hallar la resistencia de Thèvenin entre S y N tendremos

$$R'_{o2} = \left.\frac{V_{o2}}{I_d}\right|_{R_S-0} = \frac{R_S(r_d + R_D)}{R_D + r_d + (1 + \mu)R_S} = R_S \| \frac{R_D + r_d}{1 + \mu} \qquad (10\text{-}75)$$

Nuevamente $R'_{o2} = R_{o2} \| R_S$ y así

$$R_{o2} = \frac{R_D + r_d}{1 + \mu} \qquad (10\text{-}76)$$

Para $\mu \gg 1$ y $r_d \gg R_D$, $R_{o2} \approx 1/g_m$.

La etapa en fuente común

Haciendo $R_s = 0$, podemos deducir las Ecs. (10-70) y (10-74) a:

$$A_V = \frac{V_{o1}}{V_i} = \frac{-\mu R_D}{r_d + R_D} = \frac{-g_m R_D}{1 + R_D/r_d} \qquad (10\text{-}77)$$

y

$$R_{o1} = r_d \qquad (10\text{-}78)$$

De donde $R'_{o1} = R_D \| R_{o1} = R_D \| r_d$.

La configuración en drenaje común

La configuración en drenaje común o seguidor de fuente se obtiene a partir de la Fig. 10-27 haciendo $R_D = 0$ y utilizando V_{02} como salida como se ve en la Fig. 10-28*b*. En esta situación las Ecs. (10-69) y (10-75) se convierten en

$$A_V = \frac{V_{o2}}{V_i} = \frac{\mu R_S}{r_d + R_S(1 + \mu)} \qquad (10\text{-}79)$$

$$R'_{o2} = R_S \| R_{o2} = R_S \| \frac{r_d}{1 + \mu} = \frac{R_S r_d}{r_d + (1 + \mu)R_S} \qquad (10\text{-}80)$$

Para $\mu \gg 1$ y $1/g_m \ll R_S$, $A_V \approx 1$ y $R'_{02} \approx R_{02} = 1/g_m$. Estos resultados indican que el seguidor de fuente tiene una ganancia cercana a la unidad y una resistencia de salida baja como su semejante BJT el seguidor de emisor. Los resultados para la etapa en drenaje común figuran en la Tabla 10-5, columna 3.

Las ecuaciones de la Tabla 10-5 se pueden obtener directamente de la Tabla 10-3*B* por la similitud entre los modelos de las correspondientes etapas BJT y FET. El procedimiento a seguir es:

1- Identificar R_D, R_S, r_d y g_m de la etapa FET con R_C, R_E, r_o y g_m respectivamente de la etapa BJT semejante.

2- Fijar $r_b = 0$ y después de emplear $\beta_o = g_m r_\pi$ hacer $r_\pi \to \infty$. Por ejemplo, utilizando el valor de R_o de la configuración en colector común de la Tabla 10-3*B*, la identificación del paso 1 da $R_o = r_d \| (R_S + r_b + r_\pi)/(1 + \beta_o)$, que al aplicar el paso 2 queda en $R_o = r_d \| (R_S + r_\pi)/(1 + g_m r_\pi)$ que cuando $r_\pi \to \infty$ se reduce a $R_o = r_d \| 1/g_m = r_d/(1 + \mu)$, siendo éste el valor de R_o dado en la Tabla 10-5 para la etapa en drenaje común.

Se previene al lector que no llegue a conclusiones erróneas al observar que el tratamiento de los amplificadores FET es con mucho más breve que el de las etapas BJT. Mientras que los amplificadores BJT se emplean con mayor frecuencia, muchos amplificadores integrados modernos emplean BJT y FET en un mismo chip (tecnologías BIMOS y BIFET). Además se fabrican con tecnologías NMOS y CMOS una variedad de sistemas de procesado de señales que utilizan tanto circuitos digitales como analógicos. Los conceptos básicos de amplificador son comunes para ambos tipos de transistores, y las configuraciones BJT y FET descritas son semejantes. Puesto que las conclusiones respecto a los amplificadores BJT se pueden aplicar directamente a las etapas FET consideramos que repetir para los amplificadores FET los análisis detallados de las etapas BJT es innecesario (además de ineficaz y tedioso).

10-16. AMPLIFICADORES BJT EN CASCADA

Vemos en la Tabla 10-3 que la ganancia de tensión de un amplificador de una sola etapa depende de la resistencia de carga de la etapa (R_C para las etapas de emisor común y de base común y R_E para la configuración en colector común). Tal como se puntualizó en la Sec. 10-7, la magnitud de la resistencia de carga no se puede especificar independientemente debido a las condiciones impuestas por la polarización. Por tanto, la ganancia conseguida con un circuito de una sola etapa puede muy bien no ser suficiente para el fin particular propuesto. Además, las resistencias de entrada y salida pueden tener valores que no sean los adecuados al objeto pretendido. Para superar estas dificultades se pueden conectar en cascada dos o más etapas; es decir, conectar la salida de una etapa a la entrada de la siguiente como se ve en la Fig. 10-29.

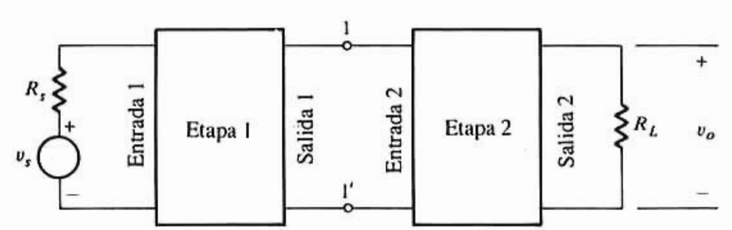


Figura 10-29. Representación gráfica de dos etapas en cascada.

El análisis de la configuración en cascada se basa en los resultados obtenidos para una sola etapa tal como se describe a continuación. En primer lugar obtendremos el equivalente de Thèvenin de la primera etapa en los terminales 1-1', es decir, la porción del circuito de la Fig. 10-29 que figura en la 10- 30*a*. Para este amplificador de una sola etapa la tensión de salida (fuente de tensión Thèvenin) es $A_{V1}\,V_s$ y la resistencia de salida R'_{01}. Esta combinación actúa como fuente de señal y como resistencia de fuente de la segunda etapa como en la Fig. 10-30*b*. Para la etapa de la Fig. 10-30*b* la tensión de salida es A_{V2} veces la de entrada o sea $V_o = A_{V1}A_{V2}V_s$, y

$$\frac{V_o}{V_s} = A_V = A_{V1}A_{V2} \tag{10-81}$$

El método que lleva a la Ec. (10-81) es aplicable a varias etapas repitiendo el proceso. Obsérvese que si A_{V1} y A_{V2} son mucho más grandes que la unidad, la ganancia total de la cascada A_V es mucho mayor que la ganancia que pueda tener cualquier etapa. Veremos esto en el siguiente ejemplo:

Ejemplo 10-7

El amplificador en cascada de la Fig 10-31 consta de dos etapas en emisor común, una de las cuales

tiene una resistencia de emisor, y una etapa en colector común. Obsérvese que no están representadas las componentes de polarización y se supone que su efecto es despreciable. El transistor $Q1$ tiene $\beta_o = 100$ y $r_\pi = 1{,}0$ kΩ: los transistores $Q2$ y $Q3$ tienen $\beta_o = 100$ y $r_\pi = 0{,}5$ kΩ. Determinar la ganancia total.

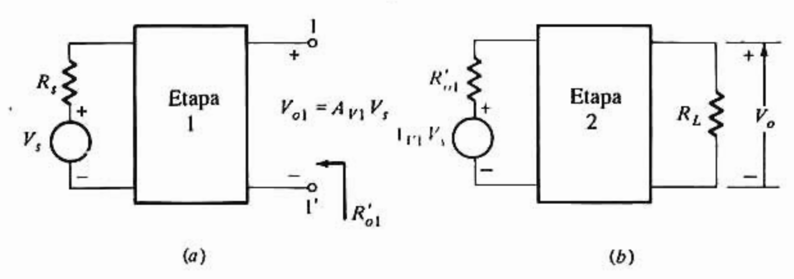


Figura 10-30. (*a*) Primera etapa no cargada del amplificador de la Fig. 10-29. (*b*) La segunda etapa impulsada por el equivalente de Thèvenin de la primera.

Solución

Primero obtendremos el equivalente Thèvenin de la primera etapa en los terminales 1-1'. Esta es una etapa en emisor común con una resistencia de emisor para la que la ganancia de tensión viene dada en la segunda columna de la Tabla 10-3*A*. Sustituyendo valores tenemos

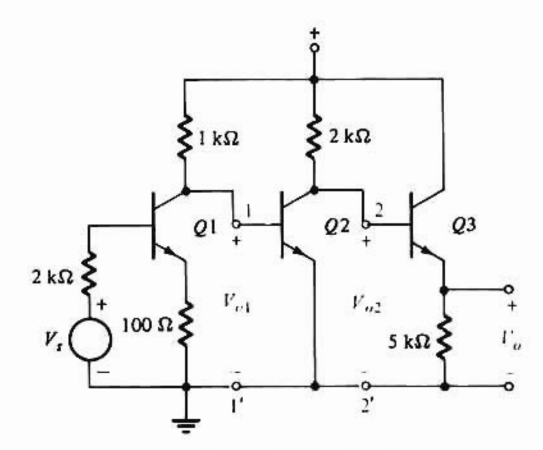


Figura 10-31. Amplificador de tres etapas en cascada para el Ejemplo 10-7.

$$A_{V1} = \frac{-100 \times 1}{2 + 1 + (1 + 100)0.1} = -7.63$$

La resistencia Thèvenin es $R'_{01} = R_{C1} = 1$ kΩ. Ahora obtendremos el equivalente Thèvenin de la segunda etapa en los terminales 2-2'. Tal como se ve en la Fig. 10-32*b* el equivalente Thèvenin de la primera etapa es la fuente de señal de la segunda. La ganancia de tensión de esta etapa en emisor común, según la columna 1 de la Tabla 10-3*A* es

$$A_{V2} = \frac{-100 \times 2}{1 + 0.5} = -133$$

y la tensión de salida de la etapa 2 es $A_{V1} A_{V2} V_S = 1020 V_S$. Esta tensión excita la etapa en colector común y tiene una resistencia de fuente $R'_{02} = 2$ kΩ como se muestra en la Fig. 10-32*c*.

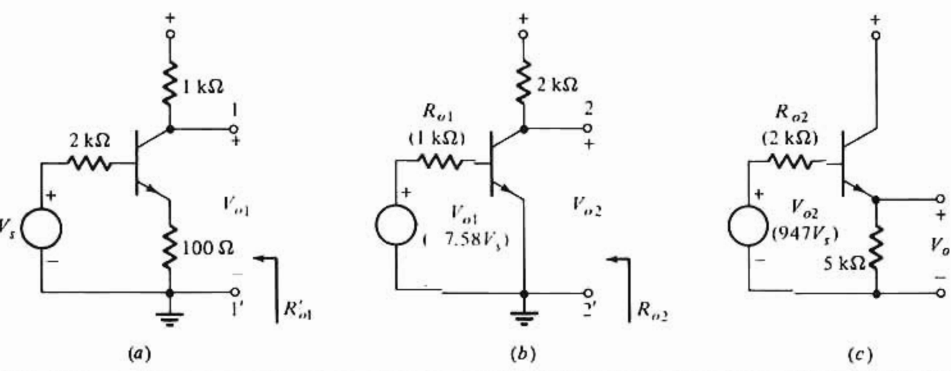


Figura 10-32. (*a*) Primera etapa no cargada del amplificador de la Fig. 10-31. (*b*) La segunda etapa; la fuente de señal V_{01} y la resistencia de fuente R_{01} forman el equivalente Thèvenin de la primera etapa. (*c*) La etapa en colector común (tercera): V_{02} y R_{02} son el equivalente de Thèvenin de (*b*).

De la columna 3 de la Tabla 10-3*A* se tiene

$$A_{V3} = \frac{(100 + 1) \times 5}{2 + 0.5 + 5(100 + 1)} = 0.995$$

La ganancia total es, según la Ec. (10-81)

$$A_V = A_{V1}A_{V2}A_{V3} = (-7.63)(-133)(0.995) = 1010$$

Es interesante observar que si se pidiese a un amplificador de una sola etapa, por ejemplo el $Q2$, que diese la misma ganancia al ser excitado por la fuente de señal de la Fig. 10-30 se necesitaría una resistencia de colector de 30 kΩ. A temperatura ambiente los parámetros de $Q2$ indican I_{CQ}= 5 mA. En consecuencia, para esta sola etapa V_{CC} debería exceder de 150V, tensión evidentemente impracticable para la mayoría de circuitos de transistores. (Los valores señalados en este parráfo se comprueban en el Prob. 10-65.)

La ganancia total de corriente A_I *no* es igual al producto de las ganancias de las etapas individuales porque la corriente de salida de una etapa no es igual a la corriente de entrada de la siguiente. En la Fig. 10-31 podemos ver que la corriente de salida de $Q1$ (en la resistencia de 1 k Ω) no es la de entrada (corriente de base) de $Q2$. De todas formas podemos deducir A_I de la ganancia de tensión total A_V.

Consideremos la situación de la Fig. 10-33*a* en la que el amplificador consiste en un cierto número de etapas en cascada. Para este circuito $A_V = V_o/V_s$. Convirtamos ahora las combinaciones en serie de V_S y R_S en su fuente de corriente equivalente como en la Fig. 10-33*b*. Para el circuito de la Fig. 10-33*b*, podemos identificar la ganancia de corriente con $A_I = I_o/I_s$. Sin embargo $I_o = -V_o/R_L$ y de la conversión de la fuente $I_S = V_S/R_S$, o sea

$$A_I = \frac{I_o}{I_s} = \frac{-V_o/R_L}{V_s/R_s} = \frac{-R_s}{R_L}\frac{V_o}{V_s} = -\frac{R_s}{R_L}A_V \qquad (10\text{-}82)$$

Por tanto, conociendo R_S y R_L podemos deducir A_I de A_V (o viceversa).

Las resistencias de entrada y de salida de una configuración en cascada son simplemente la resistencia de entrada de la primera etapa y la de salida de la última. En el circuito de la Fig. 10-31 la resistencia de entrada es la de una etapa en emisor común con una resistencia de emisor. Esta es evidentemente superior a la que se puede conseguir con una etapa única en emisor común. Análogamente, la etapa de salida en colector común provee una resistencia de salida verdaderamente baja. Así, pues, el amplificador de la Fig. 10-31 tiene una resistencia de entrada alta y una resistencia de salida baja, con una ganancia de aproximadamente 1000. En la Tabla 10-4 vemos que esta combinación no se puede lograr con cualquier configuración sola.

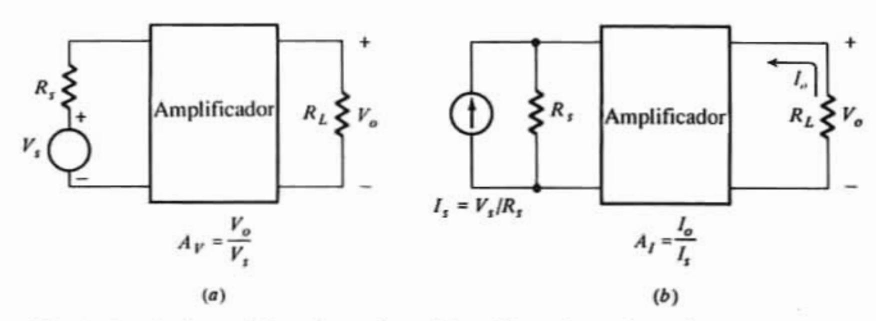


Figura 10-33. Amplificador impulsado por: (*a*) una fuente de tensión, y (*b*) una fuente de corriente.

Etapas FET en cascada

Las etapas de transistores de efecto campo se conectan en cascada para conseguir mayores ganancias de tensión de las que se pueden conseguir con una etapa única. La ganancia total de los amplificadores en cascada viene dada por la Ec. (10-81) en la que A_{Vi} son las ganancias de tensión de las etapas individuales (Tabla 10-5). En la mayor parte de amplificadores BJT en cascada se emplean configuraciones semejantes, tales como las de fuente común-fuente común, (CS-CS), fuente común-drenaje común (CS-CD) (Ejemplo 10-7) y cascodo (la fuente común-puerta común del Prob.10-72).

10-17. ETAPAS DE TRANSISTORES MIXTAS (COMPOUND)

Las Figs. 10-34 y 10-35 representan tres amplificadores de etapas en cascada muy empleados como circuitos integrados. Cada uno de estos circuitos se puede considerar como un BJT equivalente, de donde le viene el nombre de «mixto» o «compuesto». Estos circuitos combinan o mejoran las propiedades que se pueden conseguir con las distintas configuraciones. El comportamiento de las etapas de transistores mixtos es similar al del amplificador en cascada del Ejemplo 10-7. En los diseños de circuitos integrados frecuentemente se utilizan estos elementos como etapas individuales en un amplificador en cascada.

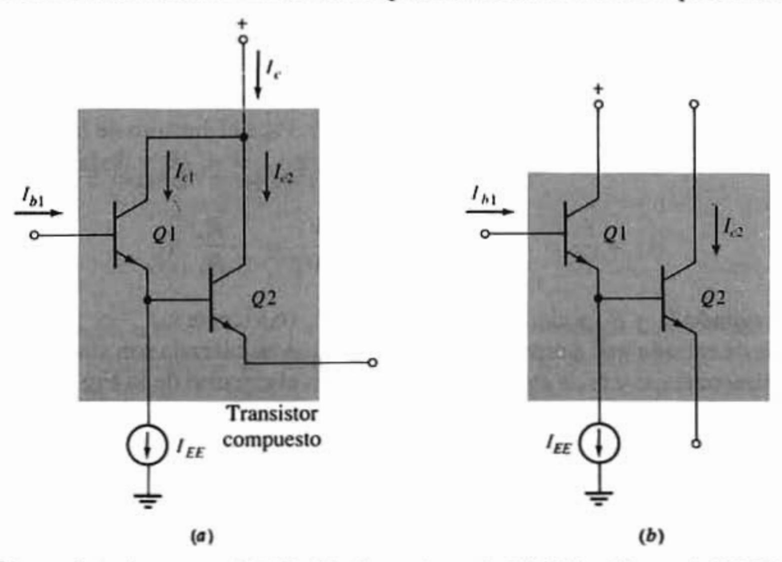


Figura 10-34. Transistores mixtos (compuestos): (*a*) Par Darlington (cascada CC-CC), y (*b*) cascada CC-CE.

Configuración CC-CC (Darlington)

La cascada colector común-colector común de la Fig. 10-34*a* se denomina frecuentemente *transistor Darlington* o *par Darlington*. La fuente de corriente I_{EE} se emplea para proporcionar la polarización del circuito. Para el transistor compuesto (sombreado) I_{b1} es la corriente de entrada e $I_c = I_{c1} + I_{c2}$ es la salida. Obsérvese que la corriente de entrada de la señal en $Q2$ es la corriente de emisor de $Q1$, o sea

$$I_{c2} = \beta_o I_{b2} = \beta_o(\beta_o + 1)I_{b1} \quad \text{y} \quad I_c = I_{c1} + I_{c2} = \beta_o I_{b1} + \beta_o(\beta_o + 1)I_{b1}$$

de donde la ganancia de corriente del transistor mixto β_{oc} es

$$\beta_{oc} = \frac{I_c}{I_{b1}} = \beta_o(\beta_o + 2) \approx \beta_o^2 \tag{10-83}$$

para $\beta_o \gg 2$. Para $\beta_o = 100$, $\beta_o^2 \approx 10^4$; evidentemente, la ganancia de corriente se ha acrecentado.

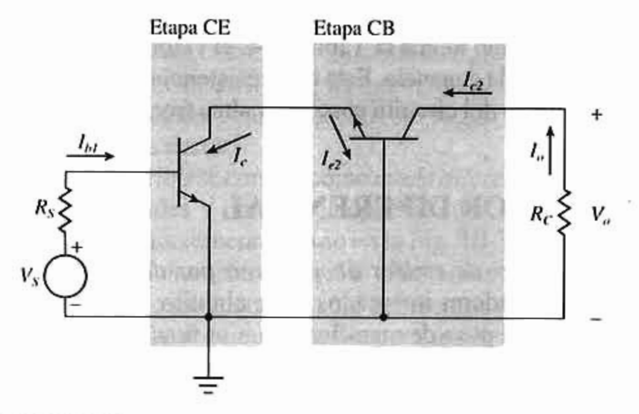


Figura 10-35. El cascodo o cascada CE-CB.

Con más frecuencia se emplea el transistor Darlington como seguidor de emisor porque tal como indica la Tabla 10-3 el valor extremadamente elevado de β_{oc} hace que A_V sea virtualmente igual a la unidad, R_i extremadamente grande y R_o extremadamente bajo.

Conexión CC-CE

El circuito de la Fig. 10-34*b* corresponde a un circuito colector común-emisor común de propiedades similares a las del par Darlington. La ganancia de corriente del transistor mixto es aproximadamente β_o^2 ya que la corriente de emisor en $Q1$ es la de base en $Q2$.

La composición *CE-CC* es preferible a la configuración *CC-CC* al formar etapas en emisor común equivalentes. La ventaja de la configuración *CC-CE* es debida al hecho de que los colectores de $Q1$ y $Q2$ no están conectados como en el par Darlington. A causa de la conexión de los colectores (esencialmente en paralelo) se reduce la resistencia de salida ($r_0 < \infty$). Además, la respuesta en frecuencia de la conexión *CC-CE* es superior a la del circuito *CC-CC*.

Conexión CE-CB (Cascodo)

El empleo primario del circuito cascodo (emisor común-base común) de la Fig. 10-35 es el de facilitar

una ganancia de tensión alta dentro de un campo de frecuencia más amplio del que puede conseguir una etapa en emisor común. La respuesta en frecuencia de la etapa *CE-CB* se estudiará en la Sec. 11-11. En la Fig. 10-35, la corriente I_{b1} es $V_s/(R_s + R_1)$ para la etapa en emisor común, o sea

$$I_{b1} = \frac{V_s}{R_s + r_{\pi 1}} \tag{10-84}$$

Se observa que $\beta_{01} I_{b1} = I_{c1} = -I_{e2}$, con $\beta_{02} \gg 1$, la ganancia de corriente de la etapa en base común es igual a la unidad. Podemos llegar a la conclusión que $I_o = I_{c2} \approx I_{c1} = \beta_o I_{b1}$, de donde la ganancia total de corriente es $A_I = I_o/I_{b1} = \beta_o$.

La tensión de salida $V_o = -I_o R_C$ que con la Ec. 10-84 nos da

$$A_V = \frac{V_o}{V_s} = \frac{-\beta_o R_C}{R_s + r_{\pi 1}} \tag{10-85}$$

El valor de A_V en la Ec. (10-85) es el correspondiente a etapa única en emisor común con una resistencia de carga R_C. Sin embargo, en el circuito cascodo la resistencia de carga de la etapa en emisor común es R_i para la etapa en base común. Como indica la Tabla 10-4, el valor de R_i es significativamente más bajo que el de R_C necesario para obtener la ganancia. Esta baja resistencia de carga en la etapa en emisor común es lo que mejora el funcionamiento del circuito cascodo a altas frecuencias

10-18. EL AMPLIFICADOR DIFERENCIAL

El *amplificador diferencial, par de emisor acoplado*, o *par diferencial* es un bloque constructivo esencial en los modernos amplificadores integrados. Este circuito, representado en la Fig. 10-36 ya fue citado en la Secc. 3-12 en donde se puso de manifiesto que su funcionamiento se fundaba en la facultad de construir elementos emparejados en un solo chip. También se vio que con pequeñas diferencias de tensión V_d ($4V_T > |V_d|$ en la Fi.g 3-33), el par diferencial se comporta como un amplificador lineal. En este capítulo examinaremos con mayor detalle su comportamiento a baja frecuencia.

En la Fig. 10-36 se ha incluido la resistencia de salida R_E de la red de polarización de la fuente de corriente (Sec. 10-3). Como veremos próximamente, esta resistencia juega un papel importante en la actuación. Supondremos que la corriente en R_E es despreciable comparada con la I_{EE}. Obsérvese que no

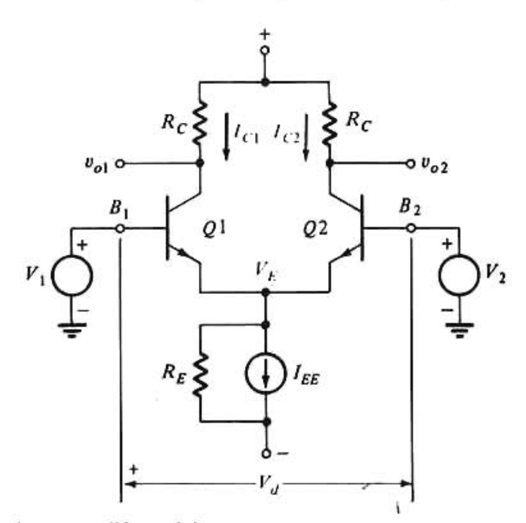


Figura 10-36. Etapa acoplada en emisor o par diferencial.

se ha señalado ninguna $R_s = 0$ y que la resistencia de dispersión de la base $r_b = 0$ para nuestro análisis del amplificador diferencial. En la próxima sección se tratará de los efectos de estos elementos.

Modo diferencial

Para $V_1 = V_2$ y suponiendo $\beta_F >> 1$, las corrientes de colector y de emisor de cada etapa son iguales ($I_C \approx |I_E|$). Todas estas corrientes tienen magnitudes iguales (aproximadamente) a $I_{EE}/2$ debido a la simetría del circuito y a la despreciable corriente en R_E.

Incrementemos ahora V_1 en $\Delta v/2$ y disminuyamos simultáneamente V_2 en $\Delta v/2$. Efectivamente estamos aplicando una señal incremental $\Delta v/2$ a B_1 y una señal $-\Delta v/2$ a B_2. La tensión diferencial $V_d = V_1 - V_2$ aumenta en Δv. Con $\Delta v < 4V_T$ el circuito funciona linealmente como indica la característica de transferencia para la Fig. 3-33. (Esta característica de transferencia es sólo una aproximación ajustada a la situación que estamos viendo aquí, ya que la Fig. 3-33 fue desarrollada para $R_E \to \infty$.) Así, I_{C1} crece ΔI_C e I_{C2} disminuye en igual cuantía (el incremento de $I_{C2} = -\Delta I_C$). Como $I_C \approx |I_E|$ los cambios en I_{C1} e I_{C2} aparecen también en los emisores. En consecuencia, la corriente en R_E permanece invariable (el incremento de corriente en R_E es nulo) haciendo que la tensión V_E se mantenga asimismo constante. Recuérdese que en el análisis de pequeña señal las tensiones constantes se reemplazan por cortocircuitos. Así, en nuestro modelo incremental cada emisor está a tierra.

La situación que acabamos de describir se conoce como *modo diferencial* porque las señales de entrada ($\Delta v/2$) aplicadas a $Q1$ y $Q2$ son iguales y opuestas existiendo una señal diferencial V_d. Para el modo diferencial puede dibujarse el circuito incremental como en la Fig. 10-37*a*. Obsérvese que el modelo para los transistores no está mostrado explícitamente pero sí implícitamente debido al funcionamiento incremental. Ya que ambos lados del circuito son idénticos sólo deberemos analizar uno de ellos. Este concepto de semi-circuito lo emplearemos en la próxima sección para analizar detalladamente el amplificador diferencial.

Modo común

Consideremos que las dos tensiones V_1 y V_2 aumentan en $\Delta v/2$. La tensión diferencial V_d permanece nula, mientras que I_{C1} e I_{C2} son iguales. No obstante, como existe R_E tanto una como otra experimentan un pequeño incremento δI_C. Nuevamente aparecen en el emisor los cambios de I_C y por tanto la corriente en R_E aumenta en $2\,\delta I_C$. La tensión V_E ya no es constante sino que debe aumentar en $2\,\delta I_C R_E$. Esta situación en la que se aplican señales iguales a $Q1$ y $Q2$ se denomina *modo común*. El circuito equivalente incremental está representado en la Fig 10-37*b*, en la que *va implícito que Q1 y Q2 se representan por sus modelos de pequeña señal*.

En la Fig. 10-37*b* se ven dos resistencias, cada una de ellas de valor $2R_E$. La tensión a través de cada una es $2\,\delta I_C R_E$ e iguales los cambios incrementales en V_E; así, las dos resistencias están en paralelo y $2R_E \| 2R_E = R_E$. Como se ve en la figura las dos mitades del circuito son simétricas y sólo será necesario analizar una de ellas. El equivalente del modo común es el de una etapa en emisor común con una resistencia de emisor.

Resulta evidente en la Fig. 10-37 que, dependiendo de la señal de entrada, el amplificador diferencial actúa o bien como etapa en emisor común o bien como etapa en emisor común con resistencia de emisor. Por tanto la ganancia de esta etapa es notablemente mayor en el funcionamiento como modo diferencial que como modo común. Normalmente los amplificadores diferenciales se diseñan de forma que a efectos prácticos sólo resulten amplificadas las señales diferencia.

Como anteriormente se ha señalado varias veces, no pueden fabricarse en un chip condensadores

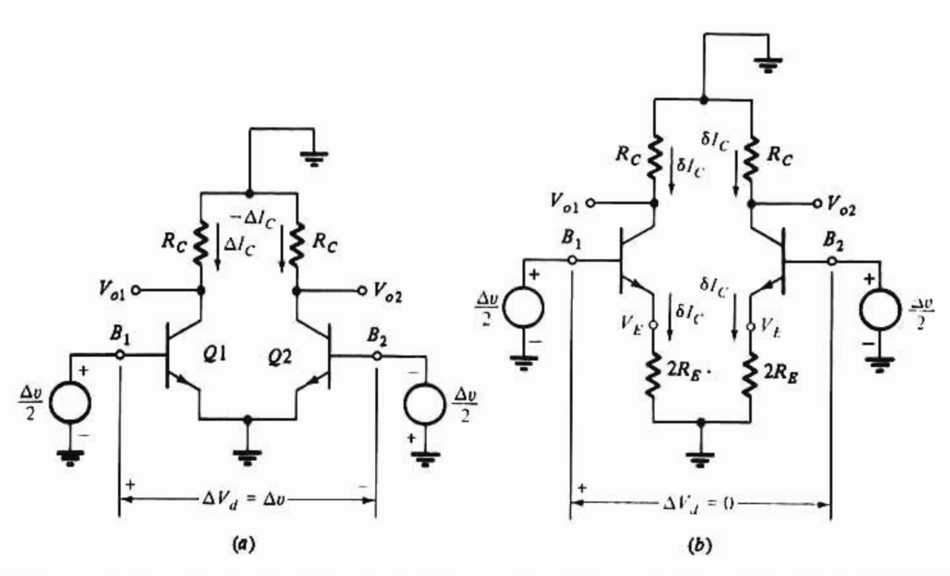


Figura 10-37. El concepto de medio circuito: (*a*) equivalente de pequeña señal y modo diferencial, y (*b*) equivalente de pequeña señal y modo común del par diferencial. (Se sobreentiende que los transistores se sustituyen por su circuito equivalente incremental.)

grandes (de paso y acoplamiento), y por ello los circuitos integrados son generalmente acoplados directamente. Sin embargo, en muchos amplificadores diferenciales existe el efecto producido por los condensadores de paso y de acoplamiento como consecuencia de la simetría del circuito. La tensión V_E permanece constante en el modo diferencial, y tal como se aprecia en la Fig. 10-37*a*, el emisor está a tierra para el análisis de pequeña señal. Así, es como si R_E estuviera con «bypass». Análogamente, la tensión entre los dos colectores V_{o1}-V_{o2} es nula en el modo común y es el doble de la variación de V_{o1} (*o* V_{o2}) en el modo diferencial . Como la señal aplicada Δv puede hacerse positiva o negativa, la tensión V_{o1}-V_{o2} puede ser positiva o negativa (alrededor de 0 V). Este es simplemente el efecto producido por un condensador de acoplamiento.

También es difícil, con cualquier tecnología de integración, fabricar grandes resistencias, si bien en la Fig. 10-36 R_C se representa como una resistencia, esta resistencia normalmente está formada por la resistencia de salida de un espejo de corriente (Fig. 10-22). En la Sección 14-2 se tratará de estas *cargas activas*.

10-19. ANÁLISIS DE AMPLIFICADORES DIFERENCIALES

El análisis del amplificador diferencial se basa en el concepto de semi-circuito citado en la Sec. 10-18. Este método se vale de la simetría del circuito tanto en el modo diferencial como en el modo común.

Ganancia A_{DM} del modo diferencial

Consideremos que se aplica una señal V_{DM} a la base de *Q1* de la Fig. 10-36 y que a B_2 se le aplica $-V_{DM}$. En estas condiciones del circuito de la Fig. 10-37*a* es válido (con $\Delta v/2$ sustituido por V_{DM}). Empleando el concepto de semi-circuito, es decir, analizando sólo una mitad del circuito, se llega al modelo de pequeña señal de la Fig. 10-38*a*. Este es el modelo de una etapa en emisor común con $R_s = r_b = 0$, y según la entrada A_V en la primera columna de la Tabla 10-3*A*,

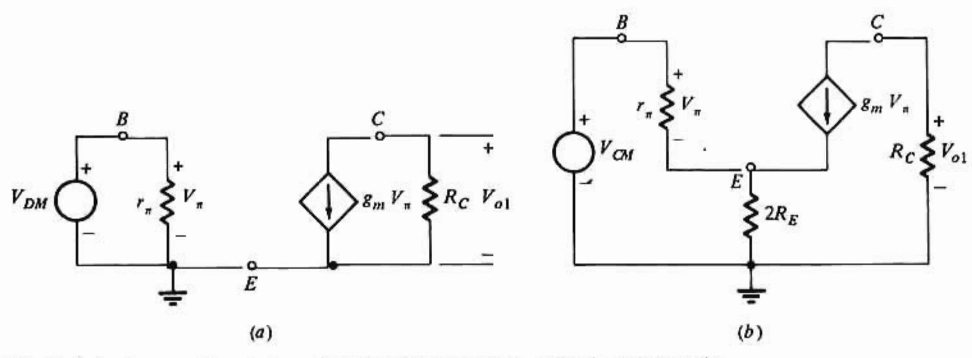


Figura 10-38. Modelos de pequeña señal para (*a*) el modo diferencial, y (*b*) el modo común.

$$A_{DM} = \frac{V_{o1}}{V_{DM}} = \frac{-\beta_o R_C}{r_\pi} = -g_m R_C \tag{10-86}$$

Con V_{DM} positivo, $V_{o1} = A_{DM}V_{DM}$ y como se ve en la Ec. (10-86), A_{DM} es negativo de forma que V_{01} está defasada 180° respecto a V_{DM} (V_{o1} se ha invertido). Puesto que Q_2 está excitado por $-V_{DM}$, $V_{o2} = -A_{DM}V_{DM}$ y V_{o2} está en fase con V_{DM} (V_{o2} no invertido).

Ganancia A_{CM} del modo común

Cuando se aplica una señal V_{CM} a ambas bases de la Fig. 10-36 (modo común) es válido el circuito de la Fig. 10-37*b* resultando el circuito equivalente de la Fig. 10-38*b*. Para este circuito la ganancia A_{CM} (según la entrada A_V en la segunda columna de la Tabla 10-3*A*) será:

$$A_{CM} = \frac{V_{o1}}{V_{CM}} = \frac{-\beta_o R_C}{2(\beta_o + 1)R_E + r_\pi} \tag{10-87}$$

Con $\beta_o >> 1$, y dividiendo por r_π, la Ec. (10-87) se convierte en

$$A_{CM} = \frac{-g_m R_C}{1 + 2g_m R_E} \approx -\frac{R_C}{2R_E} \tag{10-88}$$

para $2g_m R_E >> 1$. Como la misma señal se aplica a $Q1$ y a $Q2$, tanto V_{o1} como V_{o2} están defasados 180° respecto V_{CM}.

Relación de rechazo del modo común

En principio el amplificador diferencial se diseña para amplificar señales diferenciales; por tanto se requiere que $A_{DM} >> A_{CM}$. Una forma de valorar la actuación de un amplificador diferencial es mediante la relación de rechazo del modo común *CMRR* definida como

$$CMRR \equiv \frac{A_{DM}}{A_{CM}} \tag{10-89}$$

Combinando las Ecs. (10-86) y (10-88) resulta

$$CMRR = 1 + 2g_m R_E \approx 2g_m R_E \tag{10-90}$$

Como puede verse en la Ec. (10-90) los grandes valores de la *CMRR* requieren grandes valores de R_E y frecuentemente se necesita emplear fuentes de corriente con resistencias de salida altas. Obsérvese que si $R_E \to \infty$, la $CMRR \to \infty$, $A_{CM} = 0$ y no aparece en la salida ninguna componente en modo común. Con estas condiciones se ha trazado la característica de transferencia de la Fig. 3-33.

Salida para señales de entrada arbitrarias

En nuestros anteriores comentarios se supone la existencia de señales ya sean en modo común o en modo diferencial. Esto no se ajusta a la realidad y raramente sucede en el mundo real. Sin embargo, las señales de entrada arbitrarias se pueden descomponer en componentes en modo común y componentes en modo diferencial. Consideremos aplicadas a $Q1$ y $Q2$ las señales V_1 y V_2 respectivamente. Este par de señales se pueden representar como suma y diferencia de otras dos señales V_{DM} y V_{CM} o sea:

$$V_1 = V_{CM} + V_{DM} \qquad V_2 = V_{CM} - V_{DM}$$

Despejando V_{DM} y V_{CM} de estas ecuaciones tendremos

$$V_{DM} = \frac{V_1 - V_2}{2} = \frac{V_d}{2} \tag{10-91a}$$

$$V_{CM} = \frac{V_1 + V_2}{2} \tag{10-91b}$$

El efecto de esta descomposición está representado en la Fig. 10-39. Se aplica la superposición porque el circuito actúa linealmente. La salida consta de dos componentes, una de ellas atribuida al par de fuentes V_{DM} y la otra al par de fuentes V_{CM}. Así pues, una de las componentes de la salida es debida a la señal de entrada diferencial y la otra está producida por la entrada en modo común. La tensión de salida es

$$V_{o1} = A_{DM}V_{DM} + A_{CM}V_{CM} \tag{10-92a}$$

$$= A_{DM}\left(V_{DM} + \frac{V_{CM}}{CMRR}\right) \tag{10-92b}$$

La Ec. (10-92*b*) demuestra la importancia de la *CMRR* si sólo hay que amplificar señales diferenciales. A medida que la *CMRR* aumenta, la componente de salida en modo común va perdiendo importancia.

La tensión de salida V_{o2} se expresa

$$V_{o2} = -A_{DM}V_{DM} + A_{CM}V_{CM} \tag{10-93a}$$

$$= -A_{DM}\left(V_{DM} - \frac{V_{CM}}{CMRR}\right) \tag{10-93b}$$

Substituyendo las Ecs. (10-91) en las (10-92) y (10-93) se tiene

$$V_{o1} = \frac{A_{DM}}{2}\left(V_d + \frac{V_1 + V_2}{CMRR}\right) \tag{10-94a}$$

$$V_{o2} = \frac{-A_{DM}}{2}\left(V_d - \frac{V_1 + V_2}{CMRR}\right) \tag{10-94b}$$

(2) Esto es semejante a la descomposición de una función en sus partes pares e impares empleada en calculaciones y en series de Fourier.

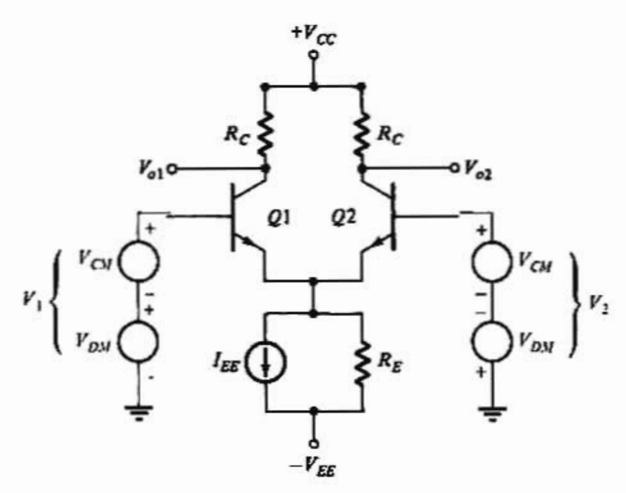


Figura 10-39. Representación de señales arbitrarias V_1 y V_2 en las componentes diferencial (V_{DM}) y de modo común (V_{CM}). Estos se aplican a la base del par diferencial.

Las Ecs. (10-94) son una forma alternativa de las tensiones de salida que figuran en la literatura. Obsérvese que la señal diferencia V_d aparece explícitamente.

Ejemplo 10-8

El amplificador diferencial de la Fig. 10-36 está diseñado con $R_C = 100$ kΩ y $R_E = 500$ kΩ. Los parámetros de pequeña señal del transistor son $\beta_o = 10^4$ y $g_m = 5{,}0$ m℧. Se aplica a $Q1$ una senoide de 2 mV de tensión eficaz y no se aplica señal alguna ($V_2 = 0$) a $Q2$. (*a*) Determinar la tensión de salida V_{o2}. (*b*) Repítase lo anterior suponiendo que $V_1 = 0$ y que la senoide se aplica a $Q2$.

Solución

Debemos calcular A_{DM}, A_{CM} y descomponer la señal de entrada en sus componentes de modos común y diferencial. De las Ecs. (10-86) y (10-88) se obtiene

$$A_{DM} = -5 \times 100 = -500 \qquad A_{CM} = \frac{-5 \times 100}{1 + 2 \times 5 \times 500} = -0.10$$

(*a*) Con $V_2 = 0$, las Ecs. (10-91) dan $V_{DM} = V_{CM} = V_1/2 = 1$ mV. Con la Ec. (10-93*a*) tendremos

$$V_{o2} = -(-500)10^{-3} + (-0.10)10^{-3} = 499 \text{ mV} \approx 500 \text{ mV}$$

(*b*) Con $V_1 = 0$, las Ecs. (10-91) dan $V_{DM} = -(V_2/2) = -1$ mV y $V_{CM} = V_2/2 = 1$ mV. Nuevamente, con la Ec. (10-93*a*) se tiene

$$V_{o2} = -(-500)(-10^{-3}) + (-0.10)(10^{-3}) = -501 \text{ mV} \approx -500 \text{ mV}$$

De los resultados obtenidos en (*a*) y (*b*) es evidente que a efectos prácticos sólo ha sido amplificada la señal de modo diferencial. Esto es la consecuencia de tener una $CMRR = A_{DM} / A_{CM} = 5.000$. Los

fabricantes incluyen en sus catálogos el valor de las correspondientes *CMRR* expresados en decibelios (dB). En este circuito, *CMRR* en decibelios = 20 log 5000 = 74 dB.

En el Ejemplo 10-8 queda reflejada la situación corriente en la que sólo se utiliza un terminal de salida. Análogamente, con frecuencia se aplica una sola señal de entrada. Vemos también en el resultado de este mismo ejemplo que el defase de la salida respecto a la entrada depende de cuál de las bases se excita. Cuando la señal se aplica a B_2, V_{02} está defasada 180° de V_1, es decir, que se ha invertido y a B_2 se le denomina *entrada inversora*.

Las señales de entrada y salida están en fase cuando la señal se aplica a B_1 por lo que a ésta se le denomina *entrada no inversora*. El valor de $\beta_o = 10^4$ puede alcanzarse con la combinación *CC-CE* (Fig. 10-34*b*) y $R_C = 100$ kΩ se logra con una carga activa (espejo de corriente).

Efectos de la resistencia de fuente

Los efectos sobre A_{DM} y A_{CM} de la resistencia de la fuente de señal puede explicarse realmente por el análisis del par en emisor acoplado. Supuesto que el circuito permanezca equilibrado (es decir, una resistencia R_s está conectada a ambos B_1 y B_2) el análisis es idéntico al descrito en esta sección. Se modifican los valores de A_{DM} y A_{CM} para incluir R_s y r_b como dados en la Tabla 10-3*b*. Sin embargo, lo más frecuente es que con los valores típicos se puedan despreciar sus efectos ($R_s \leq 10$kΩ y $r_b \approx 100$Ω). Empleando los valores dados en el Ejemplo 10-8 para que $r_\pi = \beta_o/g_m = 2$MΩ, es evidente que $R_s + r_b \leq 10,1$ kΩ es despreciable frente a r_π.

Resistencias de entrada y de salida

Las resistencias de entrada y de salida pueden ser identificadas para ambos modos, común y diferencial. No obstante, dos de ellas tienen un interés particular; la de salida en el modo diferencial, $R'_{o(DM)}$ y la de entrada en el modo diferencial $R_{i(DM)}$. En el modo diferencial $R'_{o(DM)}$ es justamente R'_o de la etapa en emisor común, es decir, R_C. Una advertencia: cuando R_C se deduce de una carga activa no puede prescindirse de la resistencia de salida r_o del BJT sino que debe incluirse como se da en la Tabla 10-3*b*.

La resistencia de entrada en modo diferencial $R_{i(DM)}$ es la resistencia vista por la señal diferencial V_d, es decir, la medida entre los terminales de base de *Q*1 y *Q*2. Puesto que en el modo diferencial ambos emisores están puestos a tierra, la resistencia de entrada es simplemente la suma de las resistencias de entrada de cada transistor, o sea:

$$R_{i(DM)} = 2r_\pi \qquad (10\text{-}95)$$

10-20. AMPLIFICADORES DIFERENCIALES FET

El par de fuente acoplada o amplificador diferencial se construye con MOSFET como se ve en la Fig. 10-40 (en amplificadores diferenciales, también se emplean los JFET). La estructura equilibrada de este amplificador conduce a un análisis paralelo al del par de emisor acoplado descrito en la sección 10-18. La ganancia del modo diferencial A_{DM} es la ganancia de una etapa en fuente común (Tabla 10-5) y para la etapa en fuente común con resistencia de fuente es la columna 2 de la misma Tabla 10-5 la que da la ganancia A_{CM} en modo común. La relación de rechazo *CMRR* definida en la Ec. (10-89) es

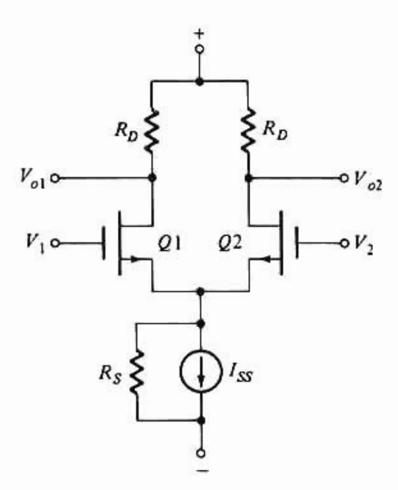


Figura 10-40. Par acoplado por fuente.

$$CMRR = 1 + \frac{2R_S(1 + \mu)}{r_d + R_D} \tag{10-96}$$

Para $r_d \gg R_D$ y $\mu \gg 1$, la Ec. (10-96) se reduce a

$$CMRR = 1 + 2g_m R_S \approx 2g_m R_S \tag{10-97}$$

Obsérvese que la resistencia $2R_s$ se deduce del concepto de semicircuito empleado para describir el amplificador diferencial.

Para formar R_D de la Fig. 10-40 se emplean cargas activas, frecuentemente MOSFET de deplexión. De hecho, la mayor parte de amplificadores MOSFET o JFET fabricados en un chip emplean cargas activas para conseguir valores de resistencia altos y conservando la superficie del chip.

10-21. EL AMPLIFICADOR OPERACIONAL (AMP-OP)

El *amplificador operacional* o Amp-Op es un amplificador directamente acoplado de gran ganancia que se emplea para llevar a cabo una gran variedad de funciones. A veces se describe como el *circuito integrado lineal básico* (IC) y muchos fabricantes encapsulan entre una y cuatro unidades idénticas en un solo chip. Aún cuando muchos Amp-Op comprenden la cascada de un par diferencial, etapa en emisor (o fuente) común y seguidor de emisor (o fuente), se emplea mucho como amplificador de una sola etapa.

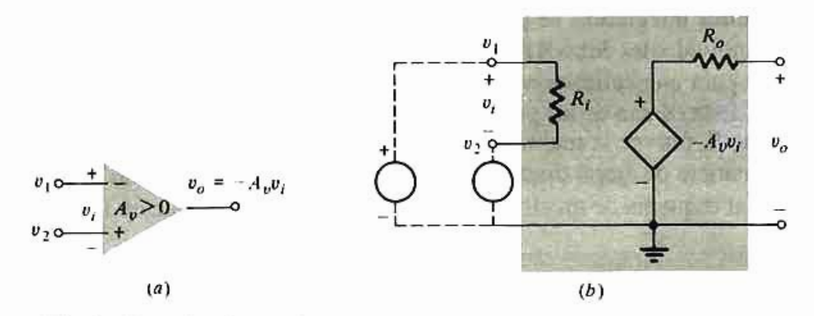


Figura 10-41. Amplificador Operacional (Amp-Op). (*a*) Símbolo del circuito, y (*b*) circuito equivalente.

El objetivo de esta sección es el de introducción a las configuraciones básicas del Amp-Op que volveremos a encontrar en los Cap.11 a 16. El Cap.14 está dedicado exclusivamente a un examen más detallado del diseño interno v a varias de sus aplicaciones. En la Cuarta Parte se tratará de otros muchos circuitos en los que el Amp-Op forma parte integrante.

El diagrama esquemático del Amp-Op puede verse en la Fig. 10-41*a* y su correspondiente circuito equivalente en la 10-41*b*. En esta última figura se ve que el Amp-Op es una fuente de tensión gobernada por tensión. La tensión de salida v_o es la señal diferencia $v_i = v_1 - v_2$, amplificada. Los signos - y + en la entrada del Amp-Op se refieren a los terminales de entrada inversor y no inversor. O sea, que si $v_2 = o$, v_o esta defasado 180° (invertido) respecto a la señal de entrada v_i. Asimismo, si $v_1 = 0$ la salida v_o y la entrada v_2 están en fase (no invertidos).

El Amp-Op ideal

El amplificador operacional ideal goza de las siguientes características:

1. *La resistencia de entrada* $R_i \to \infty$ (circuito abierto). Por tanto *no hay corriente en ningún terminal de entrada.*
2. *La resistencia de salida* $R_o = 0$.
3. *La ganancia de tensión* $A_v \to \infty$. La tensión de salida $v_o = -A_v v_i$ es finita ($|v_o| < \infty$). Así, cuando A_v tienda a infinito *se requiere que* $v_i = 0$.
4. El amplificador responde igualmente a todas las frecuencias (el ancho de banda es infinito).
5. Cuando $v_1 = v_2$, $v_o = 0$ independiente de $|v_1|$. La inversa también es cierta.

Tanto para el Amp-Op ideal como para el práctico real se emplea el mismo símbolo. Para distinguirlos se ha indicado la ganancia finita A_v en el triángulo para el caso real y se ha omitido en el caso ideal (Fig. 10-42).

El circuito de la Fig. 10-42*a* es una *etapa amplificadora inversora* empleando un Amp-Op ideal. Debido a que la corriente de entrada es nula, existe la corriente I en ambas R_1 y R_2. Además, ya que $V_i = 0$ se deduce que

$$I = \frac{V_s}{R_1} = -\frac{V_o}{R_2} \tag{10-98}$$

de donde

$$A_V = \frac{V_o}{V_s} = -\frac{R_2}{R_1} \tag{10-99}$$

En la Ec. (10-99) se observa que A_V depende únicamente de la relación de resistencias. Recuérdese que en la fabricación de circuitos integrados, se puede controlar la relación de resistencias con mucha más precisión que los valores individuales de cada resistencia. Además, al diseñar el circuito se puede conseguir la amplificación deseada para una aplicación dada controlando los valores de resistencias exteri*ores al dispositivo amplificador*. Esta es una de las propiedades del sistema de realimentación comentado en la Sec. 12-3. (Obsérvese que R_2 provee la realimentación desde la salida a la entrada.)

El Amp-Op se usa a manera de *etapa amplificadora no inversora* en el circuito de la Fig. 10-42*b* (la Fig. 10- 42*c* corresponde al esquema de un circuito alternativo). Para hacer que en la Fig 10-42*b*, $V_i = 0$, se requiere que

$$V_i = V_1 - V_2 = \frac{R_1}{R_1 + R_2} V_o - V_s = 0 \tag{10-100}$$

Despejando suponiendo que $A_V = V_o/V_s$ tendremos

$$A_V = \frac{R_1 + R_2}{R_1} = 1 + \frac{R_2}{R_1} \tag{10-101}$$

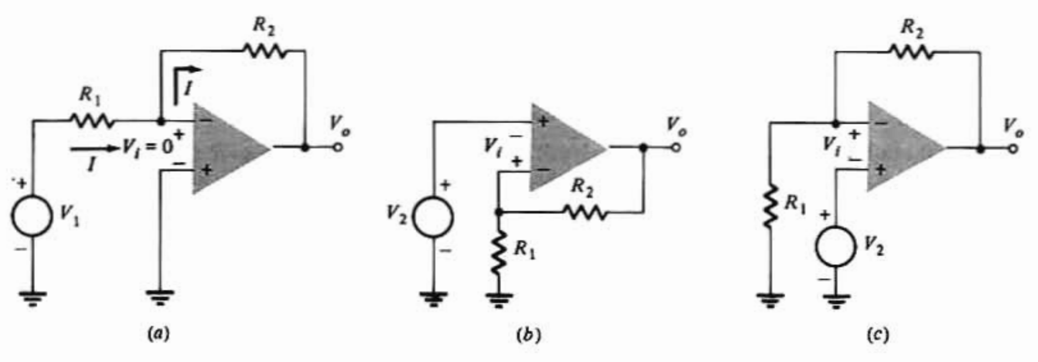


Figura 10-42. (*a*) Etapa de Amp-Op inversora. (*b, c*) Dos esquemas de etapa de Amp-Op no inversora, corrientemente empleados.

La Ec. (10-101) indica una vez más que la realimentación proporcionada por R_2 hace que A_V dependa sólo de la relación de resistencias R_2/R_1.

Si en la Fig. 10-42 hacemos $R_2 = 0$, $A_V = 1$ (y la resistencia R_1 es innecesaria). Esta etapa (representada en la Fig. 10-43) se denomina de ganancia unidad o seguidora de tensión ya que tiene resistencia de entrada infinita (alta), resistencia de salida cero (baja) y ganancia unidad. Obsérvese que este circuito tiene propiedades casi idénticas a las de los circuitos seguidores de emisor y de fuente descritos anteriormente.

Vamos a demostrar que las etapas del Amp-Op se aproximan mucho a las siguientes.

Etapas Amp-Op inversoras prácticas

La Fig. 10-44*a* representa el circuito equivalente de una etapa inversora empleando Amp-Op prácticos. Para demostrar los efectos de las desviaciones respecto al ideal ($R_i < \infty$, $A_v < \infty$, $R_o \neq 0$) hallaremos el equivalente de Thèvenin de la etapa vista por la resistencia de carga R_L. Primeramente reemplazaremos la fuente V_1 y las resistencias R_1 y R_i por un equivalente de Thèvenin como el indicado en la Fig. 10-44*b*. La fuente equivalente es $V_1R_i/(R_i + R_1)$ y la resistencia equivalente $R_1 \parallel R_i$. Obsérvese que cuando $R_i \gg R_1$ como es lo usual, estas magnitudes se reducen a V_1 y R_1 respectivamente. Así pues el efecto de la resistencia de entrada del Amp-Op puede despreciarse supuesto que $R_i >> R_1$. En lo que resta del análisis supondremos que este es el caso.

En la Fig. 10-44*b*

$$V_o = -A_V V_i + IR_o \tag{10-102}$$

y

$$V_i = IR_2 + V_o \tag{10-103}$$

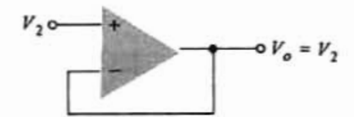


Figura 10-43. Seguidor de tensión.

Aplicando la ley de Kirchhoff

$$-V_1 + I(R_1 + R_2 + R_o) - A_v V_i = 0 \tag{10-104}$$

Combinando las Ecs. (10-102) a (10-104) y despejando V_o/V_s tendremos

$$A_V = \frac{V_o}{V_1} = \frac{-A_v R_2 + R_o}{R_1(1 + A_v) + R_2 + R_o} \tag{10-105}$$

Obsérvese en la Ec. (10-103) que si $A_v >> 1$ y $A_v R_1 >> R_2 + R_o$, A_V tiende a $-R_2/R_1$. Si A_v es suficientemente grande A_V tiene el mismo valor que en el caso ideal. El efecto de R_o es despreciable (A_V es independiente de R_o) siempre que $A_v R_1$ y $A_v R_2$ sean cada una de ellas mayor que R_o. Podemos llegar a la conclusión de que si A_v es muy grande, la tensión de Thèvenin $A_V V_1 \approx -R_2 V_1/R_1$ y es virtualmente independiente de las desviaciones respecto al ideal del Amp-Op.

Para hallar la resistencia de Thèvenin R_T (resistencia de salida de la etapa vista por R_L) calcularemos la corriente de corto-circuito I_{sc}. Para $R_L = 0$ (cortocircuito) la corriente I_A en la rama R_1-R_2 es

$$I_A = \frac{V_1}{R_1 + R_2} \tag{10-106}$$

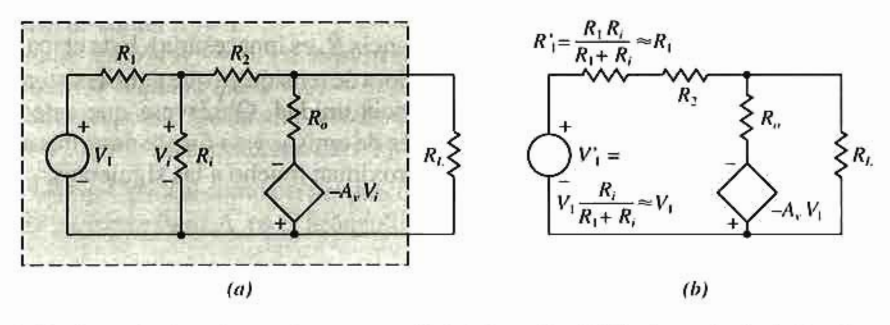


Figura 10-44. (*a*) Circuito equivalente de etapa inversora no ideal de Amp-Op. (*b*) El mismo circuito habiendo sustituido V, R_1 y R_i por su equivalente de Thèvenin R'_1-V'_1.

y la corriente I_B en R_o es

$$I_B = \frac{-A_v V_i}{R_o} \tag{10-107}$$

Combinando las Ecs. (10-106), (10-107) y (10-103) con $V_o = 0$ se tiene:

$$I_{sc} = I_A + I_B = \frac{-A_v(R_2 + R_o)V_1}{R_1(1 + A_v) + R_2 + R_o} \tag{10-108}$$

de donde

$$R_T = \frac{(R_1 + R_2)R_o}{R_1(1 + A_v) + R_2 + R_o} = \frac{[(R_1 + R_2)R_o]/(R_1 + R_2 + R_o)}{1 + [A_v R_1/(R_1 + R_2 + R_o)]} \tag{10-109}$$

El valor de R_T es significativamente inferior que R_o. En la forma de la derecha de la Ec. (10-109) el numerador es $R_o \parallel (R_1 + R_2)$ lo que es menor que R_o. Esta resistencia está dividida por un término positivo elevado (para $A_v \gg 1$) y por tanto $R_T \rightarrow 0$ cuando $A_v \rightarrow \infty$.

Ejemplo 10-9

Se diseña una etapa Amp-Op inversora con $R_1 = 5$ kΩ, $R_2 = 10$ kΩ y $R_L = 100$ Ω. El Amp-Op tiene $A_v = 5 \times 10^4$, $R_o = 500$ Ω y $R_i \rightarrow \infty$: (*a*) Determinar la tensión a través de R_L para una señal de entrada de 1,5*V* de tensión eficaz. (*b*) Repetir lo anterior suponiendo que se trata de un Amp-Op ideal.

Solución

(*a*) El equivalente de Thèvenin de la etapa viene dado por las Ecs. (10-105) y (10-109). Haciendo operaciones numéricas tendremos

$$A_v V_s = \frac{-5 \times 10^4 \times 10 + 0.5}{5(1 + 5 \times 10^4) + 10 + 0.5} \times 1.5 = -2.9998 \text{ V}$$

$$R_T = \frac{(5 + 10)0.5}{5(1 + 5 \times 10^4) + 10 + 0.5} = 0.027 \ \Omega$$

Empleando el equivalente de Thèvenin, la tensión a través de R_L es

$$V_o = \frac{R_L}{R_L + R_o} A_V V_1 = \frac{100}{100 + 0.027} \times (-2.9998) = -2.999 \approx -3.0 \text{ V}$$

(*b*) En el Amp-Op ideal, la tensión a través de R_L es simplemente $A_V V_1$ o $V_o = -(R_2/R_1)\, V_1 = -(10/5)\ 1{,}5 = -3{,}0$V.

Estos resultados indican que con los valores corrientes de A_V y de R_o la diferencia entre los valores reales y los ideales es despreciable.

La etapa no inversora práctica

La etapa no inversora práctica (Fig. 10-45) se analiza en idéntica forma que la etapa inversora. El valor de A_V viene dado por la Ec. (10-110) y el de R_T por la (10-109) admitiendo que $R_i \rightarrow \infty$.

$$A_V = \frac{A_v(R_1 + R_2)}{R_1(1 + A_v) + R_2 + R_o} \tag{10-110}$$

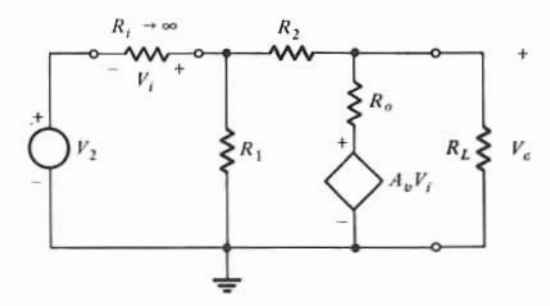


Figura 10-45. Circuito equivalente de etapa de Amp-Op no ideal y no inversora.

El objeto del Prob. 10-83 es precisamente la comprobación de estos resultados. De las Ecs. (10-110) y (10-109) se llega fácilmente a la conclusión de que la etapa no inversora se aproxima mucho al caso ideal cuando A_v es muy grande.

10-22. APLICACIONES ELEMENTALES DEL AMP-OP

En esta sección introduciremos varios circuitos básicos de amplificador operacional muy empleados en la amplificación de sistemas y señales.

Amplificador sumador

La disposición de la Fig. 10-46 puede emplearse para obtener una salida que sea combinación lineal de un cierto número de señales de entrada. Como en la entrada del Amp-Op existe una tierra virtual tendremos

$$i = \frac{v_1}{R_1} + \frac{v_2}{R_2} + \cdots + \frac{v_n}{R_n}$$

y

$$v_o = -R'i = -\left(\frac{R'}{R_1} v_1 + \frac{R'}{R_2} v_2 + \cdots + \frac{R'}{R_n} v_n\right) \tag{10-111a}$$

Si $R_1 = R_2 = \cdots = R_n$, entonces

$$v_o = -\frac{R'}{R_1}(v_1 + v_2 + \cdots + v_n) \tag{10-111b}$$

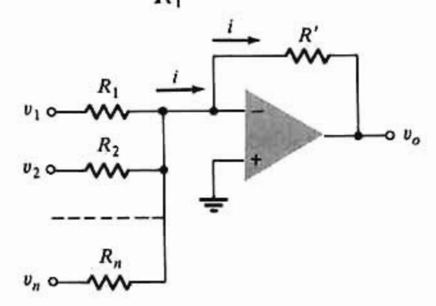


Figura 10-46. Amplificador sumador inversor.

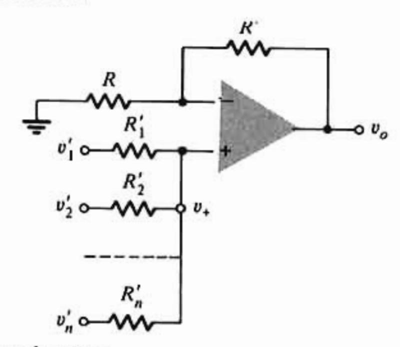


Figura 10-47. Amplificador sumador no inversor.

y la salida es proporcional a la suma de las entradas.

Naturalmente, se pueden emplear muchos otros procedimientos para combinar señales. El método que estamos comentando tiene la ventaja de que se puede extender hasta un número muy elevado de entradas, necesitándose tan sólo una resistencia adicional por cada entrada adicional. El resultado depende, en el caso límite de una gran ganancia, sólo de las resistencias involucradas, y debido a la tierra virtual hay una mínima interacción entre las fuentes de entrada.

Suma no inversora

Se puede obtener una sumadora cuya salida sea una combinación lineal de las entradas sin cambio de signo empleando el amplificador no inversor. En la Fig. 10-47 podemos ver tal sumadora. Según la Ec. (10-101) la salida viene dada por

$$v_o = \left(1 + \frac{R'}{R}\right)v_+ = \left(\frac{R + R'}{R}\right)v_+ \tag{10-112}$$

en donde la tensión en el terminal no inversor v_+ se halla por superposición. Por ejemplo, la contribución a v_+ debida a v'_2 es $v'_2R'_{p2}/(R'_2 + R'_{p2})$ siendo R'_{p2} la combinación en paralelo de todas las resistencias unidas al nudo no inversor *excepto* R'_2; es decir, $R'_{p2} = R'_1 \parallel R'_3 \parallel R'_4 \parallel \ldots\ldots\ldots \parallel R'_n$.

Con n resistencias iguales de valor R'_2 cada una:

$$\frac{R'_{p2}}{R'_2 + R'_{p2}} = \frac{R'_2/(n-1)}{R'_2 + R'_2/(n-1)} = \frac{1}{n} \tag{10-113}$$

y

$$v_+ = \frac{1}{n}(v'_1 + v'_2 + \cdots + v'_n) \tag{10-114}$$

La salida viene dada por las Ecs. (10-112) y (10-114).

Es posible efectuar adiciones y sustracciones simultáneamente con un solo amplificador operacional sustituyendo la resistencia R de la Fig. 10-47 por las n resistencias y tensiones de entrada de la Fig. 10-46. Nuevamente se determina por superposición la contribución a v_o de cualquiera de las tensiones de entrada. Hay que resaltar que cuando se está considerando una de las tensiones $v_1, v_2 \ldots v_n$ el terminal de entrada positivo está efectivamente a tierra (si se puede despreciar la corriente de polarización). Análogamente, si se está considerando una de las tensiones $v'_1, v'_2 \ldots v'_n$, la R de la Fig. 10-47 representa la combinación en paralelo de $R_1, R_2 \ldots R_n$.

Convertidor de tensión a corriente (amplificador de transconductancia)

Frecuentemente se desea convertir una señal de tensión en una corriente de salida proporcional. Esto es necesario, por ejemplo, para la excitación de una bobina de deplexión del tubo de un televisor. Si la impedancia de carga no tiene ninguno de sus extremos a tierra (si está flotante), el simple circuito de la Fig. 10-46, con R' sustituida por la impedancia de carga Z_L constituye un excelente *convertidor de tensión a corriente*. Con una sola entrada, $v_1 = v_s(t)$, la corriente en Z_L es

$$i_L = \frac{v_s(t)}{R_1} \tag{10-115}$$

Obsérvese que i es independiente de la carga Z_L debido a la tierra virtual de la entrada del Amp-Op. Puesto que la misma corriente circula por la fuente de señal y por la carga es necesario que la fuente de señal sea capaz de suministrar esta corriente de carga. Por otra parte, el amplificador de la Fig. 10-48*a* necesita muy poca corriente de la fuente de señal por la resistencia de entrada muy elevada vista desde el terminal no inversor.

Si la carga Z_L está a tierra puede emplearse el circuito de la Fig. 10-48*b*. En el Prob. 10-88 veremos que si $R_3/R_2 = R'/R_1$ tendremos

$$i_L(t) = \frac{v_s(t)}{R_2} \tag{10-116}$$

Convertidor corriente-tensión (amplificador de transresistencia)

Las fotocélulas y tubos fotomultiplicadores dan una corriente de salida independiente de la carga. El circuito de la Fig. 10-49 corresponde a un Amp-Op empleado a manera de convertidor de corriente a tensión. Debido a la tierra virtual en la entrada del amplificador, la corriente R_s es cero e i_s circula por la resistencia de realimentación R'.

La tensión de salida es $v_o = -i_sR'$. Hay que tener en cuenta que el límite inferior de la corriente en este circuito lo fija la corriente de polarización de la entrada inversora. Es frecuente colocar un condensador C' en paralelo con R' a fin de reducir el ruido de altas frecuencias y la posibilidad de que se produzcan oscilaciones. El convertidor corriente-tensión constituye un excelente medidor de corriente ya que es un amperímetro con tensión nula a través del medidor.

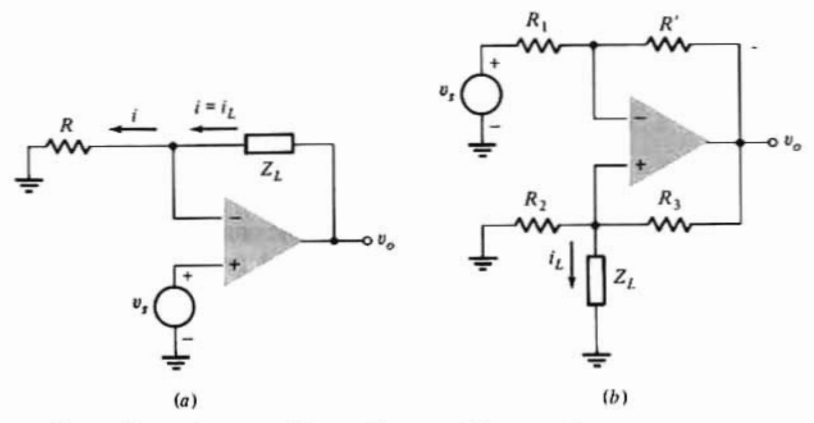


Figura 10-48. Convertidor tensión-corriente para (*a*) carga flotante, y (*b*) carga a tierra.

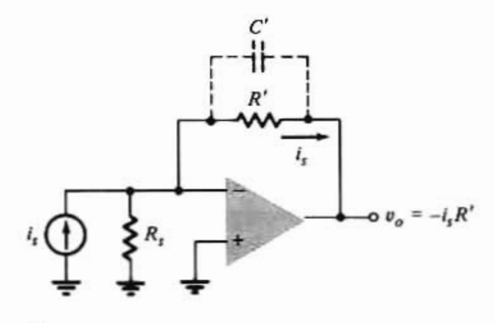


Figura 10-49. Convertidor corriente-tensión.

Integradores

Si en la Fig. 10-42*a* se sustituye la resistencia R, por un condensador C, como se indica en la Fig. 10-50, el circuito actúa como *integrador*. En esta última figura $i_1 = v_s/R_1$ e $i_C = C(dv_o/dt)$; puesto que no entra corriente en el Amp-Op, $i_1 = -i_C$. Luego

$$\frac{v_s}{R_1} = -C\frac{dv_o}{dt}$$

integrando y despejando v_o

$$v_o = -\frac{1}{R_1C}\int v_s\,dt \tag{10-117}$$

y por tanto el amplificador da una tensión de salida que es proporcional a la integral de la tensión de entrada.

Si la tensión de entrada es constante, $v_s = V$, la salida será en rampa, $v_o = -Vt/R_1C$. Un integrador como éste constituye un circuito de barrido adecuado para el tubo de rayos catódicos de un osciloscopio y recibe el nombre de *integrador Miller* o *barrido Miller*. El circuito de la Fig. 10-50 es el de un integrador ideal, el integrador práctico será tratado en la Secc. 16-6.

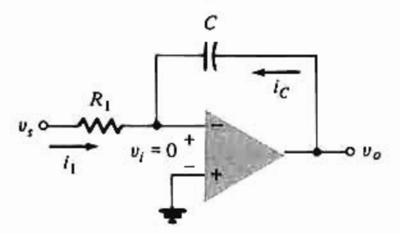


Figura 10-50. Circuito integrador Amp-Op.

REFERENCIAS

1 Ghausi, M.S.: "Electron Devices and Circuits: Discrete and Integrated," Holt, Rinehart and Winston, Inc., Nueva York, 1985.

2 Sedra, A.S., y K.C. Smith: "Microelectronic Circuits," Holt, Rinehart and Winston, Inc., Nueva York, 1981.

3 Schilling, D., y C. Belove: "Electronic Circuits—Discrete and Integrated," McGraw-Hill Book Company, Nueva York, 1979.

4 Gray, P.R., y R.G. Meyer: "Analysis and Design of Analog Integrated Circuits," 2ª ed., John Wiley and Sons, Nueva York, 1984.

5 Grebene, A.B.: "Bipolar and MOS Analog Integrated Circuit Design," John Wiley and Sons, Nueva York, 1984

6 Colclaser, R.A., D.N. Neaman, y C.F. Hawkins: "Electronic Circuit Analysis," John Wiley & Sons, Nueva York, 1984.

7 Soclof, S.: "Analog Integrated Circuits," Prentice-Hall, Englewood Cliffs, N.J., 1985.

TEMAS DE REPASO

10-1. Dibujar un circuito de polarización fija y explicar por qué no resulta satisfactorio si se sustituye el transistor por otro del mismo tipo.

10-2. ¿Qué se entiende por campo dinámico?

10-3. Explicar por qué la corriente de colector en reposo debe ser esencialmente independiente de las variaciones de β_F para lograr estabilizar la polarización.

10-4. (*a*) Esbozar el esquema del circuito de un espejo de corriente.
(*b*) Explicar brevemente cómo funciona este circuito a manera de fuente de corriente.

10-5. ¿Qué efecto tiene la tensión Early V_A sobre la corriente de salida de un espejo?

10-6. (*a*) Dibujar el circuito de una fuente de corriente Widlar
(*b*) Cítense dos ventajas del circuito Widlar.

10-7. Repetir el tema 10-6 para una fuente de corriente Wilson.

10-8. (*a*) Dibujar la red de polarización de cuatro resistencias.
(*b*) Explicar brevemente cómo actúa esta configuración para mantener I_{CQ} constante al variar β_F.

10-9. Explicar la función de: (*a*) un condensador de acoplamiento, y (*b*) un condensador de paso.

10-10. Cítense tres causas de variación de la corriente de colector en un circuito de componentes discretos.

10-11. Un transistor se excita con una corriente de base senoidal grande, cuyo valor supera el de reposo I_{BQ} para $0 \leq \omega t < \pi$ y es menor que I_{BQ} para $\pi \leq \omega t < 2\pi$. Las variaciones de la corriente de colector alrededor de I_{CQ} ¿son mayores cuando $\omega t = \pi/2$ o cuando $\omega t = 3\ \pi/2$? Explíquese la respuesta con el auxilio de una construcción gráfica.

10-12. Esbozar el esquema del circuito de una fuente de corriente MOSFET y explicar brevemente su funcionamiento.

10-13. Explicar cómo la red de polarización de cuatro resistencias tiende a minimizar las variaciones de I_{DQ} motivadas por los cambios de uno a otro FET.

10-14. Explicar las diferencias entre i_D, i_d, I_D e I_d.

10-15. (*a*) Para un carga acoplada por capacidad, la carga en continua ¿es mayor o menor que la carga en alterna?
(*b*) Mostrar el efecto de la carga acoplada capacitivamente basándose en las rectas de carga estática y dinámica.

10-16. Relacionar (*a*) g_m, (*b*) r_π y (*c*) r_o con la corriente de colector en reposo I_{CQ}.

10-17. Calcular las cantidades del tema 10-16 para un transistor a temperatura ambiente siendo $I_{CQ} = 0{,}5$ mA y teniendo $V_A = 120$V.

10-18. Dibujar el circuito equivalente a baja frecuencia de una etapa en emisor común.

10-19. Repetir el tema anterior para: (*a*) una etapa en colector común, y (*b*) una etapa en base común.

10-20. ¿Cuál de las configuraciones (*CE*, *CB*, *CC*) tiene: (*a*) la mayor R_i, (*b*) la menor R_i, (*c*) la mayor R_o, (*d*) la menor R_o, (*e*) la menor A_V y (*f*) la menor A_I?

10-21. (*a*) Comparar los valores de A_V, A_I, R_i y R_o de una etapa en emisor común con resistencia de emisor R_E con los de una simple etapa en emisor común.
(*b*) ¿Qué ventajas se derivan del empleo de tal etapa?

10-22. (*a*) Dibujar la cascada de una etapa en emisor común y una etapa en colector común.
(*b*) ¿Cuáles son la ganancia de tensión total, la resistencia de entrada y la resistencia de salida de la cascada?

10-23. Se desea un amplificador de gran ganancia con grandes resistencias de entrada y de salida. Si se emplea una cascada de tres etapas ¿qué configuración conviene a cada una de ellas? Explíquese.

10-24. (*a*) ¿Cuál es la resistencia de carga efectiva de una etapa interior de un amplificador en cascada?
(*b*) ¿Cuál es la resistencia de fuente efectiva de tal etapa?

10-25. (*a*) Dibujar el circuito de un seguidor de emisor empleando un par conectado Darlington.
(*b*) ¿Cuál es la ventaja del par Darlington?

10-26. (*a*) Esbozar el esquema del circuito de un amplificador cascodo.
(*b*) ¿Cómo se equiparan A_V y A_I de este circuito con los valores correspondientes de una etapa en emisor común?

10-27. Dibujar el esquema del circuito de un par de emisor acoplado (diferencial).

10-28. (*a*) Definir el modo diferencial.
(*b*) Definir el modo común.

(*c*) Dibujar el semi-circuito equivalente de los apartados (*a*) y (*b*).

10-29. Definir la relación de rechazo del modo común.

10-30. Escribir una ecuación para la tensión de salida de un amplificador diferencial en función de *CMRR*, de la ganancia diferencial A_{DM}, y de las señales de entrada en los modos común y diferencial.

10-31. ¿Dentro de qué campo de diferencias de tensión V_d actúa linealmente el par de emisor acoplado?

10-32. Dibujar el modelo de baja frecuencia de (*a*) la etapa en fuente común, y (*b*) la etapa en drenaje común.

10-33. Se debe construir un amplificador FET de gran ganancia y resistencia de salida baja. Si se emplean cuatro etapas:

(*a*) ¿Cuál es la configuración de cada una de ellas?

(*b*) ¿Cuál es la ganancia total?

10-34. Cítense cinco propiedades del Amp-Op ideal.

10-35. (*a*) Dibujar el esquema del circuito de una etapa Amp-Op no inversora, e indicar su circuito equivalente.

(*b*) ¿Cuál es la ganancia de tensión de esta etapa?

10-36. Repetir el tema anterior para una etapa no inversora.

10-37. (*a*) Dibujar el esquema del circuito de un integrador.

(*b*) Deducir una expresión que demuestre que la salida es proporcional a la integral de la entrada.

11

Respuesta en frecuencia de los amplificadores

Las señales utilizadas en muchos sistemas electrónicos necesitan ser amplificadas con un mínimo de distorsión. En estas condiciones los dispositivos activos involucrados deben funcionar linealmente, por lo que hay que aplicar los criterios de pequeña señal. El primer paso para el análisis de estos circuitos consiste en emplear un modelo lineal para sustituir al real. Luego ya es cuestión de análisis determinar las características de transmisión de la red lineal.

En el Cap. 10 ya enfocamos la cuestión del funcionamiento a baja frecuencia de las etapas amplificadoras. Para ello consideramos que tanto las capacidades internas de los transistores como los condensadores exteriores de acoplamiento y de paso, si los hay, tienen un efecto despreciable en cuanto al funcionamiento. Sin embargo, se exige a los amplificadores que trabajen dentro de un amplio campo de frecuencias. El límite inferior de este campo puede ser en continua (etapas directamente acopladas) o de unos pocos hertz y el límite superior puede llegar a ser de varias decenas de megahertz. El estudio de amplificadores de banda ancha se vio estimulado por la necesidad de amplificar los impulsos que existen en sistemas de comunicación tales como la televisión y el radar. Al hacer el análisis de amplificadores en un campo de frecuencias tan amplio hay que incluir las capacidades antes despreciadas. Puesto que la reactancia capacitiva varía con la frecuencia, las características de transmisión de los modelos lineales dependen de esa frecuencia. La ganancia del amplificador depende de la frecuencia de la señal de entrada lo que puede dar una señal de salida con distorsión en frecuencia. En este capítulo veremos cómo una señal de entrada de bajo nivel conteniendo muchos componentes de frecuencia desde cero (continua) hasta unos pocos megahertz se puede amplificar con una distorsión mínima.

Al enfocar esta cuestión investigaremos primeramente la respuesta de amplificadores BJT y FET de una sola etapa. Los amplificadores de múltiples etapas se tratan relacionando la respuesta global con la respuesta en frecuencia de las etapas componentes. Se han desarrollado métodos para evaluar aproximadamente esta respuesta en frecuencia.

Los amplificadores integrados, que invariablemente están acoplados directamente, tienen su campo limitado a las frecuencias altas debido a las capacidades internas del transistor (C_π y C_μ en un BJT). Las etapas de componentes discretos están también limitadas a bajas frecuencias debido a los condensadores de acoplamiento y de paso utilizados. Por tanto trataremos primeramente del comportamiento de las etapas simples y múltiples a alta frecuencia y luego veremos sus limitaciones a baja frecuencia.

11-1. CARACTERÍSTICAS DE RESPUESTA EN FRECUENCIA

La aplicación de una señal senoidal de bajo nivel a la entrada de un amplificador da una onda de salida también senoidal. Sin embargo, con una excitación no senoidal, la onda de salida no es una réplica exacta de la señal de entrada ya que los componentes de la entrada a distintas frecuencias se amplifican

diferentemente. Cuando los efectos de los elementos internos capacitivos, o cuando el circuito exterior (condensadores de acoplamiento o las impedancias de carga) tienen una componente reactiva, la ganancia $A = A \angle \theta$ es un número complejo. Tanto el valor de A como el ángulo de fase θ dependen de la frecuencia de la excitación. En lo que resta del texto utilizaremos los símbolos A y θ citados. La característica de la respuesta en frecuencia de un amplificador es la representación gráfica de la ganancia y fase en función de la frecuencia. Invariablemente, para representar la respuesta en frecuencia se emplea el diagrama de Bode. El gráfico asintótico de Bode constituye una aproximación adecuada de esta característica.

Consideraciones sobre fidelidad

Las siguientes consideraciones sugieren un criterio que puede utilizarse para comparar dos amplificadores en cuanto a su fidelidad al reproducir la señal de entrada. Cualquier onda arbitraria de importancia en ingeniería puede reducirse a la representación del espectro de Fourier. Si la onda es periódica se tendrá una serie de senos y cosenos cuyas frecuencias serán todas múltiplos enteros de la frecuencia fundamental. Esta frecuencia fundamental es la inversa del tiempo que transcurre antes de que la onda se repita a sí misma. Si la onda no es periódica el período fundamental se extiende desde menos infinito hasta más infinito. En este caso, la frecuencia fundamental es infinitamente pequeña; las frecuencias de los sucesivos términos del espectro difieren de una cantidad infinitesimal en lugar de finita y la serie de Fourier se convierte en una integral. El cualquier caso, el espectro comprende términos cuyas frecuencias se extienden, en el caso general, desde cero a infinito.

Consideremos una señal senoidal de frecuencia angular ω representada por V_m sen $(\omega t + \phi)$. Si la

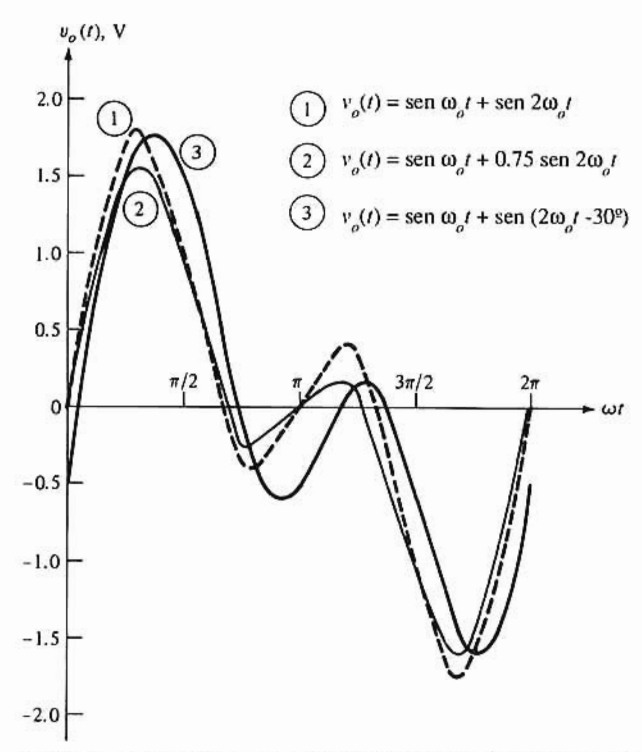


Figura 11-1. Distorsión de amplitud y de fase. La amplitud de la onda 2 difiere de la onda 1; además, la característica de fase de las ondas 1 y 3 son distintas.

ganancia de tensión del amplificador vale A y la señal sufre un cambio de fase (retraso angular) θ la salida será

$$AV_m \operatorname{sen}(\omega t + \phi - \theta) = A\, V_m \operatorname{sen}\left[\omega\left(t - \frac{\theta}{\omega}\right) + \phi\right]$$

Así pues, *si la amplificación A es independiente de la frecuencia y el desplazamiento de fase* θ *es proporcional a la frecuencia (o es cero) el amplificador conservará la forma de la señal de entrada, si bien desplazada en el tiempo (retrasada) en una cuantía* θ/ω.

Las ondas de la Fig. 11-1 muestran la distorsión resultante cuando la amplificación de los componentes de distintas frecuencias no es uniforme. Cada una de las tres curvas de la Fig. 11-1 es la onda de salida de un amplificador excitado por la tensión 0,1 sen $\omega_o t$ + 0,1 sen 2 $\omega_o t$. La curva de trazos corresponde a un amplificador de $A = 10$ y $\theta = 0^o$ a las dos frecuencias $f_0 = \omega_o/2\pi$ y $2f_0$. La tensión de salida $v_0 = 1{,}0$ (sen $\omega_o t$ + sen $2\omega_o t$) es una réplica de la señal de entrada.

La curva señalada con un 2 ocurre cuando $A = 10$ con f_0 y $A = 7{,}5$ con $2f_0$ y $\theta = 0^o$ en ambas frecuencias. La salida es $v_0 = 1{,}0$ sen $\omega_o t$ + 0,75 sen 2 $\omega_o t$. En la tercera onda $v_0 = 1{,}0$ sen $\omega_o t$ + 1,0 sen (2 $\omega_o t$ - 30º) y es el resultado de la introducción por parte del amplificador de un desfase de - 30º a la frecuencia $2f_0$. Se aprecia claramente la distorsión debida a las variaciones de A y de θ con la frecuencia. La situación a la que varían tanto A como θ con la frecuencia, como es el caso de la mayoría de amplificadores prácticos, será el objeto del Prob.11-1.

Estos comentarios sugieren que la cuantía en que la respuesta en amplitud del amplificador no es uniforme y el retraso de tiempo no constante con la frecuencia puede servir como medida anticipada de la falta de fidelidad. En principio no es necesario especificar las respuestas de amplitud y de retardo, ya que en casi todos los circuitos prácticos ambas están relacionadas y especificando una de ellas queda también especificada la otra. Sin embargo, se pueden dar casos particulares en que el indicador de distorsión más sensible sea una u otra de las respuestas.

Respuestas en alta frecuencia

Consideremos el circuito de la Fig. 11-2*a*. El condensador C_M, como se demostrará en subsiguientes secciones, es el efecto de las capacidades internas del dispositivo amplificador (C_π y C_μ para el BJT; C_{gs} y C_{gd} para el FET). En la Fig. 11-2*b* puede verse la representación frecuencia-compleja[1] (plano *s*) del circuito de la Fig. 11.2*a*.

En la Fig. 11-2*b*, $Z = R_i \,||\, 1/s\,C_M = R_i/(1 + sR_iC_M)$ y de la relación del divisor de tensión

$$V_i = \frac{Z}{R_s + Z} V_s = \frac{R_i}{R_s + R_i + sC_MR_iR_s} \tag{11-1}$$

como $V_0 = -g_mR_LV_1$, sustituyendo en la Ec. (11-1) tendremos

$$\frac{V_o}{V_i} = A_{VH}(s) = \frac{-g_mR_iR_L}{R_s + R_i + sC_MR_iR_s} \tag{11-2}$$

y dividiendo por $R_i + R_s$:

$$A_{VH}(s) = \frac{-g_mR_LR_i/(R_s + R_i)}{1 + sC_MR_sR_i/(R_s + R_i)} = \frac{A_{VO}}{1 + s/\omega_H} \tag{11-3}$$

(1) En los Apéndices C2 y C5 se comenta la frecuencia compleja *s*

El numerador A_{VO} de la Ec. (11-3) es la ganancia del circuito a $s = j\omega = 0$ (continua) para lo que la reactancia de C_M es infinita (circuito abierto). La frecuencia angular ω_H es la inversa de la constante de tiempo del circuito de entrada siendo $R_sR_i/(R_s + R_i)$ la resistencia equivalente vista por C_M.

Para $s = j\omega$ la magnitud y la fase de $A_{VH}(j\omega) = A_{VH} \angle \theta_H$ son:

$$A_{VH} = \frac{A_{VO}}{\sqrt{1 + \left(\frac{f}{f_H}\right)^2}} \qquad \theta_H = -\tan^{-1}\frac{f}{f_H} \qquad (11\text{-}4)$$

Obsérvese en la Ec. (11-4) que al crecer la frecuencia f de excitación disminuye A_{VH}; finalmente $A_{VH} \to 0$ a medida que $f \to \infty$. Asismismo θ_H representa un mayor desfase en retraso al aumentar f. Con $f = f_H$, $A_{VH} = A_{VO}/\sqrt{2} = 0{,}707\ A_{V0}$. Expresado en decibelios[2] esto corresponde a una reducción de A_{VH} de 3 db del valor de A_{V0} recibiendo f_H el nombre de *frecuencia superior de 3 db*. Como la potencia es proporcional al cuadrado de la tensión, $A_{VH} = A_{V0}/\sqrt{2}$ corresponde a un nivel de potencia a la frecuencia $f = f_H$ igual a la mitad de la potencia a $f = 0$. Por ello a f_H se le denomina también *frecuencia superior de media potencia*.

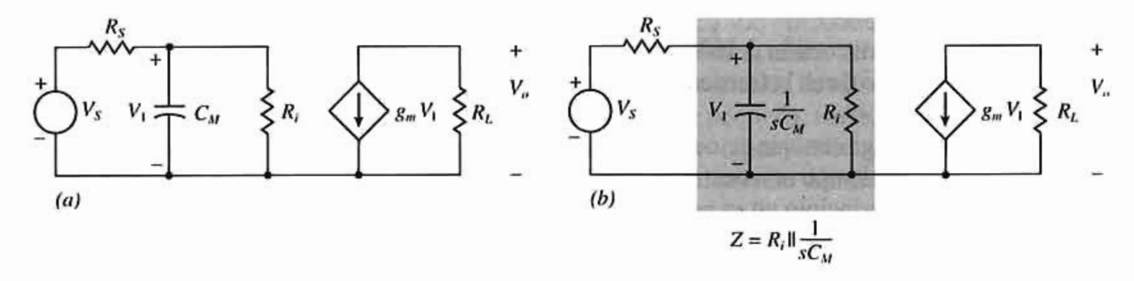


Figura 11-2. (*a*) Circuito paso bajo. (*b*) Representación de (*a*) en el campo de frecuencias (plano- *s*).

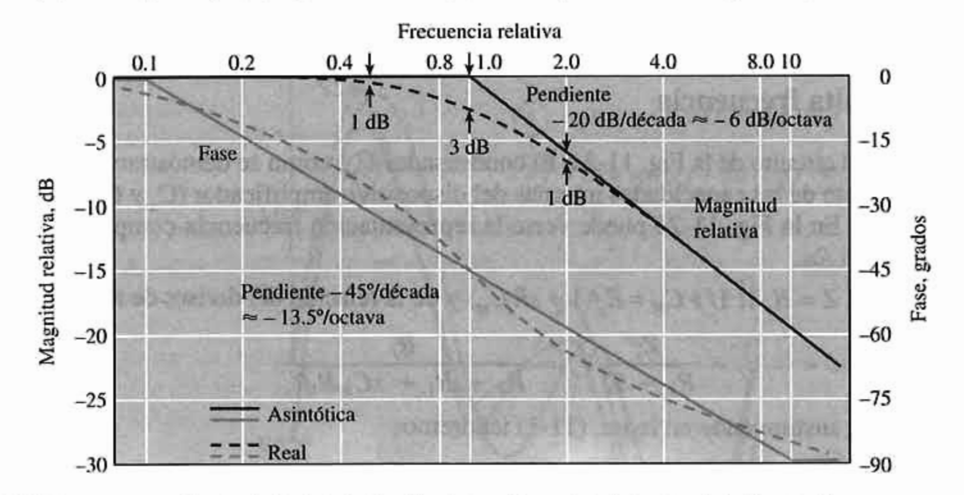


Figura 11-3. Diagrama normalizado de Bode de la función de transferencia del circuito de la Fig. 11-2*b*.

La característica de respuesta en frecuencia dada en la Ec. (11- 5) está representada en el diagrama de Bode de la Fig. 11-3. Las curvas a trazos indican los valores reales y las de trazo continuo corresponden al diagrama asintónico de Bode. Obsérvese que el eje de frecuencias se refiere a f/f_H, y el de ganancia a A_{VH}/A_{V0}. Este circuito funciona como *sistema de paso bajo* porque como se ve en el diagrama de Bode las

(2) La ganancia de tensión expresada en decibelios es 20 log A_V

frecuencias por debajo de f_H se transmiten con una atenuación mínima; y las superiores a f_H sufren una atenuación.

Con los valores típicos de los parámetros que se dan en las etapas amplificadoreas prácticas (C_M = 100 pF, $R_i = R_s$ = 1 kΩ), f_H = 8MHz. Evidentemente, al aumentar (o disminuir) R_i y R_s (o CM), f_H decrece (o aumenta).

Respuesta en baja frecuencia

El circuito de la Fig.11-4 representa una etapa amplificadora en la que $1/sC_C$ representa la impedancia del condensador exterior de acoplamiento (C_B en la Fig. 10-12 o C_G para una etapa FET). De la Fig. 11-4

$$V_1 = \frac{R_i V_s}{R_s + R_i + 1/sC_C}$$

y de $V_o = -g_m \bar{R}_L V_1$

$$A_{VL}(s) = \frac{V_o}{V_1} = \frac{-g_m R_L R_i}{R_i + R_s + 1/sC_C} \qquad (11\text{-}5)$$

La Ec. (11-5) se puede replantear como:

$$A_{VL}(s) = \frac{-g_m R_L R_i/(R_s + R_i)}{1 + 1/sC_C(R_s + R_i)} = \frac{A_{VO}}{1 + \omega_L/s} = A_{VO}\frac{s/\omega_L}{1 + s/\omega_L} \qquad (11\text{-}6)$$

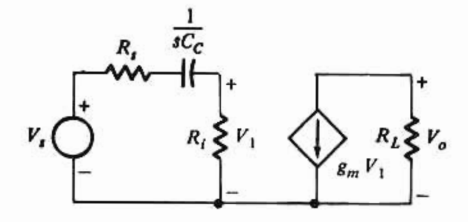


Figura 11-4. Representación del circuito paso-alto.

La frecuencia angular ω_L es la inversa de la constante de tiempo del circuito C_c $(R_s + R_i)$ (esto es la resistencia equivalente vista desde C_C) y a $s = j\omega_L$, $1/\omega_L C_C = R_s + R_i$. Obsérvese que $A_{VL}(s) \rightarrow A_{V0}$ cuando $s = j\omega \rightarrow \infty$. Cuando $\omega \rightarrow \infty$ la reactancia de C_C tiende a cero, condición en la que el efecto de los condensadores de acoplamiento es despreciable. Con $s = j\omega$ la magnitud y la fase de A_{VL} $(j\omega)$ son:

$$A_{VL} = \frac{A_{VO}}{\sqrt{1 + (f_L/f)^2}} \qquad \theta_L = \tan^{-1}\frac{f_L}{f} \qquad (11\text{-}7)$$

En la Ec. (11-7) se observa que A_{VL} tiende a cero cuando lo hace f_L e indica la atenuación a baja frecuencia. Este tipo de respuesta es la de un *sistema paso alto* como se ve en el diagrama de Bode de la Fig. 11-5. f_L es la *frecuencia inferior de 3 db* o *de media potencia*. Con los valores típicos corrientes (C_C = 1μF, $R_s = R_i$ = 1 kΩ) ω_L = 500 rad/s y f_L = 80 Hz. Evidentemente al aumentar (o disminuir) C_C disminuye (o aumenta) f_L.

Respuesta total

El circuito de la Fig. 11-6 contiene tanto un dispositivo capacitativo C_M como un condensador de

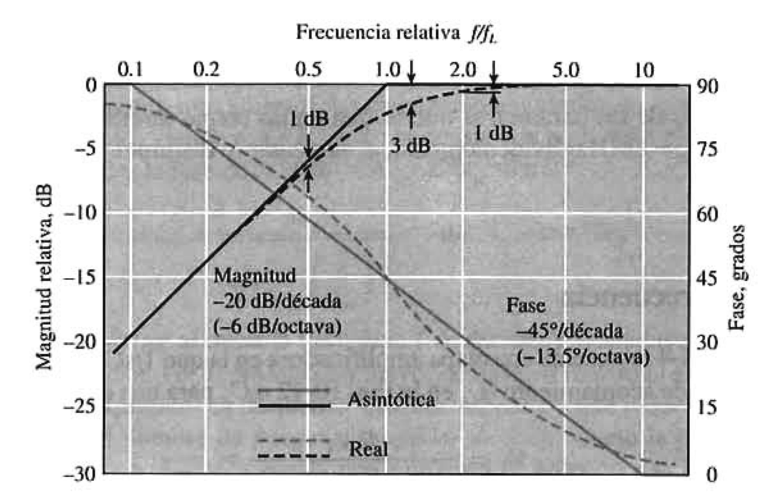


Figura 11-5. Diagrama normalizado de Bode de la función de transferencia del circuito de la Fig. 11-4.

acoplamiento C_C. Del razonamiento anterior se desprende que la respuesta del circuito queda limitada en las dos frecuencias, baja (C_C) y alta (C_M). Sin embargo, f_L y f_H están muy separadas como se desprende de los valores típicos indicados. En consecuencia, las frecuencias en las que C_C y C_M influyen sobre la respuesta son completamente dispares. En la Tabla 11-1 figuran las reactancias de C_M y de C_C a varias frecuencias basadas en los valores numéricos dados anteriormente.

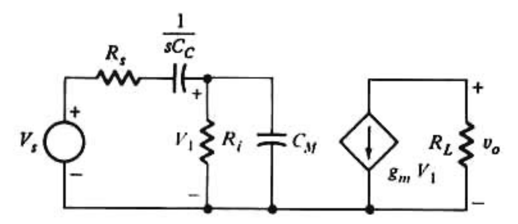


Figura 11-6. Circuito en el que la respuesta queda limitada tanto para altas como para bajas frecuencias.

Tabla 11-1. Reactancias de C_C y C_M a varias frecuencias

Frecuencia angular (rad/s)	500	5×10^3	5×10^6	50×10^6
Reactancia de C_C = 1mF (W)	2K	200	0.20	0.02
Reactancia de C_M = 100 pF (W)	50M	2M	5K	500

La resistencia en serie con C_C es $R_s + R_i = 2$ kΩ. Como puede verse en la Tabla 11-1, con $\omega \gg 10\omega_L = 5 \times 10^3$ rad/s, la reactancia de C_C es despreciable comparada con 2kΩ (recuérdese que $2000+j200 \simeq 2000$). O sea que con $\omega \geq 5 \times 10^3$rad/s puede prescindirse del efecto de C_C. Análogamente, para $\omega \leq \omega_H/10 =$ 5 Mrad/s la reactancia de C_M es mucho más grande que $R_s \mid\mid R_i = 500\ \Omega$. El efecto de C_M se puede considerar despreciable para $\omega \leq 5$ Mrad/s. La consecuencia de cuanto queda expuesto es que podemos subdividir adecuadamente la respuesta total en tres zonas de frecuencia: *medias, altas* y *bajas*.

Para tener la respuesta total se determina la ganancia del amplificador en cada una de las tres zonas de frecuencia y se combinan estas respuestas. Así, se emplea la banda media para determinar A_{VO}, el circuito equivalente de alta frecuencia para obtener f_H y se calcula f_L a partir del modelo de baja frecuencia por el que se introduce C_C. Basándose en los valores de los parámetros $R_s = R_i$ 1 kΩ, $C_C = 1\mu$F, $C_M = 100$

Banda media	*Alta frecuencia*	*Baja frecuencia*
Ni C_C ni C_M afectan a la respuesta. La ganancia es constante y no hay defase (esto se vio en el capítulo 10).	El efecto de las capacidades internas (C_M) es importante, pero la reactancia de C_C es despreciable.	C_C afecta a la respuesta y la reactancia de C_M es tan grande que sus efectos pueden despreciarse.

pF, $R_L = 2\ \text{k}\Omega$ y $g_m = 0{,}1\Omega$ en la Fig. 11-7 está trazada la respuesta compuesta del circuito de la Fig. 11-6. Los valores de A_{VO}, f_L y f_H se obtienen de las Ecs. (11-3) y (11-6).

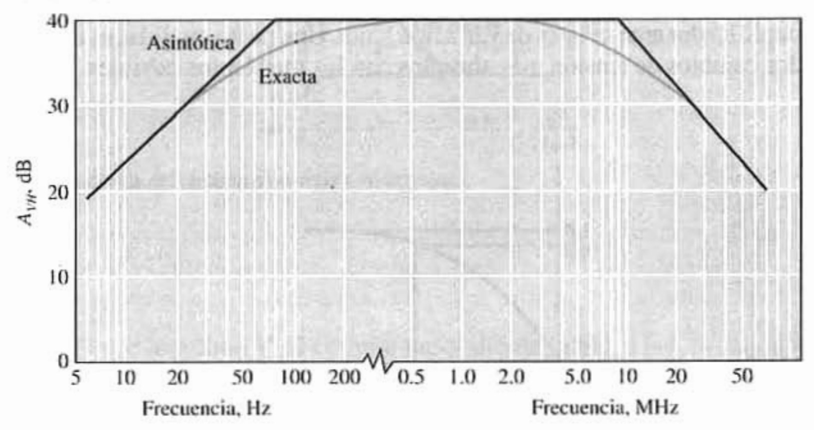


Figura 11-7. Diagrama de Bode para el sistema representado por la Fig. 11-2*b* a altas frecuencias y por la Fig. 11-4 a frecuencias bajas. Obsérvese el quiebro o discontinuidad en el eje de frecuencias.

Ancho de banda

El campo de frecuencias comprendido entre f_L y f_H constituye el *ancho de banda* de la etapa amplificadora. Podemos anticipar en términos generales que una señal en la que sus componentes de frecuencias de amplitud apreciable estén todos comprendidos entre f_L y f_H pasarán por la etapa sin excesiva distorsión. Sin embargo, este criterio debe aplicarse con precaución. En el diagrama asintótico de Bode de la Fig. 11-7 vemos que entre f_L y f_H, A_V es constante. Sin embargo, la característica de fase acusa un adelanto en f_L y un retraso en f_H. En la Fig. 11-1 ya indicamos que un desplazamiento de fase introducía una distorsión aun cuando la ganancia se conservase constante.

Muchos amplificadores tienen $f_H >> f_L$ por lo que el ancho de banda [Ec. (11-8)] es aproximadamente f_H. En los circuitos integrados que invariablemente están directamente acoplados (sin condensadores de acoplamiento) la respuesta a baja frecuencia se extiende desde continua ($\omega = 0$), y el ancho de banda es simplemente f_H. Por tanto, la respuesta del amplificador sólo está limitada en la alta tensión.

11-2. RESPUESTA DE UN AMPLIFICADOR A UN ESCALÓN

Un criterio alternativo respecto a la fidelidad de un amplificador es su respuesta a una onda de entrada en particular. De entre todas las ondas disponibles la más generalmente empleada es la de escalón de tensión. En función de la respuesta de un circuito a un escalón, la respuesta a una onda arbitraria se puede expresar en forma de la superposición integral. Otra particularidad que hace recomendable el escalón de

tensión es el hecho de que esta onda permite que pequeñas distorsiones se manifiesten claramente. Además, bajo un punto de vista experimental, se pueden adquirir comercialmente generadores de impulsos (un escalón corto) y de onda cuadrada (un escalón repetitivo).

Mientras un amplificador pueda ser representado por un polo único [Ec. (11-3)] la correlación entre su respuesta en frecuencia y la forma de onda de salida viene dada en la Fig. 11-8. Generalmente, aún para circuitos amplificadores más complicados existe una relación íntima entre la distorsión del extremo anterior del escalón y la respuesta en alta frecuencia. Análogamente, hay una relación íntima entre la respuesta en baja frecuencia y la distorsión de la parte plana del escalón. Naturalmente, cabía esperar esta relación ya que la respuesta en alta frecuencia mide esencialmente la facultad del amplificador para responder fielmente a variaciones rápidas de la señal, mientras que la respuesta en baja frecuencia mide la fidelidad del amplificador ante señales de variación lenta. Una de las cualidades importantes del escalón es que combina los cambios de tensión más abruptos con los más lentos posibles.

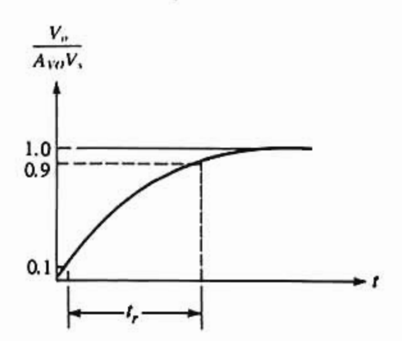


Figura 11-8. Respuesta normalizada del circuito de la Fig. 11-2a a un escalón.

Tiempo de subida

La respuesta del circuito paso-bajo de la Fig 11-2 a una entrada en escalón de amplitud V_s es exponencial con una constante de tiempo $1/\omega_H$. Puesto que la tensión del condensador no puede cambiar instantáneamente, la salida parte de cero para ir subiendo hasta su valor de equilibrio $A_{VO} V_s$. La salida viene dada por

$$v_o = A_{VO} V_s (1 - \epsilon^{-\omega_H t}) \tag{11-8}$$

El tiempo necesario para que v_0 alcance la décima parte de su valor final es $0.1/\omega_H$ y el necesario para llegar a las nueve décimas partes es de $2.3/\omega_H$. Obsérvese que la constante de tiempo es C_M multiplicada por la resistencia equivalente $R_s \parallel R_i$. La diferencia entre estos dos valores se denomina *tiempo de subida* t_r del circuito, como muestra la Fig. 11-8. El tiempo t_r es un indicador de cuán rápidamente el amplificador puede responder a una discontinuidad en la tensión de entrada. Así tenemos

$$t_r = \frac{2.2}{\omega_H} = \frac{2.2}{2\pi f_H} = \frac{0.35}{f_H} \tag{11-9}$$

Obsérvese que el tiempo de subida es inversamente proporcional a la frecuencia superior de 3 dB. Para un amplificador con paso de banda de 1 MHz, $t_r = 0{,}35\ \mu s$.

La relación entre t_r y f_H en la Ec. (11-9) es exacta para un circuito de un solo polo. No obstante la Ec. (11-9) es una buena aproximación (entre el 3 y el 4%) para circuitos multipolo.

Consideremos un impulso de anchura T_p. ¿Cuál debe ser la frecuencia superior de 3 dB, f_H, de un

amplificador para amplificar una señal sin excesiva distorsión? Elegir f_H igual o mayor que la inversa del ancho del impulso T_p. Para $f_H = 1/T_p$, la onda de salida de la Fig. 11-9 es la respuesta al impulso de entrada indicado.

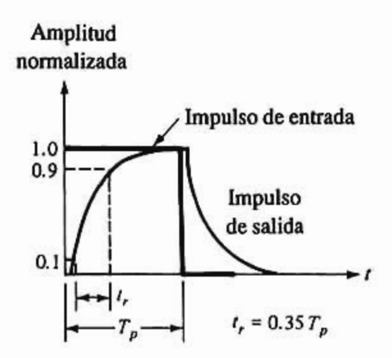


Figura 11-9. Respuesta normalizada del circuito paso-bajo a un impulso.

Pendiente

Si se aplica un escalón de amplitud V_s al circuito paso-alto de la Fig. 11-4, la salida será

$$v_o = A_{VO}V_s\epsilon^{-t/(R_s + R_i)C_C} = V_o\epsilon^{-t/(R_s + R_i)C_C} \tag{11-10}$$

Para tiempo t pequeños comparados con la constante de tiempo $(R_s + R_i)\,C_C$ la respuesta viene dada por

$$v_o \approx V_o\left[1 - \frac{t}{(R_s + R_i)C_C}\right] = V_o(1 - \omega_L t) \tag{11-11}$$

En la Fig. 11-10 vemos que la salida es inclinada, siendo la pendiente en el instante t_1, expresada en tanto por ciento:

$$P \equiv \frac{V_o - V_o'}{V_o} \times 100\% = \frac{t_1}{(R_s + R_i)C_C} \times 100\% \tag{11-12}$$

La misma expresión es válida para la inclinación de cada semi-ciclo de una onda cuadrada simétrica de V_0 de valor pico a pico y periodo T, supuesto que tomemos $t_1 = T/2$. Si $f = 1/T$ es la frecuencia de la onda cuadrada, podemos expresar P en la forma

$$P = \frac{T}{2(R_s + R_i)C_c} \times 100 = \frac{\omega_L}{2f(R_s + R_i)} \times 100 = \frac{\pi f_L}{f} \times 100\% \tag{11-13}$$

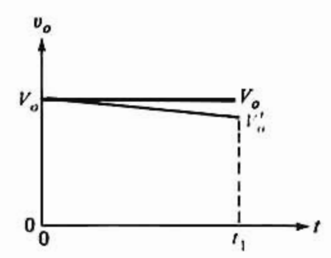


Figura 11-10. Inclinación (o caída) de una onda cuadrada.

Obsérvese que la pendiente es directamente proporcional a la frecuencia inferior de 3 dB. Si se desea pasar una onda cuadrada de 50 Hz con menos del 10% de pendiente, f_L no debe superar los 1,6 Hz

Pruebas con onda cuadrada

Existe un proceso experimental (denominado *prueba con onda cuadrada*) consistente en observar con un osciloscopio la salida de un amplificador excitado por un generador de onda cuadrada. Es posible mejorar la respuesta de un amplificador añadiéndole al circuito ciertos elementos que deben ser ajustados con precisión. Es muy conveniente poder ajustar estos elementos al mismo tiempo que se observan los efectos de tal ajuste en la forma de onda de salida del amplificador. Otra forma de actuar es tomando nota de los datos después de cada ajuste y a partir de ellos trazar las curvas de respuesta en amplitud y en fase. Además del mayor tiempo empleado con este último procedimiento existe el problema de no resultar evidente cuál de las respuestas en amplitud y en fase corresponde a la máxima fidelidad. Por otra parte, la respuesta a un escalón facilita inmediatamente una información valiosa.

Mediante una selección cuidadosa de dos frecuencias de onda cuadrada es posible examinar individualmente las distorsiones en altas y bajas frecuencias. Consideremos por ejemplo un amplificador con una constante de tiempo de 0,1 μs en alta frecuencia y de 100 ms en baja frecuencia. Una onda cuadrada de semiperiodo igual a varias decenas de microsegundos, en un osciloscopio apropiado de barrido rápido, acusará el redondeo en el extremo anterior de la onda sin acusar la pendiente. En el otro extremo, una onda cuadrada de semiperiodo de aproximadamente 10 ms, con un barrido lento señalará la pendiente, pero no la distorsión del mismo extremo anterior.

De cuanto antecede no se debe sacar la conclusión de que las respuestas de amplitud y de fase transitorias y permanentes carecen de importancia en el estudio de los amplificadores. Las características en frecuencia se emplean por los siguientes motivos: En primer lugar, se conoce mucho más en cuanto al análisis y síntesis de circuitos en el campo de las frecuencias que en el de los tiempos, y por tal motivo el diseño del amplificador se hace frecuentemente a base de la respuesta en frecuencia. En segundo lugar, muchas veces es más fácil llegar a la comprensión cualitativa de un circuito partiendo del estudio de la respuesta en régimen permanente en casos en que los cálculos de los transitorios sean extremadamente dificultosos. La compensación de un amplificador frente a oscilaciones indeseadas (Cap. 13) se consigue en el campo de la frecuencia. Finalmente, a veces se requiere un amplificador cuyas características están especificadas basadas en la frecuencia, especialmente cuando se trata de amplificar señales senoidales.

En las próximas secciones se trata de la respuesta en alta frecuencia de las etapas amplificadoras BJT y FET. Nos referiremos primeramente al comportamiento en alta frecuencia por ser ésta la principal limitación en los amplificadores integrados. Los resultados a los que se llega son aplicables también a las etapas de componentes discretos, y a continuación se tratará de las características de respuesta a baja frecuencia.

11-3. GANANCIA DE CORRIENTE DE CORTOCIRCUITO EN EMISOR COMÚN

Consideremos un amplificador de una sola etapa en emisor común excitado por una fuente de corriente I_b, siendo $R_C = 0$ (cortocircuito). El circuito de la Fig. 11-11 es el modelo de pequeña señal de esta etapa con el transistor sustituido por el equivalente híbrido-π de la Fig. 3-32. Obsérvese que en la Fig. 11-11 se supone $r_b = 0$. La corriente de salida es $I_o = I_c$ de forma que la ganancia de corriente de la etapa $A_I = I_o/I_b$ es β del transistor. En la Fig. 11-11 es evidente que β varía con la frecuencia debido a las capacidades C_π y C_μ. Según la Fig. 11-11 la ley de Kirchhoff requiere que

$$I_b = V_\pi\left(\frac{1}{r_\pi} + sC_\pi\right) + I_\mu = V_\pi\left[\frac{1}{r_\pi} + s(C_\pi + C_\mu)\right] \qquad (11\text{-}14)$$

y

$$I_o = g_m V_\pi - I_\mu = V_\pi(g_m - sC_\mu) \qquad (11\text{-}15)$$

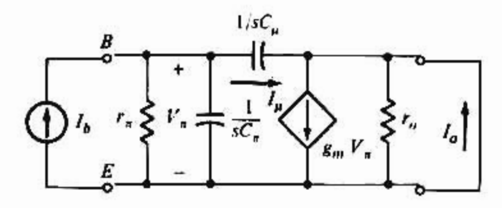


Figura 11-11. Circuito empleado para obtener la característica de respuesta en frecuencia para la ganancia de corriente $\beta(s)$ del emisor-común en cortocircuito. El transistor está representado por su modelo híbrido-π de alta frecuencia.

Combinando las Ecs. (11-14) y (11-15), y despejando I_o/I_b tendremos, después de ordenar términos

$$\frac{I_o}{I_b} = A_I = \beta(s) = \frac{\beta_o(1 - sC_\mu/g_m)}{1 + sr_\pi(C_\pi + C_\mu)} = \frac{\beta_o(1 - s/\omega_z)}{1 + s/\omega_\beta} \qquad (11\text{-}16)$$

En la Ec. (11-16) hemos empleado $g_m r_\pi = \beta_o$, y ω_z y ω_β pueden ser realmente identificados. El siguiente ejemplo, que emplea los valores de los parámetros normales de un transistor integrado, mostrará las variaciones de β con la frecuencia.

Ejemplo 11-1

(a) Esbozar la magnitud de β como función de la frecuencia, empleando el diagrama asintótico de Bode. (b) Determinar aproximadamente la frecuencia f_T para la que $|\beta(j\omega_T)| = 1$. Los parámetros del transistor son $g_m = 0{,}05\Omega$, $r_\pi = 2$ kΩ, $C_\pi = 19{,}5$ pF y $C_\mu = 0{,}5$ pF.

Solución

(a) Según la Ec. (11-16)

$$\beta_o = g_m r_\pi = 0.05 \times 2000 = 100 \qquad \omega_z = \frac{g_m}{C_\mu} = \frac{0.05}{5 \times 10^{-13}} = 10^{11} \text{ rad/s}$$

$$\omega_\beta = \frac{1}{r_\pi(C_\pi + C_\mu)} = \frac{1}{2 \times 10^3(19.5 + 0.5) \times 10^{-12}} = 2.5 \times 10^7 \text{ rad/s}$$

O sea,

$$\beta(s) = \frac{100(1 - s/10^{11})}{1 + s/(2.5 \times 10^7)}$$

Para lo que el diagrama de Bode es el de la Fig. 11-12.

(b) En la Fig. 11-12 vemos que el cruce con 0 dB, correspondiente a $\beta = 1$, tiene lugar en $\omega_T = 2.5 \times 10^9$ rad/s, o bien $f_T = \omega/2\pi = 395$ MHz.

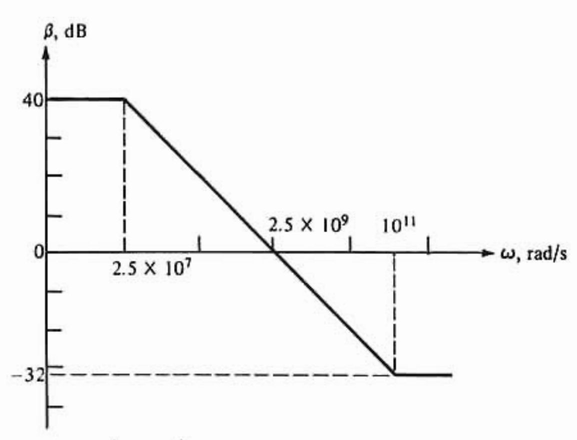


Figura 11-12. Diagrama asintótico de Bode para $|\beta(j\omega)|$.

El parámetro f_T

En el ejemplo 11-1 el empleo de la característica asintótica da unos resultados de gran precisión en la frecuencia de ganancia unidad debido a la gran separación existente entre ω_β y ω_z. Para construir un amplificador de ganancia de corriente mayor que uno, es evidente que la frecuencia de funcionamiento debe ser menor que f_T. En consecuencia para $\omega \leq \omega_T$ la Ec. (11-16) se puede aproximar con la función un solo polo

$$\beta(s) = \frac{\beta_o}{1 + s/\omega_\beta} \tag{11-17}$$

La aproximación contenida en la Ec. (11-17) es equivalente a decir que la corriente I_μ en C_μ es una componente despreciable de I_o ($I_\mu \ll g_m V_\pi$) El diagrama asintónico de Bode de esta función es idéntico al de la Fig. 11-12 para el campo de frecuencia $\omega<\omega_z$

Para determinar f_T, frecuencia a la que la ganancia de corriente de cortocircuito en emisor común es la unidad, se emplea la Ec (11- 17). Por tanto

$$|\beta(j\omega_T)| = 1 = \frac{\beta_o}{\sqrt{1 + (\omega/\omega_\beta)^2}}$$

que con $\beta_o^2 \gg 1$, da

$$\omega_T = \beta_o\omega_\beta \qquad \text{ó} \qquad f_T = \beta_o f_\beta \tag{11-18}$$

Sustituyendo ω_β de la Ec. (11-16) en la (11-18) tendremos

$$f_T = \frac{\beta_o}{2\pi\, r_\pi(C_\pi + C_\mu)} = \frac{g_m}{2\pi(C_\pi + C_\mu)} \tag{11-19}$$

Obsérvese que para $C_\pi \gg C_\mu$, $f_T = g_m/2\pi C_\pi$. El parámetro f_T, al igual que otros parámetros del BJT, depende de las condiciones de funcionamiento del dispositivo. Normalmente, f_T varía con la corriente de colector de reposo como se ve en la Fig. 11-13.

Puesto que $f_T \approx \beta_0 f_\beta$ se le puede dar a este parámetro una segunda interpretación: representa el producto *ganancia de corriente de cortocircuito por el ancho de banda*, es decir que para la configuración en emisor común con la salida cortocircuitada, f_T es el producto de la ganancia de corriente a baja frecuencia

multiplicada por la frecuencia superior de 3 dB. Es de observar que en cierto sentido se puede sacrificar la ganancia a favor del ancho de banda y viceversa. Así pués, si se dispone de dos transistores de igual f_T, el que de los dos tenga menor β_0 tendrá un ancho de banda mayor.

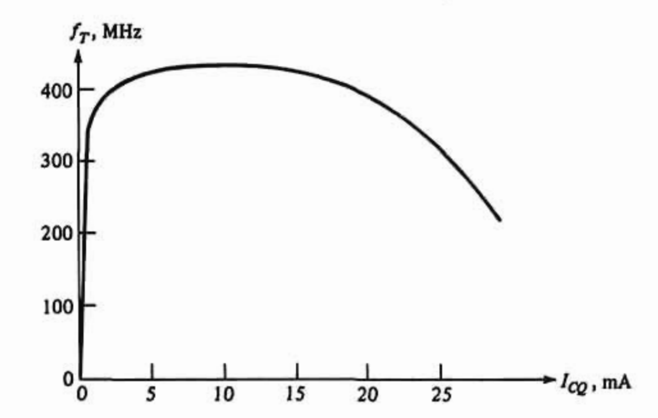


Figura 11-13. Variación de f_T según la corriente de polarización I_{CQ} de un transistor integrado típico.

En la práctica f_T es la que se emplea para determinar por medición el valor de la capacidad C_π. La trasconductancia g_m se determina de la corriente de polarización I_{CQ} [Ec. (10-34)]. f_T se halla por mediciones (Prob. 11-8) o viene dada en las especificaciones de los fabricantes obteniendose C_μ mediante mediciones independientes. Normalmente los fabricantes especifican la capacidad de salida en base común $C_{0b} \simeq C_\mu$.

La frecuencia f_T representa también un límite superior de frecuencia en la que es válido el modelo híbrido-π del BJT.[3] Para frecuencias de excitación más allá de f_T, el circuito equivalente híbrido-π no describe fielmente el comportamiento observado. Como sea que los transistores se emplean raramente con $f > f_T$ (salvo en los circuitos microondas) un estudio de los modelos utilizados estaría fuera del objeto de este libro. Obsérvese que en el ejemplo 11-1 el cero tiene lugar a una frecuencia mayor que f_T por lo que la precisión de la frecuencia del cero ($z_1/2\pi$) es cuestionable.

El resultado de la Ec. (11-18) no es privativo de la evaluación de la ganancia de corriente del BJT. Muchos circuitos electrónicos se representan frecuentemente por funciones de un solo polo sobre el campo útil de frecuencias de trabajo. En cualquier sistema de un solo polo, con gran ganancia, *la frecuencia de ganancia unidad es el producto de la ganancia con frecuencia cero por la frecuencia de 3 dB.*

11-4. LA FUNCIÓN GANANCIA GENERALIZADA

Antes de proceder a obtener la característica de la respuesta en frecuencia $A_H(s)$ de los amplificadores de una o de varias etapas permítasenos hacer algunas observaciones generales relativas a la forma de $A(s)$.

La respuesta en alta frecuencia del amplificador de la Fig. 11-2 queda determinada por una constante de tiempo única $C_M R_s R_i/(R_s + R_i)$. En realidad un amplificador multietapa contiene por lo menos dos condensadores y quizás un tercero si la etapa excita una carga capacitiva. En estas circunstancias la función de transferencia a alta frecuencia viene dada por una ecuación de la forma

$$A_H(s) = \frac{A_o(1 + s/z_1)(1 + s/z_2) \cdots (1 + s/z_m)}{(1 + s/p_1)(1 + s/p_2) \cdots (1 + s/p_n)} \tag{11-20}$$

(3) Frecuentemente $f_T/2$ es el límite usado en la literatura.

En la Ec. (11-20), A_0 es el valor de $A_H(s)$ calculado con $s = 0$ lo que corresponde a la ganancia en continua o en la banda media. Los valores de s para los que $A_H(s) \to \infty$ se denominan *polos* de la función de transferencia mientras que los valores de s que hacen $A_H(s) = 0$ constituyen los *ceros* de la misma función. Suponiendo $n > m$ la función de transferencia de la Ec. (11-20) tiene n polos en $-p_1, -p_2, \ldots -p_n$ y m ceros finitos $-z_1, -z_2, \ldots -z_m$. Cuando s crece lo suficiente $A_H(s) \to s^m/s^n = 1/S^{n-m}$ y cuando s tiende a infinito $A_H(s)$ tiende a 0. Se dice que $A_H(s)$ tiene n-m ceros al infinito. Observamos que para la ganancia de corriente de cortocircuito de la Ec. (11-16) $A_I(s)$ tiene un polo en $-\omega_\beta$ y un cero finito en $+\omega_z$. La función de transferencia de la Ec. (11-3) muestra que la etapa de la Fig. 11-2 tiene un polo en $-\omega_H$ y ningún cero finito. Sin embargo, debe tener un cero en el infinito [ya que $s \to \infty$, $A_{VH}(s) \to 0$]. Obsérvese que la frecuencia de un polo (cero) tiene la magnitud $p_i\ (z_i)/2\pi$, es decir, $f_H = \omega_H/2\pi$.

Determinación del número de polos y de ceros

El número de polos en una función de transferencia es igual al número de elementos almacenadores de energía independientes en la red. En los amplificadores electrónicos los elementos de almacenaje son casi exclusivamente condensadores. Un condensador es independiente si se le puede asignar una tensión arbitraria independiente de todas las tensiones de los demás condensadores. Por ejemplo, dos condensadores en paralelo *no* son independientes pues la tensión a través del primero debe ser la misma que a través del segundo. Asimismo, dos condensadores en serie *no* son independientes porque la carga almacenada Q es la misma en cada componente, y la tensión a través de un condensador C es Q/C. Además, si un lazo de la red puede recorrerse pasando sólo a través de condensadores, no todos estos valores C son independientes (ya que la suma de las tensiones alrededor de un circuito cerrado debe ser nula).

El número de ceros en una función de transferencia viene determinado conociendo el número de polos y el comportamiento de la red cuando s tienda a infinito. En la Ec. (11-20) $A_V(s)$ tiende a cero cuando s tiende a infinito porque hay n-m polos más que ceros. En general, si $A_V(s) \to 1/s^k$ cuando $s \to \infty$, entonces el número de ceros finitos es menor que el de polos.

El comportamiento de una red cuando $s \to \infty$ se deduce usualmente mediante inspección, ya que la tensión a través de un condensador en nula cuando $s \to \infty$. Por ejemplo, en la Fig. 11-2

$$A_{VH} = \frac{V_o}{V_s} \longrightarrow \frac{1}{s} \quad \text{cuando} \quad s \to \infty$$

Por tanto, el número de ceros es uno menos que el de polos. Puesto que el circuito contiene un solo condensador, A_{VH} debe contener un polo y (según la argumentación anterior), ningún cero finito. Esta conclusión queda confirmada en la Ec. (11-3).

La aproximación del polo dominante

El diagrama de Bode de $A_h(s)$ de la Ec. (11-20) representa la característica de la respuesta en frecuencia del amplificador. La frecuencia superior de 3 dB f_H se obtiene del diagrama de Bode. Obsérvese que para trazar la característica de la respuesta en frecuencia se necesita conocer la situación de todos los polos y ceros; es decir, se deben conocer $z_1, z_2 \ldots z_m$ y $p_1, p_2 \ldots p_n$[4]

Si la frecuencia del polo más bajo $f_{P1} = P_1\ 2\pi$ en $A_H(s)$ es mucho más pequeña que las frecuencias de todos los demás polos y ceros, de todas formas la frecuencia superior de 3 dB f_H de $A_H(s)$ es aproximada-

(4) Existen numerosos programas de computadoras para calcular las raíces de un polinomio.

mente f_{pl}. Así con frecuencias de excitación dentro del ancho de banda de un amplificador, $A_H(s)$ actúa simplemente como un sistema de un solo polo con función de transferencia $A_o/(1\text{-}s/p_1)$. Esta aproximación se conoce como *aproximación de polo dominante*. Obsérvese que cuanto más separados estén los demás polos y ceros de p_1 tanto mayor será la precisión de esta aproximación.

A veces la respuesta en alta frecuencia de un amplificador no tiene ningún cero finito, es decir, que $A_H(s)$ sólo contiene polos. En esta situación un amplificador con tres polos reales[5] tiene una función de transferencia

$$A_H(s) = \frac{A_o}{(1 + s/p_1)\,(1 + s/p_2)\,(1 + s/p_3)} \tag{11-21}$$

Alternativamente, efectuando los productos indicados, la Ec. (11-21) puede escribirse

$$A_H(s) = \frac{A_o}{1 + a_1 s + a_2 s^2 + a_3 s^3} \tag{11-22}$$

donde

$$\left.\begin{aligned} a_1 &= \frac{1}{p_1} + \frac{1}{p_2} + \frac{1}{p_3} \\ a_2 &= \frac{1}{p_1 p_2} + \frac{1}{p_1 p_3} + \frac{1}{p_2 p_3} \\ a_3 &= \frac{1}{p_1 p_2 p_3} \end{aligned}\right\} \tag{11-23}$$

Consideremos la situación en la que $p_1 << p_2 < p_3$ o sea en la que p_1 es el polo dominante. Entonces:

$$\left.\begin{aligned} a_1 &\simeq \frac{1}{p_1} & &\text{o} & p_1 &\simeq \frac{1}{a_1} \\ a_2 &\simeq \frac{1}{p_1 p_2} = \frac{a_1}{p_2} & &\text{o} & p_2 &\simeq \frac{a_1}{a_2} \\ a_3 &\simeq \frac{1}{p_1 p_2 p_3} = \frac{a_2}{p_3} & &\text{o} & p_3 &\simeq \frac{a_2}{a_3} \end{aligned}\right\} \tag{11-24}$$

La importancia de la Ec. (11-24) radica en que podemos fijar aproximadamente la situación de los polos conociendo los coeficientes a_1, a_2 y a_3 en $A_H(s)$. Además la aproximación del polo dominante nos da el valor de la frecuencia de 3 dB f_H como

$$f_H \simeq \frac{p_1}{2\pi} = \frac{1}{2\pi a_1} \tag{11-25}$$

La forma de la Ec. (11-24), $p_k = a_k - 1/a_k$ es aplicable a una función de transferencia de n polos reales. Sin embargo, en relación a la respuesta del amplificador sólo estamos interesados por p_1 y p_2 (a_1 y a_2). En primer lugar, p_1 determina el valor aproximado de f_H y en segundo lugar, la separación entre p_1 y p_2 indica el grado en que es válida la aproximación del polo dominante. En la mayor parte de las funciones de transferencia que se encuentran, $p_2/p_1 = a_1^2/a_2 \geq 8$ da f_H dentro del 10% y p_1 dentro del 20% de su valor real.

(5) Todos los polos están en el eje real negativo del plano-s

A medida que p_2/p_1 aumenta, el error entre los valores reales y los aproximados va disminuyendo. Obsérvese que en la aproximación del polo dominante, los valores f_H y p_1 *siempre* son menores que los correspondientes valores reales.

De mayor importancia que la conveniencia numérica aportada por las Ecs. (11-24) y (11-25) es el hecho de que los coeficientes a_1, a_2, y así sucesivamente se pueden determinar por las constantes de tiempo del circuito tal como se describe en la Sec. 11-9. Esto permite al diseñador del circuito relacionar la respuesta global con los componentes en particular (etapas) que producen tal respuesta.

Se deben tener en cuenta las tres siguientes limitaciones del método de polo dominante:

1– Solamente es válido para funciones de transferencia con polos reales.

2– Cualquier cero (o todos) de la función de transferencia debe estar por lo menos dos octavas sobre el polo dominante.

3– La representación de la función de transferencia por un solo polo dominante no da resultados precisos en cuanto a la característica de fase.

11-5. RESPUESTA EN ALTA FRECUENCIA DE UNA ETAPA EN EMISOR COMÚN

En la Fig. 11-14 se representa el circuito equivalente empleado para evaluar el comportamiento en alta frecuencia de la etapa básica en emisor común de la Fig. 10-21. En la Fig. 11-14 aparecen también los valores numéricos típicos de los parámetros del transistor y de los componentes del circuito. Como el circuito tiene dos condensadores independientes, la función de transferencia tiene dos polos. Cuando s tiende a infinito B y C quedan en cortocircuito (haciendo $V_0 = V_\pi$) cayendo la salida a cero como $1/s$ a consecuencia del condensador C_π. Según lo visto en la sección anterior debe haber un cero menos que el número de polos, y por tanto es de esperar una función de transferencia de dos polos y un cero.

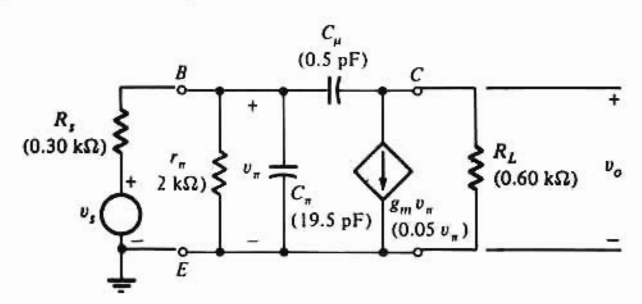


Figura 11-14. Circuito equivalente a alta frecuencia de la etapa básica en emisor común (Fig. 10-21*a*). El modelo híbrido- π del BJT está señalado con tinta más apagada.

El cero lo podemos hallar observando la Fig. 11-14. Si con $s = z_1$, $V_0 = 0$ no existirá corriente en R_L[6]. Así, la corriente $sC_\mu V_\pi$ en C_μ debe ser igual a la corriente de la fuente gobernada $g_m V_\pi$. Por tanto, el cero viene dado por $sC_\mu V_\pi = g_m V_\pi$ o sea $s = g_m C_\mu \equiv z_1$.

Obsérvese que este valor es el mismo hallado para el cero de la ganancia de corriente en cortocircuito de la Ec. (11-16). Tal como era de esperar, este cero aparece en el subsiguiente cálculo de la función de transferencia mediante el análisis nodal (Apend. C-2).

(6) La resistencia $R_L = R_C \parallel r_0$ que para $R_C << r_0$ es aproximadamente R_C. Si la etapa considerada alimenta una carga exterior, la resistencia de la carga también está en paralelo con R_C.

La función de transferencia

Las ecuaciones nodales de las tensiones, tomando V_π y V_0 como variables son:

$$V_\pi \left(\frac{1}{R_s} + \frac{1}{r_\pi} + sC_\pi + sC_\mu \right) - sC_\mu V_o = \frac{V_s}{R_s} \tag{11-26}$$

$$V_\pi (g_m - sC_\mu) + V_o \left(sC_\mu + \frac{1}{R_L} \right) = 0 \tag{11-27}$$

Resolviendo las Ecs. (11-26) y (11-27) despejando V_0/V_s y replanteando el resultado en la forma de la Ec. (11-22) tendremos

$$A_{VH}(s) = \frac{V_o}{V_s} = \frac{[-\beta_o R_L/(R_s + r_\pi)]\,(1 - sC_\mu/g_m)}{1 + s[R_\pi^0 C_\pi + R_\pi^0(1 + g_m R_L)C_\mu + R_L C_\mu] + s^2 R_\pi^0 R_L C_\pi C_\mu} \tag{11-28}$$

donde

$$R_\pi^0 = \frac{r_\pi R_s}{r_\pi + R_s} = r_\pi \parallel R_s \tag{11-29}$$

El término $-\beta_0 R_L/(R_s + r_\pi)$ del numerador de la Ec. (11-28) se identifica como ganancia A_{VO} en continua (banda media) de la etapa [Ec. (10-40)]. Observando la Fig. 11-14, la resistencia equivalente R^0_π se puede admitir como la resistencia con frecuencia nula vista por C_π siendo $C_\mu = 0$. Como veremos más adelante (Sec. 11-9) la resistencia equivalente $R^0_\pi(1 + \mathrm{I}g_m R_L) + R_L$ que multiplica C_μ en el coeficiente s de la Ec. (11-28) es la resistencia vista por C_μ con $C_\pi = 0$. Por tanto, como ya se adelantó en la anterior sección, el coeficiente s está relacionado con las constantes de tiempo del circuito.

Vamos a ver si la función de transferencia de la forma $A_{VH}(s)=A_{VO}(1 - s/z_1)/(1 + a_1 s + a_2 s^2)$ tiene un polo dominante. Valiéndonos de los valores numéricos dados, $a_1 = 9{,}43 \times 10^{-9} s$ y $a_2 = 1{,}53 \times 10^{-18}\, s^2$. La Ec. (11-24) nos da $p_1 \approx 1/a_1 = 10{,}6 \times 10$ rad/s y $p_2 = a_1/a_2 = 6{,}16 \times 10^9$ rad/s. La separación es $p_2/p_1 = 58$ de forma que $-p_1$ es el polo dominante. El valor de $z_1 = g_m/C_\mu = 10^{11}$ rad/s está más alejado de p_1 que p_2. Por tanto, $-p_1$ es el polo dominante y según la Ec. (11-25) el ancho de la banda total es $f_H = p_1/2\pi = 16{,}9$ MHz. La determinación de los polos de $A_{VH}(s)$ resolviendo la ecuación cuadrática de la Ec. (11-28) da $p_1 = 10{,}7 \times 10^7$ rad/s y $p_2 = 6{,}06 \times 10^9$ rad/s. El cálculo de f_H de la función de transferencia da $f_H = 17{,}1$ MHz, resultado que demuestra la validez del método de polo dominante.

Equivalente híbrido-π unilateral

La gran separación entre p_1 y los dos puntos p_2 y z, es una situación propia de las etapas en emisor común. Siendo así, una función de transferencia [Ec. (11-30)] que contenga un solo polo dominante constituye una aproximación muy buena de la respuesta en frecuencia.

$$A_{VH}(s) \simeq \frac{A_{VO}}{1 + s/p_1} = \frac{A_{VO}}{1 + a_1 s} = \frac{A_{VO}}{1 + s/2\pi f_H} \tag{11-30}$$

Aplicando el teorema de Miller se puede obtener un circuito equivalente con la función de transferencia indicada en la Ec. (11-30). Procediendo como en el Apéndice C-4 se llega al circuito de la Fig. 11-15, llamada a veces *híbrido-π unilateral* con $K = V_0/V_\pi$. Suponiendo despreciable la corriente en C_μ (Sec. 11-3), $K = -g_m R_L$. El circuito de la Fig. 11-15 tiene dos constantes de tiempo independientes, una relacionada con la capacidad de entrada $C_M = C_\pi + C_\mu(1 + g_m R_L)$ y la otra con la de salida (representada

con la línea de trazos) $C_\mu(1 + g_m R_L)/g_m R_L \simeq C_\mu$ cuando $g_m R_L \gg 1$. La constante de tiempo de la entrada es C_M multiplicado por la resistencia equivalente vista por C_μ; esta resistencia equivalente es $R_s \| R_\pi$ y está señalada por R_π^0 en la Ec. (11-29). Obsérvese que $C_M R_\pi^0$ corresponde a los dos primeros términos del coeficiente s en la Ec. (11-28). La constante de tiempo de salida para $g_m R_L \gg 1$ es $C_\mu R_L$, el tercer término en el coeficiente s de la Ec. (11-28). Así el circuito de la Fig. 11-15 tiene el mismo coeficiente a_1 que el obtenido en la Ec. (11-28) y por tanto nos da el mismo polo dominante.

Surge una nueva simplificación cuando se investigan los valores numéricos típicos de las dos constantes de tiempo. Para unos valores dados:[7]

$$R_\pi^0 C_M = \frac{2(0.3)}{2 + 0.3}[19.5 + 0.5(1 + 0.05 \times 600)] = 9.13 \text{ ns}$$
$$R_L C_\mu = 0.6 \times 0.5 = 0.30 \text{ ns}$$

Evidentemente $R_\pi^0 C_M \gg R_L C_\mu$ y es práctica común en los cálculos manuales prescindir de los efectos de la constante de tiempo de salida $R_L C_\mu$. En el circuito de la Fig. 11-15, a_1 de la Ec. (11-30) resulta ser

$$a_1 = R_\pi^0 C_M = \frac{r_\pi R_s}{R_s + r_\pi}[C_\pi + C_\mu(1 + g_m R_L)] \qquad (11\text{-}31)$$

Aplicando valores numéricos, $f_H = 1/2\pi a_1 = 17{,}4$ MHz, valor suficientemente aproximado (dentro del 2%) para un cálculo manual. Si en el coeficiente a_1 se hubiera incluido $R_L C_\mu$, el valor de f_H habría resultado idéntico al hallado antes. Si se requiere más precisión se emplean simuladores (SPICE, Microcap II, etc.).

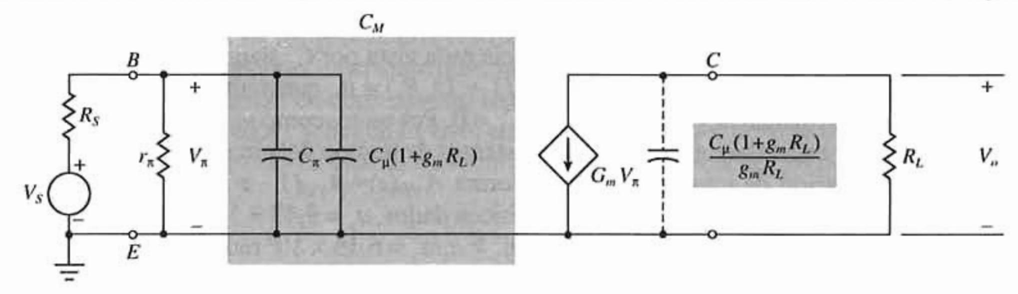


Figura 11-15. Circuito equivalente híbrido unilateral obtenido empleando el teorema de Miller.

En el circuito equivalente de la Fig. 11-15 no existe comunicación entre entrada y salida (donde C_μ está en la Fig. 11-14). En consecuencia el modelo híbrido-π unilateral no puede emplearse para calcular la impedancia I_0 de salida en alta frecuencia. En este caso hay que emplear el circuito de la Fig. 11-14.

Impedancia de entrada de Miller

La impedancia de entrada $Z_i(s)$ del circuito de la Fig. 11-15 es simplemente la combinación en paralelo de r_π y C_M. En la deducción de esta figura se ha supuesto que la corriente I_μ en C_μ es despreciable comparada con $g_m V_\pi$ y que $K = -g_m R_L$ es constante. Algunas veces los valores de los componentes son tales que estas suposiciones introducen errores en % de varios puntos en $Z_i(s)$ y en consecuencia también en f_H. Si no se prescinde de I_μ deben modificarse $K = -g_m R_L/(1 + sR_L C_\mu)$ y Z_i. La impedancia resultante es la combina-

(7) Obsérvese que expresando las resistencias en kΩ y las capacidades en picofaradios (pF) las constantes de tiempo vendrán dadas en nanosegundos (ns).

ción en paralelo de r_π, C_π, R_x y C_x, surgiendo R_x y C_x de la aplicación del teorema de Miller a C_μ. Con la frecuencia $s = j\omega$ los valores de R_x y de C_x son:

$$R_x = \frac{1}{g_m}\left(1 + \frac{1}{\omega^2 R_L^2 C_\mu^2}\right) \qquad C_x = C_\mu\left(1 + \frac{g_m R_L}{1 + \omega^2 R_L^2 C_\mu^2}\right) \tag{11-32}$$

La deducción de la Ec. (11-32) y del valor de f_H resultantes se dejan para el lector en los problemas 11-12 y 11-13.

11-6. PRODUCTO GANANCIA-ANCHO DE BANDA

Mediante la función de transferencia de un solo polo de la Ec. (11-30) se deduce que el producto de la ganancia de tensión por el ancho de banda es

$$|A_{VO} f_H| = \frac{g_m}{2\pi C_M}\frac{R_L}{R_S} = \frac{f_T}{1 + 2\pi f_T R_L C_\mu}\frac{R_L}{R_s} \tag{11-33}$$

Las cantidades f_H y A_{VO} que caracterizan la etapa del transistor dependen de R_L y de R_s. En la Fig. 11-16 puede verse la forma de esa dependencia así como el orden de magnitud de tales cantidades. Aquí f_H se ha representado como función de R_L para varios valores de R_s. La curva más alta de f_H de la Fig. 11-16 para $R_s = 0$ corresponde al caso de fuente de tensión ideal.[8] Observemos que para cualquier valor de R_L el ancho de banda es más alto al ser más bajo R_s. El producto ganancia de tensión por ancho de banda aumenta al aumentar R_L y decrece al aumentar R_s. Aun cuando conozcamos el valor del producto para unas R_s y R_L en particular, no lo podemos emplear para determinar la mejora del ancho de banda correspondiente a un sacrificio de la ganancia. Si variamos la ganancia modificando R_L, R_s o ambas, en general el producto ya no será el mismo que había sido.

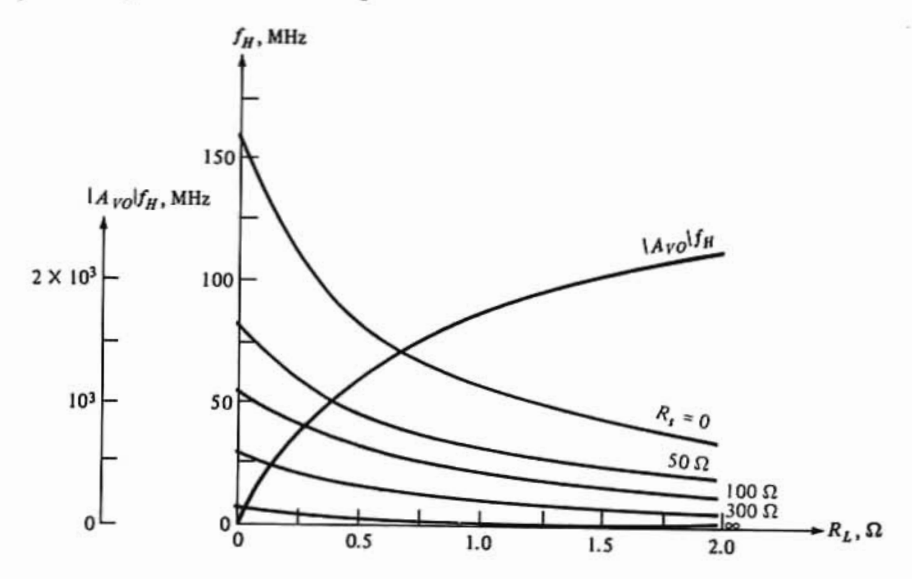


Figura 11-16. Ancho de banda f_H en función de R_L con la resistencia de fuente R_s como parámetro, de un amplificador en emisor común de una sola etapa. Para calcular f_H se emplea la Ec. (11-31) y los valores numéricos dados en la Fig. 11-14.

(8) Obsérvese que para $R_s = 0$ el valor de f_H señalado es erróneo porque la constante de tiempo $C_\mu R_c$ es comparable a $R_\pi^0 C_M$. No obstante, la forma de la variación de f_H dibujada es indicativa de la situación física existente.

11-7. ETAPA EN FUENTE COMÚN A ALTA FRECUENCIA

El análisis a alta frecuencia de la etapa en fuente común es paralelo al del emisor común visto en la sección anterior. Obsérvese la similitud entre el modelo en alta frecuencia de la etapa en fuente común de la Fig. 11-17 con la Fig. 11-14 para la etapa en emisor común. Si en la Fig. 11-14 $r_b = 0$ y r_π tiende a infinito, la única diferencia entre los dos circuitos es la existencia de una tercera capacitancia C_{ds} en la salida de la Fig. 11-17. Si bien existen tres capacitancias, éstas no son independientes porque forman un lazo (Sec. 11-4). Así, la función de transferencia $A_{VH}(s) = V_o/V_s$ tiene sólo dos polos y por analogía con la Fig. 11-14 un cero finito.

Las ecuaciones nodales para el circuito de la Fig. 11-17 son:

$$\frac{V_s}{R_s} = V_{gs}\left(\frac{1}{R_s} + sC_{gs} + sC_{gd}\right) - sC_{gd}V_o \tag{11-34a}$$

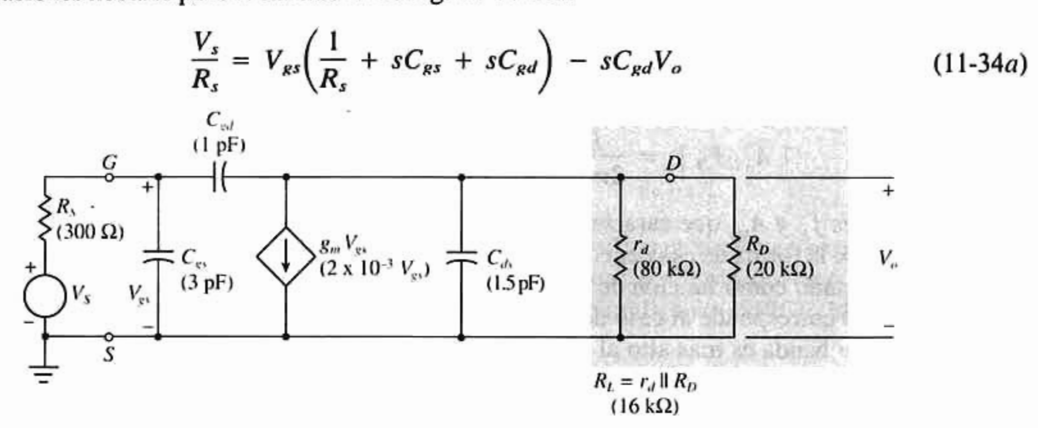


Figura 11-17. Circuito equivalente de alta frecuencia de una etapa en fuente común.

$$0 = V_{gs}(g_m - sC_{gd}) + V_o\left(\frac{1}{R_L} + sC_{gd} + sC_{ds}\right) \tag{11-34b}$$

Resolviendo las Ecs. (11-34) y despejando $A_{VO} = -g_m R_L$ tendremos, después de algunas manipulaciones algebraicas:

$$A_{VH}(s) = \frac{V_o}{V_s} = \frac{A_{VO}(1 - sC_{gd}/g_m)}{1 + a_1 s + a_2 s^2} \tag{11-35}$$

donde

$$\begin{aligned} a_1 &= R_s C_{gs} + [(1 + g_m R_L) + R_L]\, C_{gd} + R_L C_{ds} \\ a_2 &= R_s R_L (C_{gs} C_{gd} + C_{gs} C_{ds} + C_{ds} C_{gd}) \end{aligned} \tag{11-36}$$

Nuevamente se observa que a_1 comprende la suma de las constantes de tiempo; cada una de las resistencias equivalentes es igual a la resistencia a frecuencia cero (los condensadores están en circuito abierto) vistas en cada uno de los terminales del condensador. El coeficiente a_2 puede considerarse como el producto de las constantes de tiempo como se describe en la Sec. 11-9.

Veamos ahora la Ec. (11-35) para determinar si es aplicable la condición de polo dominante. Empleando los valores típicos de los parámetros dados en la Fig. 11-17 se obtiene a partir de las Ecs. (11-36) y (11-24)

$$\begin{aligned} a_1 &= 0.3 \times 3 + [(1 + 2 \times 16) + 16] \times 1 + 16 \times 1.5 \\ &= 0.9 + 49 + 24 = 73.9 \text{ ns} \\ a_2 &= 0.3 \times 16[3 \times 1 + 3 \times 1.5 + 1.5 \times 1] \\ &= 43.2 \text{ (ns)}^2 \end{aligned}$$

y de la ecuación (11-24) obtendremos

$$p_1 = \frac{1}{a_1} = \frac{1}{73.9 \times 10^{-9}} = 13.5 \times 10^6 \text{ rad/s}$$

$$p_2 = \frac{a_1}{a_2} = \frac{73.9 \times 10^{-9}}{43.2 \times 10^{-18}} = 1.71 \times 10^9 \text{ rad/s}$$

La separación entre p_2 y p_1 es de 126:1. El cero está en $s = g_m/C_{gd} = 2 \times 10^9$ rad/s. Estos valores indican que p_1 es el polo dominante. De esta forma la función de transferencia se puede aproximar mediante la función de un solo polo de la forma de la Ec. (11-30) con $f_H = \omega_H/2\pi = 1/2\pi a_1 = 2.15$ MHz. La solución exacta de la Ec. (11-35) pone de manifiesto que los valores de f_H y p_1 obtenidos con la aproximación de polo dominante se desvía menos del 1 por ciento.

Para llegar al circuito unilateral aproximado de la Fig. 11-18 podemos valernos del teorema de Miller con $K = V_o/V_{gs} = -g_m R_L$. Obsérvese que aun cuando C_{gs} es la menor de las tres capacitancias, es la que tiene un efecto más pronunciado sobre a_1 y por tanto sobre f_H. Esto es debido al efecto Miller que esencialmente multiplica C_{gd} por la ganancia de la etapa. Como se ve en la Fig. 11-18, la impedancia de entrada de la etapa es (aproximadamente) puramente capacitiva, y es:

$$C_i = C_{gs} + C_{gd}(1 + g_m R_L) \tag{11-37}$$

Obsérvese que la impedancia de salida (Fig. 11-17) contiene componentes resistivas y capacitivas (Prob.11-12 y 11-13).

11-8. SEGUIDORES DE EMISOR Y DE FUENTE A ALTA FRECUENCIA

En esta sección examinaremos la respuesta en alta frecuencia de los seguidores de emisor y de fuente (etapas en colector y en drenaje común). Trataremos primero la etapa en colector común y seguidamente, por analogía, describiremos la de drenaje común. Puesto que los seguidores de emisor y de fuente actúan frecuentemente como separadores, es decir, con ganancia (casi) unidad, gran impedancia de entrada, y baja impedancia de salida, consideraremos cada una de estas cantidades a alta frecuencia.

Ganancia de tensión

En la Fig. 11-19 se representa un modelo en alta frecuencia del seguidor de emisor con una carga resistiva R_E. Debido a su baja impedancia de salida, muchas veces se usa el seguidor de emisor para alimentar cargas capacitivas (cuyo símbolo se señala a trazos). Consideremos el condensador de carga conjuntamente con el estudio de la impedancia de salida a alta frecuencia.

La función de transferencia del seguidor de emisor tiene dos polos (dos condensadores independientes) y un cero finito. A medida que s tiende a infinito la impedancia 1 sC_μ tiende a cero (cortocircuito); por tanto V_o tiende a cero como $1/s$ debido al cortocircuito en la entrada.

La función de transferencia se deduce de las ecuaciones nodales empleando V_1 y V_o como variables. Estas ecuaciones son:

$$V_1\left(\frac{1}{R_s} + sC_\mu + \frac{1}{z_\pi}\right) - V_o\left(\frac{1}{z_\pi}\right) = \frac{V_s}{R_s} \tag{11-38}$$

$$-V_1\left(\frac{1}{z_\pi}\right) + V_o\left(\frac{1}{z_\pi} + \frac{1}{R_E}\right) = g_m(V_1 - V_o) \tag{11-39}$$

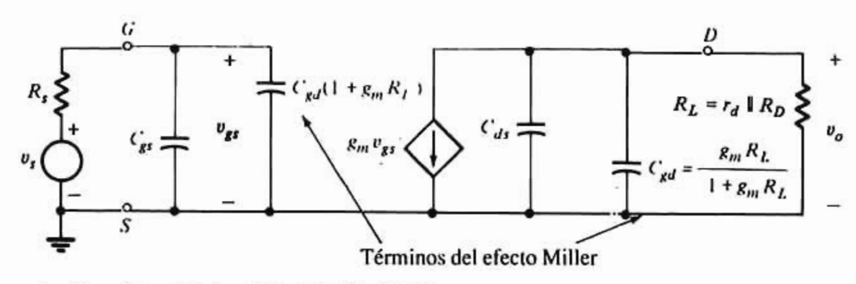


Figura 11-18. Representación unilateral del modelo de la Fig. 11-17.

En la Ec. (11-39) se hace uso de $V_\pi = V_1 - V_o$. Resolviendo simultáneamente las Ecs. (11-38) y (11-39) y sustituyendo $z_\pi = r_\pi/(1 + sr_\pi C_\pi)$ se obtiene, después de algunas manipulaciones algebraicas:

$$A_{VH}(s) = \frac{V_o}{V_s} = \frac{(\beta_o + 1)R_E}{R_s + r_\pi + (\beta_o + 1)R_E} \frac{1 + sC_\pi r_\pi/(1 + \beta_o)}{1 + a_1 s + a_2 s^2} \tag{11-40}$$

siendo

$$a_1 = \frac{r_\pi(R_E + R_s)C_\pi}{R_s + r_\pi + (1 + \beta_o)R_E} + \frac{R_s\,[r_\pi + (1 + \beta_o)R_E]C_\mu}{R_s + r_\pi + (1 + \beta_o)R_E} \tag{11-41}$$

$$a_2 = \frac{R_E R_s r_\pi C_\pi C_\mu}{R_s + r_\pi + (1 + \beta_o)R_E} \tag{11-42}$$

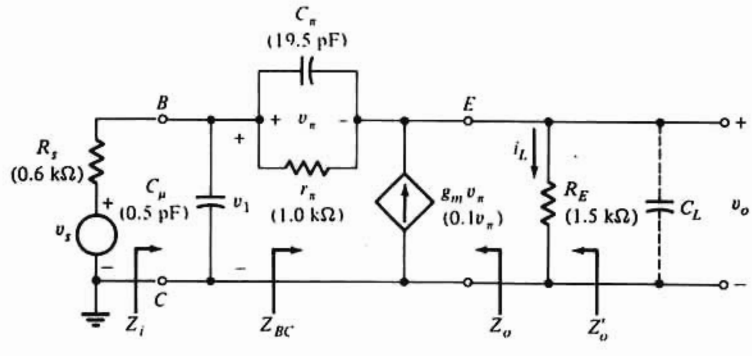


Figura 11-19. Circuito equivalente de alta frecuencia del seguidor de emisor. El condensador C_L forma parte de la carga.

Vemos nuevamente que a_1 es la suma de las constantes de tiempo y que a_2 puede interpretarse como el producto de tales constantes. El cero z_1 en $s = -g_m/C_\pi$ en la Ec. (11-40) se puede hallar también por la Fig. 11-19. Con $V_o = 0$ no hay corriente alguna en R_E y por tanto la corriente en z_π debe ser igual y opuesta a $g_m V_\pi$. O sea

$$\frac{(1 + sr_\pi C_\pi)V_\pi}{r_\pi} = -g_m V_\pi$$

de donde $z_1 = -(\beta_0 + 1)/r_\pi C_\pi \approx -g_m/C_\pi$. Empleando los valores de los parámetros indicados en la Fig. 11-19 (las resistencias tienen los mismos valores usados para hallar el comportamiento a baja frecuencia en la Tabla 10-4) tendremos que

$$a_1 = 0.566 \text{ ns} \qquad a_2 = 0.0573 \times 10^{-18} \text{ s}$$

y

$$z_1 \simeq \frac{g_m}{C_\pi} = 5.12 \times 10^9 \text{ rad/s}$$

La frecuencia angular aproximada del polo dominante es:

$$p_1 = \omega_H = \frac{1}{a_1} = \frac{1}{0.566 \times 10^{-9}} = 1.77 \times 10^9 \text{ rad/s}$$

$$f_H = \frac{\omega_H}{2\pi} = 281 \text{ MHz}$$

Análogamente

$$p_2 = \frac{a_1}{a_2} = \frac{0.566}{0.0573} \times 10^9 = 9.87 \times 10^9 \text{ rad/s}$$

y también $f_2 = p_2/2\pi = 1.57$ GHz.

La relación p_2/p_1 es igual a 5,58 y la aproximación del polo dominante no da resultados particularmente ajustados. Resolviendo los polos mediante la Ec. (11-40) tendremos $p_1 = 2{,}30 \times 10^9$ rad/s y $p_2 = 7{,}57 \times 10^9$ rad/s. Con estos valores, $f_H = 339$ MHz.

Vemos que las frecuencias f_u de los polos y del cero son todas ellas del orden de magnitud de f_T. Ya que estos valores estan en el límite de frecuencia para el que es válido el circuito equivalente, los valores numéricos son cuestionables. Sin embargo todos ellos muestran las magnitudes aproximadas obtenidas de cálculos simulados.

Comparando f_H de la etapa en colector común con $f_H = 16{,}9$ MHz en emisor común en la Sec. 11-6, vemos que la etapa en colector común tiene un ancho de banda considerablemente mayor que la de emisor común. En realidad, una etapa en emisor común $R_C = 1{,}5$ kΩ excitada por una fuente $R_s = 0{,}6$ kΩ y empleando el mismo transistor tiene $f_H = 4{,}37$ MHz. Así llegamos a la conclusión de que cuando una etapa en colector común está excitada (o excita) por otra en emisor común, el valor de f_H de la cascada es simplemente la de la etapa en emisor común.

La impedancia de salida Z_o

Las impedancias en alta frecuencia Z_o y Z'_o se obtienen del equivalente de Thèvenin de la etapa. La tensión en circuito abierto medida a través de R_E es simplemente $V_o = A_{VH} V_s$. La corriente I_L es V_o/R_E que cuando $R_E = 0$ la corriente de cortocircuito I_{sc} viene dada por

$$I_{sc} = \frac{(\beta_o + 1)V_s}{R_s + r_\pi} \frac{1 + sr_\pi C_\pi/(1 + \beta_o)}{1 + sR_s r_\pi (C_\pi + C_\mu)/R_s + r_\pi)} \qquad (11\text{-}43)$$

La impedancia de Thèvenin $Z'_o = V_o/I_{sc}$ es

$$Z'_o = \frac{R_E\,[(R_s + r_\pi)/(1 + \beta_o)]}{R_E + [(R_s + r_\pi)/(1 + \beta_o)]} \frac{1 + sr_\pi R_s\,(C_\pi + C_\mu)/(R_s + r_\pi)}{1 + a_1 s + a_2 s^2} \qquad (11\text{-}44)$$

viniendo dadas a_1 y a_2 como en la Ec. (11-41).

Observemos en la Fig. 11-19 que $Z'_o = Z_o \| R_E$ y si R_E tiende a infinito, $Z'_o = Z_o$. Por tanto, de la Ec. (11-44) se tiene

$$Z_o = \frac{R_s + r_\pi}{1 + \beta_o} \frac{1 + sr_\pi R_s\,(C_\pi + C_\mu)/(R_s + r_\pi)}{[1 + sr_\pi C_\pi/(1 + \beta_o)](1 + sR_s C_\mu)} \qquad (11\text{-}45)$$

Podemos identificar $(R_s + r_\pi)/(1 + \beta_o)$ como resistencia de salida a baja frecuencia R_o (Tabla 10-3). Teniendo Z_o la forma

$$Z_o = R_o \frac{(1 + s/z_1)}{(1 + s/p_1)\,(1 + s/p_2)} \qquad (11\text{-}46)$$

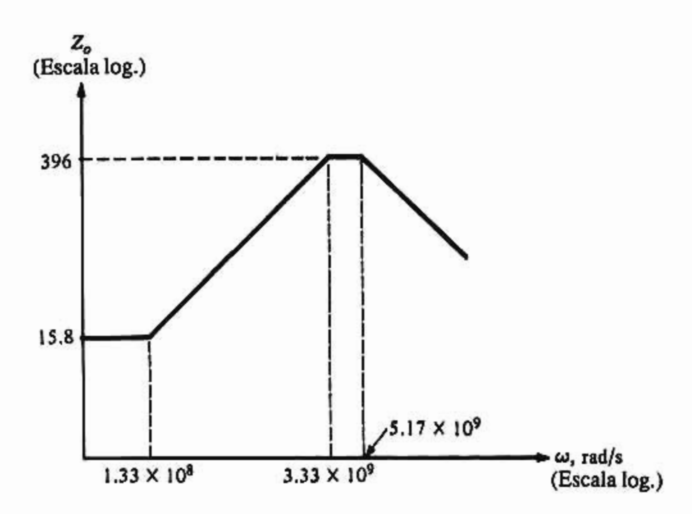


Figura 11-20. Aproximación asintótica de la magnitud de la impedancia de salida Z_o del seguidor de emisor de la Fig. 11-19.

Con los valores indicados en la Fig. 11-19, $z_1 = 1{,}33 \times 10^8$ rad/s, $p_1 = 3{,}33 \times 10^9$ rad/s y $p_2 = 5{,}17 \times 10^9$ rad/s. Basándonos en estos valores trazamos la gráfica de $\log|Z_o(j\omega)|$ en función de $\log \omega$, de la Fig. 11-20. Obsérvese que para $\omega < p_1$, $|Z_o(j\omega)|$ aumenta al hacerlo la frecuencia. Esta es la forma de actuar una impedancia inductiva dentro de este campo de frecuencias. Cuando se emplea el seguidor de emisor para alimentar cargas capacitivas (C_L en la Fig. 11-19) a alta frecuencia, el circuito puede funcionar como circuito resonante. En sistemas excitados por impulsos, tales como los de la familia lógica de emisor acoplado ECL de alta velocidad (Sec. 6-13), la combinación de la impedancia de salida inductiva y la capacitancia de la carga puede dar un rizado excesivo en la onda de salida. Normalmente los diseñadores ya previenen una amortiguación suficiente (componente resistivo de Z_o) para reducir al mínimo estos efectos.

La impedancia de entrada Z_i

La impedancia de entrada Z_i de un seguidor de emisor es, tal como se ve en la Fig. 11-19, la combinación en paralelo de C_μ y $Z_{B'C}$. La deducción de los resultados para $Z_{B'C}(s)$ y $Z_i(s)$ dados en las Ecs. (11-47) y (11-48) se deja para el lector (Prob. 11-23)

$$Z_{B'C}(s) = \beta_o R_E \frac{1 + sC_\pi/g_m}{1 + sr_\pi C_\pi} \simeq \beta_o R_E \frac{1 + s/2\pi f_T}{1 + s/2\pi f_\beta} \tag{11-47}$$

$$Z_i(s) = \beta_o R_E \frac{1 + s(1/\omega_T)}{1 + s(1/\omega_\beta + \beta_o R_E C_\mu) + s^2(\beta_o R_E C_\mu/\omega_T)} \tag{11-48}$$

Véase que en las Ecs. (11-47) y (11-48) se ha puesto que $\beta_0 \gg 1$, $\beta_0 R_E \gg r_\pi$ y $\omega_T \approx g_m/C_\pi$.

En el caso de que no se suponga r_b igual a cero, mediante las aproximaciones dadas por la Ec. (11-48) y siendo $\beta_0 R_E \gg r_b$, $Z_i(s)$ se convierte en

$$Z_i(s) = \beta_o R_E \frac{1 + s(1/\omega_T + r_b C_\mu) + s^2 r_b C_\mu/\omega_T}{1 + s(1/\omega_\beta + \beta_o R_E C_\mu) + s^2(\beta_o R_E C_\mu/\omega_T)} \tag{11-49}$$

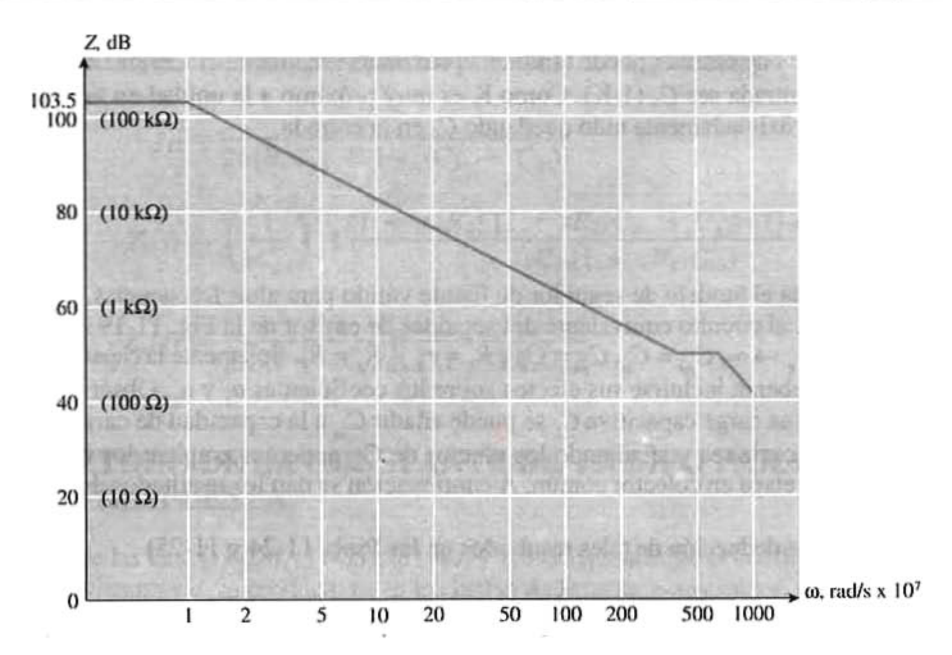


Figura 11-21. Diagrama asintótico de Bode de la impedancia de entrada Z_i del seguidor de emisor de la Fig. 11-19 y Ec. (11-50). *Nota*: Las frecuencias de polos y ceros se obtienen valiéndose de la aproximación de polo dominante.

Con los valores de los parámetros dados en la Fig. 11-19 y con $r_b = 50\Omega$, la Ec. (11-49) se convierte en

$$Z_i(s) = 150\,\frac{[1 + s/(4.44 \times 10^9)]\,[1 + s/(45 \times 10^9)]}{[1 + s/(1.05 \times 10^7)]\,[1 + s/(6.33 \times 10^9)]} \quad \text{k}\Omega \tag{11-50}$$

La variación de la magnitud de esta función con la frecuencia (para $\omega<10^{10}$ rad/s) queda representada en el diagrama asintótico de Bode de la Fig. 11-21. Obsérvese que la impedancia decrece con la frecuencia y que este decrecimiento tiene lugar a frecuencias por debajo de la f_H de la etapa. Efectivamente, a $f_H \approx$ 300 MHz ($\omega_H \approx 1{,}90 \times 10^9$ rad/s) Z_i es menor de 1kΩ. El diseñador debe tener en cuenta esta disminución de Z_i si el circuito debe presentar un aislamiento adecuado.

Con frecuencias f_T la impedancia Z_{BC} puede aproximarse como

$$Z_{BC} = \frac{\beta_o R_E}{1 + s/\omega_\beta} \qquad \text{o} \qquad Y_{BC} = \frac{1 + s/\omega_\beta}{\beta_o R_E} \tag{11-51}$$

La admitancia de la Ec. (11-51) representa la combinación en paralelo de la capacitancia y resistencia dadas en la Ec. (11-52)

$$R_{BC} = \beta_o R_E \qquad C_{BC} = \frac{1}{R_E \omega_T} \tag{11-52}$$

Esta capacitancia es bien pequeña (0,133 pF para los valores numéricos empleados). Al estar C_{BC} en paralelo con C_μ la capacitancia dentro del campo de frecuencias de funcionamiento utilizadas es simplemente $C_\mu + 1/R_E\,\omega_T$. Este valor es considerablemente inferior que el de la etapa en emisor común [($C_i = C_\pi + C_\mu(1 + g_m R_L)$]. Así pues, el seguidor de emisor no carga capacitivamente la etapa anterior lo que es una cuestión de importancia en sistemas de gran velocidad y alta frecuencia. (Frecuentemente, los aparatos de laboratorio emplean seguidores de emisor como etapa de entrada a fin de minimizar los efectos del aparato sobre las mediciones.)

La pequeña capacitancia de entrada puede también aproximarse mediante el teorema de Miller para que el efecto de C_π en la entrada sea C_π (1-K). Como K es muy próximo a la unidad en un seguidor de emisor, este término es aproximadamente nulo quedando C_μ en la entrada.

El seguidor de fuente

La Fig. 11-22 representa el modelo de seguidor de fuente válido para altas frecuencias. Observemos que este circuito es similar al circuito equivalente del seguidor de emisor de la Fig. 11-19 si planteamos las siguientes identidades: $r_\pi \to \infty$, $C_{gd} = C_\mu$, $C_{gs} = C_\pi$ y $R_L = r_d \parallel R_S = R_E$. Solamente la capacitancia C_{ds} no puede ser identificada y deberán incluirse sus efectos sobre los coeficientes a_1 y a_2. Obsérvese que si el seguidor de fuente excita una carga capacitiva C_L se puede añadir C_{ds} a la capacidad de carga.

Haciendo tales identificaciones y añadiendo los efectos de C_{ds} podemos emplear los resultados del seguidor de emisor para la etapa en colector común. A continuación se dan los resultados de $A_{VH}(s), f_H, Z_i$ y Z_0.

(Se deja para el lector la deducción de tales resultados en los Prob. 11-24 y 11-25)

$$A_{VH}(s) = \frac{A_{VO}(1 - g_m\ s/C_{gs})}{1 + a_1 s + a_2 s^2} \tag{11-53}$$

siendo

$$\left.\begin{aligned} a_1 &= R_s C_{gd} + \frac{(R_s + R_L)\ C_{gs}}{1 + g_m R_L} + \frac{R_L C_{ds}}{1 + g_m R_L} \\ a_2 &= \frac{R_s R_L}{1 + g_m R_L} (C_{gd} C_{gs} + C_{gd} C_{ds} + C_{gs} C_{ds}) \end{aligned}\right\} \tag{11-54}$$

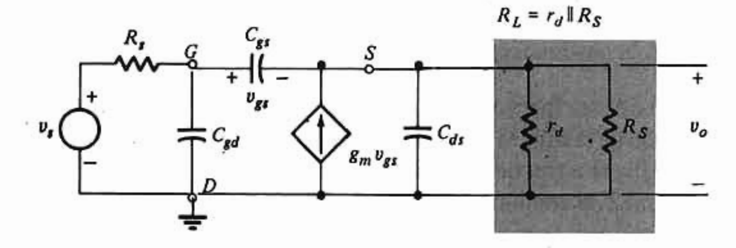


Figura 11-22. Circuito equivalente de alta frecuencia del seguidor de fuente.

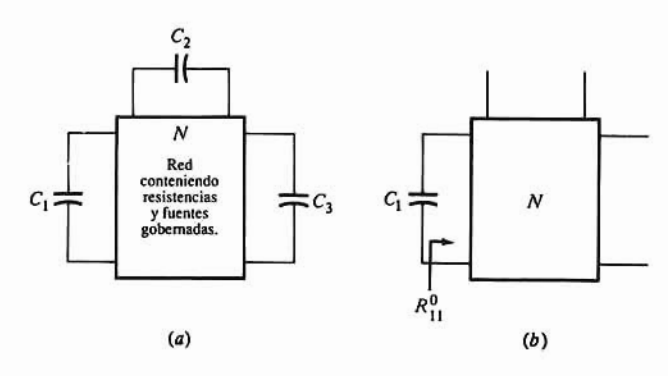


Figura 11-23. (*a*) Red con tres condensadores, (*b*) dicha red, con C_2 y C_3 en circuito abierto. La resistencia $R^0{}_{11}$ de frecuencia cero se define por esta configuración.

La frecuencia superior de 3 dB f_H es (aproximadamente) $1/2\pi a_1$ que con $g_m R_L >> 1$ y $R_L > R_s$ se convierte en:

$$f_H \simeq \frac{1}{2\pi[R_s C_{gd} + 1/g_m(C_{gs} + C_{ds})]} \tag{11-55}$$

$$Z_i(s) = \left(\frac{1}{sC_{gd}}\right) \parallel \frac{(1 + g_m R_L)\,[1 + sR_L(C_{ds} + C_{gs}) / (1 + g_m R_L)]}{sC_{gs}(1 + sR_L\, C_{ds})} \tag{11-56}$$

$$Z_o(s) = \frac{1}{g_m}\frac{1 + sR_s(C_{gd} + C_{gs})}{(1 + sC_{gs}/g_m)\,(1 + sR_s C_{gd})} \tag{11-57}$$

11-9. MÉTODO DE LA CONSTANTE DE TIEMPO PARA HALLAR LA RESPUESTA

La forma de las Ecs. (11-28), (11-35), (11-40) y (11-53) en las que el coeficiente a_1 es la suma de las constantes de tiempo y a_2 su producto no es exclusiva de las etapas en emisor, fuente, colector y drenaje común. También pueden expresarse siempre en esta forma los coeficientes de la característica polinomial de cualquier sistema lineal que contenga resistencias, condensadores y fuentes gobernadas. En esta sección describiremos un procedimiento para hallar estos coeficientes por determinación directa de las resistencias equivalentes necesarias para calcular las constantes de tiempo.

El coeficiente a_1

Consideremos la red de la Fig. 11-23*a* en la que la parte de circuito N en el interior del rectángulo contiene sólo resistencias y fuentes gobernadas. Con tres condensadores independientes indicados, la función de transferencia tiene tres polos, con lo que su denominador se expresa como en la Ec. (11-22). Se puede escribir el coeficiente a_1 como

$$a_1 = R_{11}^0 C_1 + R_{22}^0 C_2 + R_{33}^0 C_3 \tag{11-58}$$

en donde R^0_{11}, R^0_{22} y R^0_{33} son las resistencias a frecuencia cero vistas desde C_1, C_2 y C_3 respectivamente. Obsérvese que con frecuencia cero (en continua) los condensadores están en circuito abierto y los productos RC de la Ec. (11-58) se denominan a veces *constantes de tiempo en cortocircuito.*

Para justificar la forma de a_1 en la Ec. (11-58) podemos valernos de la siguiente argumentación. Consideremos $C_2 = C_3 = 0$ (circuito abierto) con lo que el circuito sólo contiene C_1 como en la Fig. 11-23*b*. La función de transferencia del circuito de esta última figura tiene un solo polo cuya frecuencia angular es simplemente la inversa de la constante de tiempo τ del circuito. Pero en este caso τ es igual a C_1 multiplicado por la resistencia equivalente a través de sus terminales, es decir R^0_{11} como está indicado en la Fig. 11-23*b*. Obsérvese que dejando $C_2 = C_3 = 0$ en la Ec. (11- 58) se llega al mismo resultado. El mismo argumento se puede aplicar si consideramos $C_1 = C_3 = 0$ y $C_1 = C_2 = 0$. En estas condiciones las constantes de tiempo son $R^0_{22}\, C_2$ y $R^0_{33}\, C_3$ respectivamente.

La forma de la Ec. (11-58) se puede extender a un sistema conteniendo M condensadores como en la Ec. (11-59)

$$a_1 = \sum_{i=1}^{M} R_{ii}^0 C_i \tag{11-59}$$

siendo R^0_{ii} la resistencia a frecuencia nula vista desde C_i. Alternativamente podemos contemplar a_1 como suma de las constantes de tiempo en circuito abierto, siendo $R^0_{ii}\,C_i$ la constante de tiempo del circuito cuando todas las demás capacitancias están en circuito abierto. En los dos ejemplos siguientes veremos la aplicación de este método.

Ejemplo 11-2

Determinar el coeficiente a_1 en la función de transferencia de la etapa en emisor común de la Fig. 11-14.

Solución

Con dos condensadores la Ec. (11-59) nos da:

$$a_1 = R^0_\pi C_\pi + R^0_\mu C_\mu$$

Para calcular la resistencia R^0_π a frecuencia cero vista desde C_π, los condensadores están en circuito y se suprime la fuente de tensión independiente cortocircuitándola como en la Fig. 11-24*a*. De la observación de esta figura se desprende que

$$R^0_\pi = R_s \parallel r_\pi = \frac{r_\pi R_s}{R_s + r_\pi}$$

Al circuito de la Fig. 11-24*b* se le provee de una fuente de prueba I_t y se calcula la tensión V_t para que $R^0_\mu = V_t I_t$. En esta misma figura, después de haber identificado R^0_π como se ha indicado, la ley de Kirchhoff da:

$$V_t = I_t R^0_\pi + R_L(I_t + g_m v_\pi)$$

y sustituyendo $v_\pi = R^0_\pi I_t$ tenemos

$$R^0_\mu = \frac{V_t}{I_t} = R^0_\pi + R_L(1 + g_m R^0_\pi) = R^0_\pi(1 + g_m R_L) + R_L$$

por tanto

$$a_1 = R^0_\pi C_\pi + [R^0_\pi(1 + g_m R_L) + R_L]\, C_\mu$$

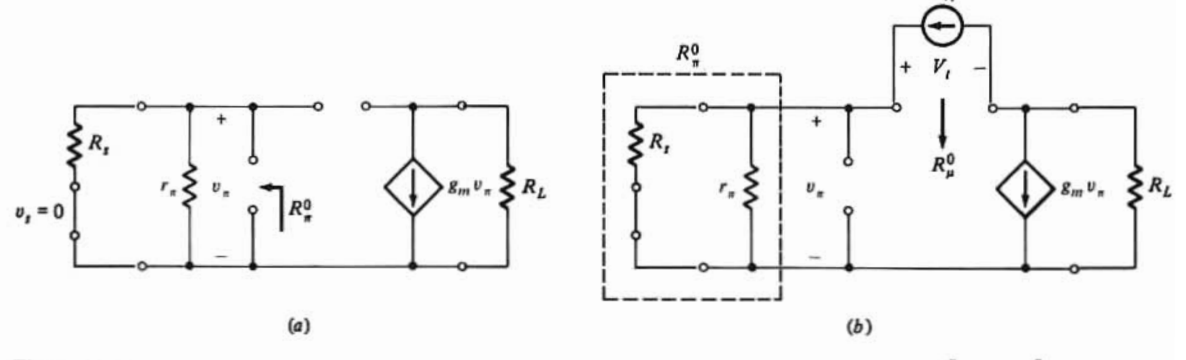


Figura 11-24. Circuito empleado para calcular las resistencias de frecuencia cero (circuito abierto): (*a*) R^0_π y, (*b*) R^0_μ para la etapa en emisor común.

que es la misma expresión que la de la Ec. (11-28).

Ejemplo 11-3

(a) Determinar el coeficiente a_1 de la función de transferencia de la etapa amplificadora cuyo circuito equivalente sea el de la Fig. 11-25. (b) Con los valores numéricos indicados buscar la frecuencia superior de 3 dB aproximada f_H. (c) Comparar este valor con el obtenido en la Sec. 11-7 para la etapa en fuente común. (*Nota*: Esta etapa es un amplificador en fuente común con resistencia de fuente R_s. Los parámetros del dispositivo y los componentes del circuito tienen los mismos valores ya empleados en la Sec. 11-7.)

Solución

(a) El circuito tiene tres condensadores: por tanto, valiéndonos de la Ec. (11-59) tendremos:

$$a_1 = R^0_{gs}C_{gs} + R^0_{gd}C_{gd} + R^0_{ds}C_{ds}$$

Para calcular las tres constantes de tiempo deben hallarse $R^0{}_{gs}$, $R^0{}_{gd}$ y $R^0{}_{ds}$. Suprimiendo v_s y poniendo las capacidades en circuito abierto podemos identificar $R^0{}_{gs}$ como se ve en la Fig. 11-26*a*. Como existe la misma corriente en R_D, r_d y μV_{gs} estos elementos se pueden transformar en sus fuentes de corriente $[\mu V_{gs} / (r_d + R_D)]$ - resistencia equivalente $(R_D + r_d)$ en paralelo. Esta combinación está en paralelo con R_s y se puede reconvertir a su equivalente de Thèvenin como se aprecia en la Fig. 11-26*b*. La fuente de tensión equivalente $\mu' V_{gs}$ y la resistencia en serie R_s, son

$$\mu' = \frac{\mu R_A}{r_d + R_D} \qquad R_A = R_S \parallel (R_D + r_d)$$

La aplicación de una fuente de prueba V_t y el cálculo de la corriente I_t como se indica en la Fig 11-26b nos da $R^0{}_{gs} = V_t/I_t$. Con $V_{gs} = V_t$ la ley de Kirchhoff nos lleva a

$$I_t = \frac{V_t(1 + \mu')}{R_s + R_A}$$

de donde

$$R^0_{gs} = \frac{V_t}{I_t} = \frac{R_s + R_A}{1 + \mu'}$$

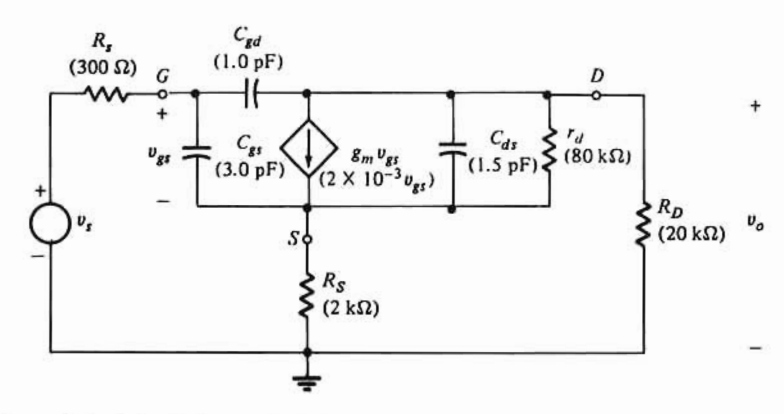


Figura 11-25. Circuito equivalente de alta frecuencia de la etapa en fuente común con resistencia de fuente.

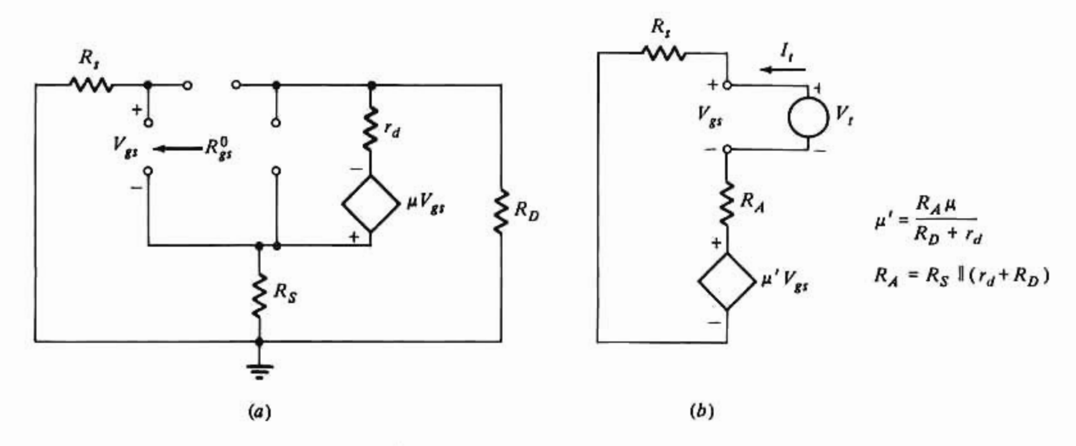


Figura 11-26. (*a*) Circuito empleado para hallar R^0gs. (*b*) El circuito en (a) con la parte drenaje-fuente (R_s, μV_{gs}, r_d y R_D) sustituida por un equivalente de Thèvenin $\mu' V_{gs}$-R_A.

La resistencia R^0_{gd} puede calcularse a partir del circuito de la Fig. 11-27*a*. Aplicando la ley de Kirchhoff en *D* tenemos

$$I_1 = I_t - I_2 \tag{1}$$

$$V_{gs} = I_t R_s + I_1 R_S = I_t R_s + R_S(I_t - I_2) \tag{2}$$

Aplicando la ley de Kirchhoff al lazo de la derecha

$$I_2 R_D = I_1(R_S + r_d) + \mu V_{gs} \tag{3}$$

Combinando de (1) a (3) y despejando I_2 nos da

$$I_2 = \frac{r_d + \mu R_s + (1 + \mu) R_s}{R_D + r_d + R_S(1 + \mu)} I_t \tag{4}$$

y la tensión V_t es, aplicando la ley de Kirchhoff al lazo exterior:

$$V_t = I_t R_s + I_2 R_D \tag{5}$$

Substituyendo (4) en (5) y despejando V_t/I_t tenemos

$$R^0_{gd} = \frac{V_t}{I_t} = R_s + \frac{R_D[r_d + \mu R_s + (1 + \mu) R_S]}{R_D + r_d + R_S(1 + \mu)}$$

La tercera resistencia R^0_{ds} se obtiene por medio de la Fig. 11-27*b*. Obsérvese que no hay corriente en R_s de forma que V_{gs} aparece como se indica a través de R_s. La ley de Kirchhoff exige que $I_b = I_1 + I_2$, siendo

$$I_1 = \frac{V_t + \mu V_{gs}}{r_d} \qquad \text{y} \qquad I_2 = \frac{V_t - V_{gs}}{R_D}$$

La tensión de control V_{gs} es I_2/R_s. Combinando estas ecuaciones y despejando I_t obtendremos

$$R^0_{ds} = \frac{V_t}{I_t} = \frac{r_d(R_S + R_D)}{R_D + r_d + (1 + \mu) R_S}$$

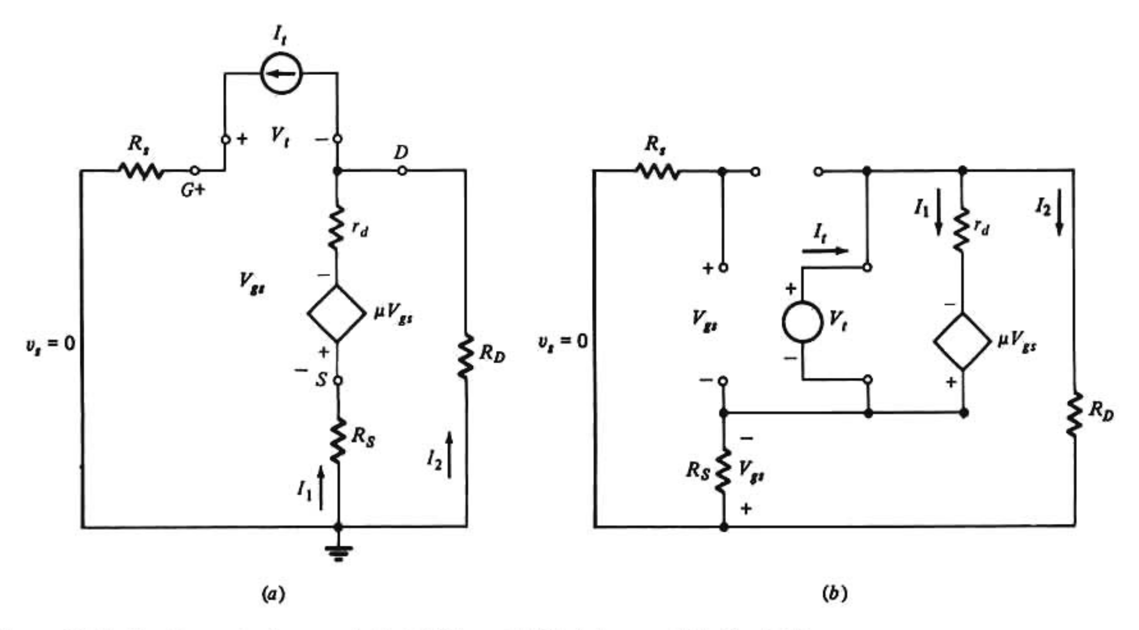


Figura 11-27. Circuito empleado para calcular (*a*) R^o_{gd}, y (*b*) R^o_{ds} de la etapa de la Fig. 11-25.

(b) El cálculo numérico de a_1 es el siguiente

5

$$\mu = g_m r_d = 2 \times 80 = 160$$

$$R_A = R_S \parallel (R_D + r_d) = 2 \parallel (20 + 80) = 1.96 \text{ k}\Omega$$

$$\mu' = \frac{\mu R_A}{r_d + R_D} = \frac{160 \times 1.96}{80 + 20} = 3.14$$

y

$$R^0_{gs} = \frac{0.3 + 1.96}{1 + 3.14} = 0.546 \text{ k}\Omega$$

$$R^0_{gd} = 0.3 + \frac{20[80 + 160 \times 0.3 + (1 + 160)2]}{20 + 80 + 2(1 + 160)} = 21.6 \text{ k}\Omega$$

$$R^0_{ds} = \frac{80(2 + 20)}{20 + 80 + (1 + 160)2} = 4.17 \text{ k}\Omega$$

por tanto

$$a_1 = 0.546 \times 3 + 21.6 \times 1 + 4.17 \times 1.5 = 29.5 \text{ ns}$$

y

$$f_H = \frac{1}{2\pi a_1} = \frac{1}{2\pi \times 29.5 \times 10^{-9}} = 5.40 \text{ MHz}$$

(c) Observamos que el valor de f_H hallado en la parte (b) es mayor que el correspondiente (2,15 MHz) a la etapa en fuente común simple. En la Sec. 10-15 vimos que la realimentación suministrada por R_s reduce la ganancia. Aquí vemos que al mismo tiempo aumenta el ancho de banda. En el Cap. 12 se tratará de los efectos de la realimentación.

El coeficiente a_2

La situación del polo no dominante más próximo, y por tanto la separación entre los polos dominante y no dominante viene determinada por a_2. Como se ve, por ejemplo, en las Ecs. (11-28) y (11-36), a_2 comprende el producto de las constantes de tiempo. Tal como se ve en la Ec. (11-36) todos los pares de capacitancias posibles forman las constantes de tiempo en a_2. Por tanto, en el circuito de la Fig. 11-23, a_2 se expresa

$$a_2 = R^0_{11}C_iR^1_{22}C_2 + R^0_{11}C_1R^1_{33}C_3 + R^0_{22}C_2R^2_{33}C_3 \qquad (11\text{-}60)$$

siendo R^j_{ii} la resistencia a frecuencia cero vista por C_i cuando se cortocircuita C_j. En la Ec. (11- 60), R^1_{22} es la resistencia vista por C_2 cuando C_1 está en cortocircuito y C_3 en circuito abierto como está representado en la Fig. 11-28. Análogamente R^1_{33} es la resistencia vista por C_3 con C_1 en cortocircuito y C_2 abierto; R^2_{33} se obtiene cortocircuitando C_2 y abriendo C_1. La notación racionalizada sigue el siguiente criterio: el subíndice señala los terminales entre los que se mide la resistencia, y el exponente indica el condensaor cortocircuitado. Todas las capacitancias sin ningún subíndice ni exponente están abiertas. Así, cada término de la Ec. (11-60) es el producto de una constante de tiempo en circuito abierto por otra en cortocircuito.

La forma general de cada término de a_2 es:

$$R^0_{ii}C_iR^i_{jj}C_j = R^0_{jj}C_jR^j_{ii}C_i \qquad (11\text{-}61)$$

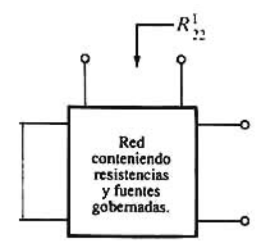


Figura 11-28. Red de la Fig. 11-15 empleada para definir R^1_{22}(C_1 está en cortocircuito y C_3 en circuito abierto).

La Ec. (11-61) indica que para cualquier par de condensadores C_i y C_j podemos hallar la constante de tiempo en circuito abierto para uno de ellos y la constante de tiempo en cortocircuito del otro. Obsérvese que el condensador cortocircuitado para determinar R^i_{jj} (R^j_{ii}) es aquel para el que se calcula la constante en circuito abierto. Por tanto, el valor de a_2 no varía si se sustituye $R^0_{22}C_2R^2_{33}C_3$ por $R^0_{33}C_3R^3_{22}C_2$. Frecuentemente la elección de cuál de las formas de la Ec. (11-61) emplear conduce al análisis más conveniente del circuito.

Mientras que existen cuatro parámetros en cada uno de los términos de la Ec. (11-60) sólo hay que calcular las resistencias en cortocircuitos R^j_{ii} ya que las en circuito abierto R^0_{ii} ya son conocidas por el cálculo de a_1. El siguiente ejemplo muestra la forma de proceder para el cálculo de la constante de tiempo en cortocircuito.

Ejemplo 11-4

Determinar el coeficiente a_2 para el circuito de la Fig. 11-14.

Solución

Para el sistema de dos condensadores

$$a_2 = R^0_\pi C_\pi R^\pi_\mu C_\mu = R^0_\mu C_\mu R^\mu_\pi C_\pi$$

Las resistencias en circuito abierto R^0_π y R^0_μ son conocidas (Ejemplo 11-2). Así pues, debemos calcular ya sea R^π_μ ya sea R^μ_π. Para mayor claridad calcularemos ambas, usando la Fig. 11-29*a* para R^π_μ y la Fig. 11-29*b* para R^μ_π.

En la Fig. 11-29*a* cortocircuitar C_π hace que $v_\pi = 0$. En consecuencia R^0_π está en cortocircuito y la fuente de corriente $g_m v_\pi$ en circuito abierto ($I = 0$). Por tanto, R^π_μ y

$$a_2 = R^0_\pi C_\pi R_L C_\mu$$

resultado obtenido en la Ec. (11-28)

En la Fig. 11-29*b* cortocircuitando C_π se sitúan R^0_π R_L y la fuente de corriente $g_m v_\pi$ en paralelo. La tensión a través de la fuente dependiente es v_π y la corriente a través de ella es $g_m v_\pi$ y por tanto esto es una resistencia $v_\pi/g_m v_\pi = 1/g_m$. Así pues, R^μ_π es simplemente la combinación en paralelo de $R^0_\pi R_L$ y $1/g_m$, o sea

$$R^\mu_\pi = R^0_\pi \parallel R_L \parallel \frac{1}{g_m} = \frac{R^0_\pi R_L}{R^0_\pi(1 + g_m R_L) + R_L}$$

En consecuencia, empleando el resultado para R^0_μ del Ejemplo 11-2 obtendremos

$$a_2 = [R^0_\pi(1 + g_m R_L) + R_L]\, C_\mu \times \frac{R^0_\pi R_L}{R^0_\pi(1 + g_m R_L) + R_L} C_\pi = R^0_\pi C_\pi R_L C_\mu$$

que como era de esperar nos da el mismo resultado anterior.

El procedimiento que queda descrito no constituye una aproximación, sino que da los valores *exactos* de los coeficientes a_1 y a_2. Vemos que empleando el método de las constantes de tiempo se obtienen los mismos resultados que se obtendrían usando la regla de Cramer o la eliminación gaussiana para resolver, simultáneamente, las ecuaciones nodales del circuito. Para un circuito con dos nudos como es la etapa en emisor común, este procedimiento no aporta ninguna ventaja real ya que la función de transferencia tiene sólo dos polos y se puede deducir fácilmente. Sin embargo, cuando se trata de amplificadores con cuatro o más nudos esta técnica resulta conveniente ya que a_1 (y a_2) se obtienen directamente. Por el contrario,

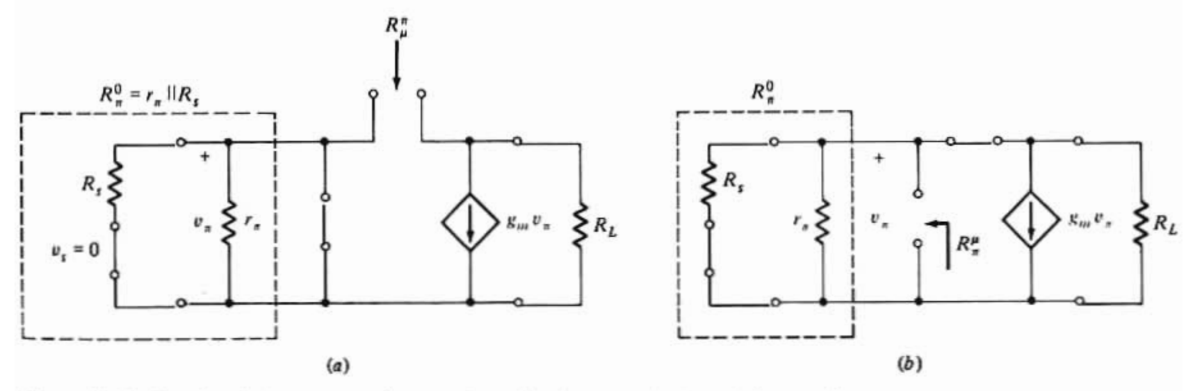


Figura 11-29. Circuitos de la etapa en emisor común empleados para calcular (*a*) R^π_μ y (*b*) R^μ_π.

el empleo del análisis nodal exige hallar el polinomio completo (todos los n coeficientes). Además, tal como se demostrará en sucesivas secciones, el cerrar y abrir condensadores tiende a desacoplar partes del circuito (etapas). Cada constante de tiempo está relacionada con una parte del amplificador y el impacto sobre f_H de los valores de los elementos de esta parte del circuito es evidente. En consecuencia el diseñador del circuito puede valorar mejor los resultados de cambiar los valores de los componentes. Cuando se emplea conjuntamente con simuladores de cálculo, el diseñador tiene la ventaja de percibir el comportamiento del circuito y los datos numéricos exactos.

11-10. RESPUESTA EN FRECUENCIA DE ETAPAS EN CASCADA

Los amplificadores se diseñan para que proporcionen ganancia dentro de un margen de frecuencias especificado. En la Sec. 10-16 se vio que conectando etapas en cascada, la ganancia total, igual al producto de las ganancias de las etapas individuales, aumentaba considerablemente. En esta Sección examinaremos los efectos de unas etapas en cascada sobre la respuesta en frecuencia del amplificador completo. Demostraremos que el producto ganancia-ancho de banda aumenta en comparación con el de una etapa sola. Por tanto, dado un valor de f_H, la ganancia del amplificador en cascada es mayor que la conseguida por una etapa sola que tenga igual f_H.

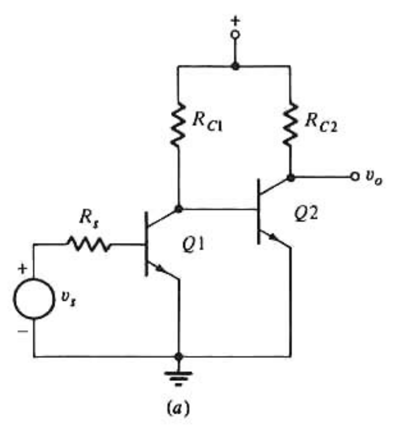
Cascadas Emisor Común-Emisor Común (Ce-Ce) y fuente común-fuente común (Cs-Cs) en alta frecuencia

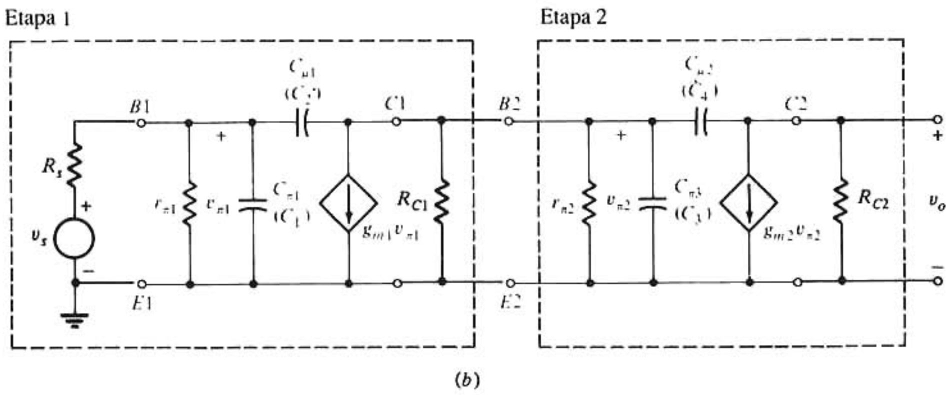
La Fig. 11-30*a* representa un par de etapas en emisor común conectadas en cascada, siendo su circuito equivalente a alta frecuencia el de la Fig. 11-30*b*. Obsérvese que no están representados los componentes de polarización ni los condensadores de acoplamiento y de paso, cuando se emplean, ya que estos elementos no influyen en el comportamiento a alta frecuencia.

Como las dos etapas están en cascada, podemos esperar una función de transferencia de cuatro polos y dos ceros, es decir, dos polos y un cero de cada etapa. Sin embargo no podemos expresar la función de transferencia como producto de ganancias individuales a alta frecuencia $A_{VH1}(s)$ y $A_{VH2}(s)$ ya que las etapas están acopladas entre sí mediante $C_{\mu 1}$ y $C_{\mu 2}$. Así, tal como se ve en la Fig. 11-30*b*, cambiando el valor de R_{C2} se afecta la entrada de la etapa 2 (efecto Miller). Como la entrada a la etapa 2 es parte de la carga de la etapa 1, ésta, a su vez, repercute en la entrada de dicha etapa 1 por efecto Miller. Si considerásemos la etapa 1 (o la 2) separadamente, eliminaríamos este acoplamiento y el resultado obtenido sería erróneo.

Podemos tener la función de transferencia completa escribiendo las cuatro ecuaciones nodales[9] del circuito y resolviendo el sistema de ecuaciones resultante. Este proceso además de ser engorroso dificulta relacionar el comportamiento individual de las etapas con la respuesta total. En lugar de ello, emplearemos los razonamientos anteriores sobre el amplificador de una etapa para aproximarnos a la respuesta en alta frecuencia. Basándonos en este análisis podemos suponer razonablemente que los ceros de la función de transferencia se producen a una frecuencia suficientemente alta para poder ser despreciados. Como lo que primero que nos interesa es el cálculo de la frecuencia superior de 3 dB, f_H, consideramos que es aplicable la condición de polo dominante, y todo lo que hace falta es calcular el coeficiente a_1. Esta aproximación es justificable porque muchos amplificadores prácticos están diseñados para que tengan un polo domi-

(9) Para un amplificador de tres etapas se necesitan seis ecuaciones nodales. En general se necesitan dos ecuaciones por etapa de forma que el número de ecuaciones simultáneas a resolver crece rápidamente.





(b)

Figura 11-30. (*a*) Amplificador en cascada emisor- común, emisor-común, y (*b*) su circuito equivalente a altas frecuencias.

nante. Además, como veremos en el siguiente desarrollo, el coeficiente a_1 de la cascada está relacionado con el coeficiente a_1 de las etapas individuales, factor esencial en el diseño del amplificador. Basándonos en el cálculo de a_1 podemos determinar a continuación el coeficiente a_2 (si es necesario) y examinar la validez de la aproximación del polo dominante. En el Ejemplo 11-5 se realiza este cálculo.

El circuito de la Fig. 11-31 se emplea para evaluar la resistencia en circuito abierto necesaria en la expresión de a_1 [Ec. (11-59)]. Para evitar que la notación resulte demasiado engorrosa son convenientes las siguientes igualaciones: $C_1 = C_{\pi 1}$, $C_2 = C_{\mu 1}$, $C_3 = C_{\pi 3}$ y $C_4 = C_{\mu 2}$ como en la Fig. 11-30*b*. Una de las ventajas de los condensadores en circuito abierto (Fig. 11-31) es que se desacoplan las etapas. Así pues, de los resultados obtenidos en el análisis del amplificador en emisor común de una sola etapa, las R^0_{11} y R^0_{22} de la primera etapa se pueden expresar

$$R^0_{\pi 1} = R^0_{11} = R_s \parallel r_{\pi 1} \qquad R^0_{\mu 1} = R^0_{22} = R^0_{11}(1 + g_{m1}R_{L1}) + R_{L1} \tag{11-62}$$

En la Ec. (11-62) la resistencia R_{L1} identificada en la Fig. 11-31, es la carga efectiva en la primera etapa, es decir R_{C1} en paralelo con la resistencia de entrada $R_{i2} = r_{\pi 2}$ de la segunda etapa.

La resistencia de fuente de la segunda etapa es la resistencia de salida $R'_{01} = R_{C1}$ de la primera (Sec. 10-11) y en forma similar que para la primera etapa tendremos

$$R^0_{\pi 2} = R^0_{33} = R_{C1} \parallel r_{\pi 2} \qquad R^0_{\mu 2} = R^0_{44} = R^0_{33}(1 + g_{m2}R_{C2}) + R_{C2} \tag{11-63}$$

Obsérvese que con $r_b = 0$, $R_{L1} = R^0{}_{\pi 2}$. Empleando las Ecs. (11-62) y (11-63) juntamente con la (11-59) se obtiene

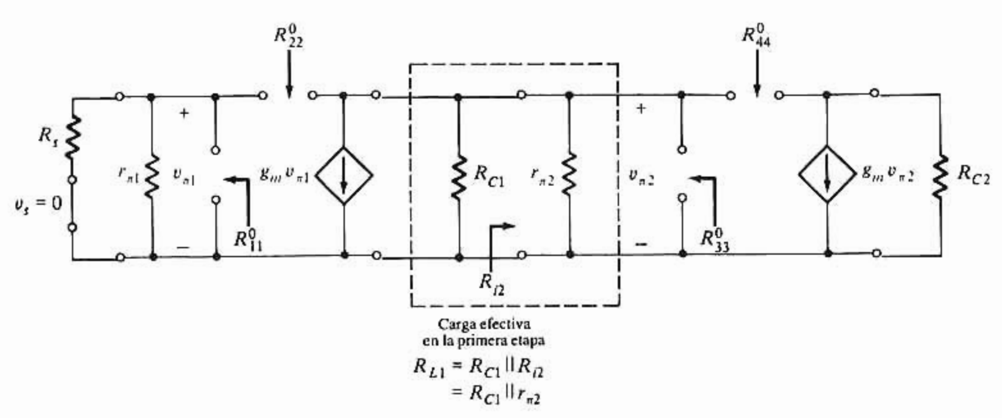


Figura 11-31. Circuito empleado para calcular las resistencias de frecuencia cero de la cascada CE-CE de la Fig. 11-30*b*.

$$(a_1 = R_{11}^0 C_1 + [R_{11}^0(1 + g_{m1}R_{L1}) + R_{L1}]\, C_2 + R_{33}^0 C_3 + [R_{33}^0(1 + g_{m2} R_{C2}]C_4 \qquad (11\text{-}64)$$

Podemos identificar los dos primeros términos de la Ec. (11-64) como coeficiente a_1 de la primera etapa cargada (llamémosle a_{11}). El último par de términos de la misma ecuación es el coeficiente a_1 de la segunda etapa (llamémosle a_{12}).

Empleando la aproximación del polo dominante, la frecuencia superior de 3 dB, f_H, de la cascada es

$$f_H = \frac{1}{2\pi a_1} = \frac{1}{2\pi a_{11} + 2\pi a_{12}} = \frac{1}{1/f_{H1} + 1/f_{H2}} \qquad (11\text{-}65)$$

Evidentemente, la Ec. (11-65) relaciona f_H con la frecuencia superior de 3 dB, f_{H1} y f_{H2} de las etapas individuales. También vemos que f_H es menor que f_{H1} y f_{H2} y por tanto llegamos a la conclusión que la conexión en cascada reduce el ancho de banda.

La reducción del ancho de banda es un proceso aditivo como se desprende de la Ec. (11-65) mientras que la ganancia en la banda media se multiplica. Con números mayores que la unidad, su producto aumenta más rápidamente que su suma[10]. Esto nos lleva a la conclusión de que el producto ganancia-ancho de banda de la cascada aumenta por encima de lo que lo hace una etapa individual. Consideremos dos etapas en cascada caracterizadas por las frecuencias de banda media y superior de 3 dB, de valores 100 y 0,1 MHz y 10 y 1 MHz respectivamente. Cada una tiene un producto ganancia-ancho de banda de 10 MHz. La cascada tiene una ganancia global de $100 \times 10 = 1000$ y de la Ec. (11-65), $f_H = 1/[(1/0{,}1) + (1/1)] = 0{,}91$ MHz. El producto ganancia- ancho de banda de la cascada es 910 MHz claramente superior que el de cualquiera de las etapas.

Por analogía los resultados dados por la Ec. (11-65) son aplicables a un par de etapas en fuente común en cascada. Los valores de a_{11} y a_{12} los da la Ec. (11-36) de la Sec. 11-7.

El resultado de la Ec. (11-65) se puede extender de la siguiente forma a un amplificador de *N* etapas en cascada: El coeficiente a_1 de la cascada es la suma de los coeficientes a_1 de las etapas individuales. La resistencia de carga efectiva de cualquiera de las etapas es su resistencia de colector (o drenaje) en paralelo con la resistencia de entrada a la etapa siguiente. La resistencia señal-fuente de la etapa es la resistencia de salida de la etapa anterior. En la primera etapa se utiliza la resistencia señal-fuente.

Ejemplo 11-5

Los parámetros utilizados en la cascada CE-CE de la Fig. 11-30 son los siguientes:

(10) Dados n números $a_1, a_2, \ldots a_n$, si cada a_i es $\geq n^{(1/n-1)}$, su producto es $\geq$ que su suma. Si $n = 2$, $a_i \geq 2$. Normalmente en las etapas de amplificador tanto la ganancia como el ancho de banda son mayores de 2.

$R_s = 600\ \Omega$, $R_{C1} = 1.5\ \text{k}\Omega$, $R_{C2} = 600\ \Omega$, $r_{\pi 1} = 1.2\ \text{k}\Omega$, $g_{m1} = 0.1\ \Omega$, $C_{\pi 1} = 24.5\ \text{pF}$, $C_{\mu 1} = 0.5\ \text{pF}$, $r_{\pi 2} = 2.4\ \text{k}\Omega$, $g_{m2} = 0.05\ \Omega$, $C_{\pi 2} = 19.5\ \text{pF}$, y $C_{\mu 2} = 0.5\ \text{pF}$.

(a) Determinar el valor aproximado de f_H y la situación aproximada del polo dominante, (b) Determinar la situación aproximada del polo no dominante más cercano y comentar la validez de la aproximación del polo dominante.

Solución

(a) Para hallar f_H calcularemos primero las resistencias de las Ecs. (11-63) y (11-64). O sea

$$R^0_{11} = 600 \parallel 1200 = 0.40\ \text{k}\Omega$$
$$R_{L1} = R_{C1} \parallel r_{\pi 2} = 1.50 \parallel 2.4 = 0.923\ \text{k}\Omega$$

y

$$R^0_{22} = 0.40(1 + 100 \times 0.923) + 0.923 = 38.2\ \text{k}\Omega^1$$
$$R^0_{33} = 1.5 \parallel 2.4 = 0.923\ \text{k}\Omega$$
$$R^0_{44} = 0.923(1 + 50 \times 0.6) + 0.6 = 29.2\ \text{k}\Omega$$

La Ec. (11-64) da

$$a_1 = 0.40 \times 24.5 + 0.5 \times 38.2 + 0.923 \times 19.5 + 0.5 \times 29.2 = 61.5\ \text{ns}$$

y de la Ec. (11-65), 11-65),

$$f_H = \frac{1}{2\pi \times 61.5 \times 10^{-9}} = 2.59\ \text{MHz}$$

El polo dominante está situado en $-p_1$, siendo

$$p_1 = \frac{1}{a_1} = \frac{1}{61.5 \times 10^{-9}} = 1.63 \times 10^7\ \text{rad/s}$$

Es interesante determinar los valores de f_{H1} y f_{H2} del amplificador. Los dos primeros términos para el cálculo de a_1 nos dan a_{11} y los dos últimos nos dan a_{12}. Estos son:

$$a_{11} = 28.9\ \text{ns} \qquad a_{12} = 32.6\ \text{ns}$$

de donde

$$f_{H1} = \frac{1}{2\pi a_{11}} = \frac{1}{2\pi \times 28.9 \times 10^{-9}} = 5.51\ \text{MHz}$$

y

$$f_{H2} = \frac{1}{2\pi a_{12}} = \frac{1}{2\pi \times 32.6 \times 10^{-9}} = 4.88\ \text{MHz}$$

Con estos valores se aprecia la merma de f_H debida a conectar las etapas en cascada (a menos del 60% de f_{H2}, que es el menor de los dos). Sin embargo las ganancias a frecuencia media de las dos etapas son - 100 y -18,5 respectivamente lo que da una ganancia total de 1850. Resulta evidente que la ganancia se ha incrementado en un porcentaje notablemente mayor que el porcentaje de disminución de f_H.

(b) Para hallar la frecuencia angular p_2 del segundo polo deberemos calcular el coeficiente a_2. Con cuatro condensadores hay seis productos de constantes de tiempo en circuito abierto y en cortocircuito; así a_2 puede expresarse

$$a_2 = R_{11}^0 C_1 R_{22}^1 C_1 + R_{11}^0 C_1 R_{33}^1 C_3 + R_{11}^0 C_1 R_{44}^1 C_4 + R_{22}^0 C_2 R_{33}^2 C_3 + R_{22}^0 C_2 R_{44}^2 C_4 + R_{33}^0 C_3 R_{44}^3 C_4$$

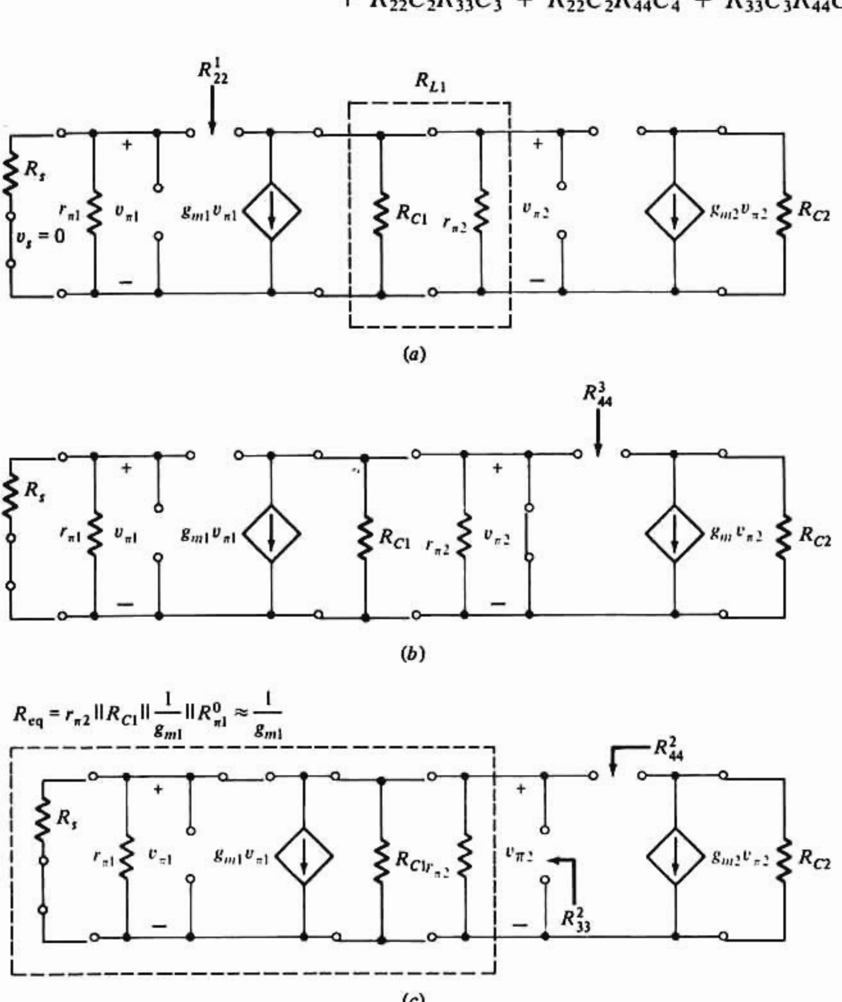


Fig. 11-32. Circuitos equivalentes empleados para calcular, (*a*) R^1_{22}, (*b*) R^3_{44} y (*c*) R^2_{44}.

La relación entre la anterior ecuación y el circuito de la Fig. 11-30*b* indica que sólo se deberán calcular dos términos no identificados anteriormente. En la Fig. 11-30*b* vemos con C_2 en circuito abierto, la parte de circuito que contiene C_1 está desacoplada de la segunda etapa (C_3 y C_4). Las resistencias vistas desde C_3 y C_4 son por tanto independientes de que C_1 este abierto o cerrado. Así, $R^1_{33} = R^0_{33}$ y $R^1_{44} = R^0_{44}$, y los términos segundo y tercero de la expresión de a_2 pueden escribirse

$$R_{11}^0 C_1 [R_{33}^0 C_3 + R_{44}^0 C_4] = R_{11}^0 C_1 a_{12}$$

La resistencia R^1_{22} se calcula a partir del circuito de la Fig. 11-32*a*. Con C_3 y C_4 abiertos, $R^1_{22} = R_{L1}$ es

simplemente el valor de R^1_{22} para la primera etapa cargada. Análogamente cortocircuitando C_3 se separa completamente la primera etapa del cálculo de R^3_{44}, que como se ve en la Fig. 11-32*b* es R_{C2}, y del valor de R^3_{44} para la segunda etapa. Así, el par de términos que contienen R^1_{22} y R^3_{44} son precisamente los coeficientes a_2 de las etapas individuales.

El restánte par de resistencias de cortocircuito se determinan cortocircuitando C_2. Se observa en la Fig. 11-31 que cortocircuitando C_2 se hace que la tensión a través de la fuente $g_{m1}\, v_{\pi 1}$ sea $v_{\pi 1}$. Esta relación *v-i* representa una resistencia $v_{\pi 1}/g_{m1}\, v_{\pi 1} = 1/g_{m1}$ como se aprecia en el circuito de la Fig. 11- 32*c*. Como se ve en esta última figura $1/g_{m1}$ es mucho más pequeño tanto de R_{C1} como de R^0_{11} por lo que la combinación en paralelo de estas resistencias vale aproximadamente $1/g_{m1}$. Para calcular R^0_{33} y R^0_{44} se emplea la Fig 11- 32*c*, salvo que la resistencia de fuente efectiva es $1/g_m$ en lugar de R_{C1} (véase Fig. 11-31). O sea

$$R^2_{33} = r_{\pi 2} \parallel R_{C1} \parallel \frac{1}{g_{m1}} \parallel R^0_{11} \qquad \text{y} \qquad R^2_{44} = R^2_{33}(1 + g_{m2}R_{C2}) + R_{C2}$$

La combinación de todos los términos de los tres párrafos anteriores nos da

$$a_2 = R^0_{11}C_1(R_{L1}C_2 + a_{12}) + R^0_{33}C_3R_{C2}C_4 + R^0_{22}C_2(R^2_{33}C_3 + R^2_{44}C_4)$$

Las resistencias R^2_{33} y R^2_{44} son

$$R^3_{33} = 2.4 \parallel 1.5 \parallel 0.01 \parallel 0.4 = 0.01 \text{ k}\Omega$$
$$R^2_{44} = 0.01(1 + 50 \times 0.6) + 0.6 = 0.91 \text{ k}\Omega$$

Empleando estos valores y los anteriormente determinados en la parte (*a*), tendremos

$$a_2 = 0.40 \times 24.5(0.923 \times 0.5 + 32.6) + 0.923 \times 19.5 \times 0.6 \times 0.5 + 38.2 \times 0.5(0.010 \times 19.5 + 0.91 \times 0.5) = 342 \times 10^{-18} \text{ s}$$

La frecuencia angular del polo es

$$p_2 = \frac{a_1}{a_2} = \frac{61.5 \times 10^{-9}}{342 \times 10^{-18}} = 1.80 \times 10^8 \text{ rad/s}$$

y

$$f_2 = \frac{p_2}{2\pi} = \frac{1.80 \times 10^8}{2\pi} = 28.6 \text{ MHz}$$

Como los polos están separados por un factor mayor de 10, podemos admitir que la aproximación del polo dominante es válida. Esto se comprueba con computación simulada que da $p_1 = 1{,}79\text{x}10^7$ rad/s, $p_2 = 16{,}1\text{x}10^7$ rad/s y los correspondientes valores $f_1 = 2{,}85$ MHz y $f_2 = 25{,}6$ MHz. El error en el cálculo de polo dominante es de cerca del 10% y el valor exacto de f_H es 2,71 MHz. Así pues, $f_H = 1/2\,\pi a_1$ da una aproximación muy ajustada del verdadero valor. Obsérvese además que $f_H = 1/2\,\pi a_1$ es menor que el valor real.

Una observación notable: Las etapas 1 y 2 actuando como amplificadores de una sola etapa tendrían frecuencias de polo de 5,51 y 4,88 MHz respectivamente. Sin embargo a consecuencia del acoplamiento entre las etapas cuando se sitúan en cascada, las dos frecuencias de polos correspondientes de la cascada son aproximadamente 2,59 y 28,6 MHz. Por tanto, uno de los polos se ha acercado al origen y el otro se ha apartado. Muchas veces se emplea esta particularidad para compensar amplificadores operacionales.

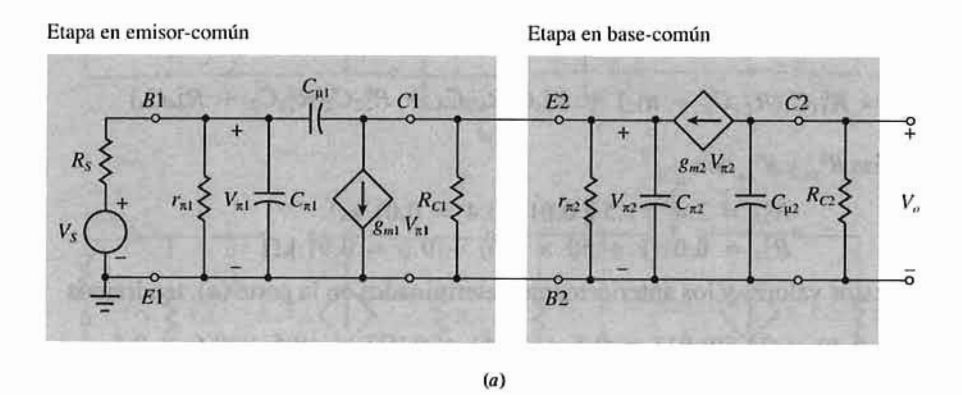
11-11. EL AMPLIFICADOR CASCODO (CE-CB)

El amplificador cascodo (Fig. 10-35) comprende una etapa en emisor común en cascada con una etapa

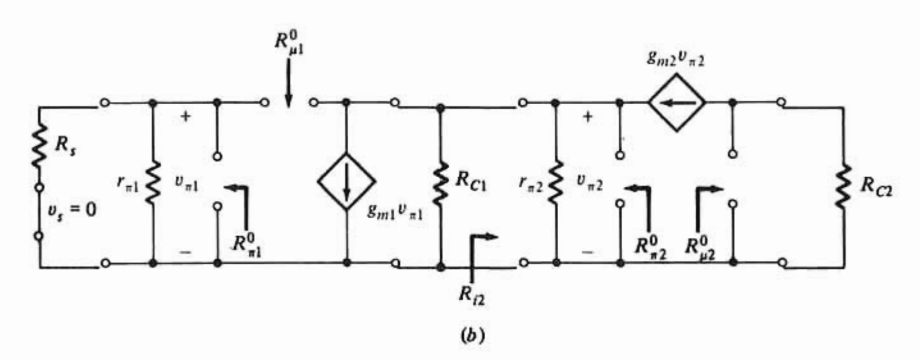
en base común. En la Sec. 10-17 ya vimos que la ganancia en la banda media de esta combinación es prácticamente la misma que la de una etapa en emisor común con la misma resistencia de carga R_{C2} que la etapa en base común. Aquí veremos que la respuesta en frecuencia del conjunto es mayor que la obtenida por la etapa en emisor común correspondiente. Para ello calcularemos el coeficiente a_1 del amplificador cascodo y lo compararemos con a_1 de una etapa en emisor común con una carga R_{C2}.

El circuito equivalente de alta frecuencia del amplificador cascodo está representado en la Fig. 11-33*a* y en la Fig. 11-33*b* lo está el empleado para calcular las resistencias en circuito abierto. Siguiendo el procedimiento señalado anteriormente en esta misma sección, el coeficiente a_1 de la cascada CE-CB es la suma de los a_1 de la etapa en emisor común cargada a_{11} y de la etapa en base común a_{12}. Para la etapa en emisor común

$$a_{11} = R^0_{\pi 1}C_{\pi 1} + [R^0_{\pi 1}(1 + g_{m1}R_{L1}) + R_{L1}]C_{\mu 1} \qquad (11\text{-}66)$$



(*a*)



(*b*)

Figura 11-33. (*a*) Circuito equivalente de alta frecuencia del amplificador cascodo (cascada base-común, emisor-común), (*b*) circuito empleado calcular $R^0_{\pi 1}$ y $R^0_{\mu 1}$.

en donde $R^0_{\pi 1}$ viene dada en la Ec. (11-62) como $R_s \,||\, r_{\pi 1}$. La resistencia R_{L1} es igual a $R_{C1} \,||\, R_{i2}$ siendo R_{i2} la resistencia de entrada de la etapa en base comun. Tal como se describió en la Sec. 10-2 y tal como figura en la Tabla 10-4 la resistencia de entrada $R_i \approx r_\pi/(1+\beta_0)$ de una etapa en base común es extremadamente baja y por tanto también lo es $R_{L1} \approx R_{i2}$. La Ec. (11-66) es aplicable también a la etapa en emisor común correspondiente con R_{C2} como carga. Como $R_{C2} \gg R_{i2}$ vemos que el efecto multiplicador de Miller de $C_{\mu 1}$ en el amplificador cascodo queda muy reducido respecto al de la etapa en emisor común. Esta reducción de la influencia de $C_{\mu 1}$ es lo que mejora la respuesta en frecuencia del amplificador CE-CB.

f_H de la etapa en base común es mayor que en la etapa de emisor común. Como se deduce del Prob. 11-22*a*, el coeficiente de una etapa en base común puede aproximarse por

$$a_{12} \simeq \frac{1}{\omega_T} + C_{\mu 2} R_{C2} \tag{11-67}$$

Con los valores paramétricos normales, el valor de a_{12} en la Ec. (11-67), y por tanto el de f_{H2}, es comparable al de un seguidor de emisor, y su efecto sobre la respuesta global es mínimo.

Ejemplo 11-6

Un amplificador cascodo tiene $R_{C1} = R_{C2} = 1{,}5$ kΩ y $R_s = 300$ Ω. Los transistores son idénticos y tienen $r_\pi = 2$ kΩ, $g_m = 0{,}05℧$, $\beta_0 = 100$, $C_\pi = 19{,}5$ pF, $C_\pi = 0{,}5$ pF y $\omega_T = 2{,}5 \times 10^9$ rad/s. (a) determinar f_H del circuito, (b) determinar f_H de una etapa en emisor común teniendo $R_C = 1{,}5$ kΩ excitada por una fuente con $R_s = 300$ Ω empleando el transistor del que se han dado sus parámetros más arriba. Comparar los resultados con los obtenidos en la parte (a).

Solución

(a) Según la Ec. (11-62) tenemos para la etapa en emisor común

$$R^0_{\pi 1} = 0.30 \parallel 2.0 = 0.261 \text{ k}\Omega$$

De la Tabla 10-3 tenemos para el amplificador en base común

$$R_{i2} = \frac{2.0}{1 + 100} = 0.0198 \text{ k}\Omega$$

y

$$R_{L1} = R_{C1} \parallel R_{i2} = 1.5 \parallel 0.0198 = 0.0195 \text{ k}\Omega$$

Por tanto

$$a_{11} = 0.261 \times 19.5 + 0.5[0.261(1 + 50 \times 0.0195) + 0.0195] = 5.36 \text{ ns}$$

Para la etapa en base común la Ec. (11-67) da

$$a_{12} = \frac{1}{2.5} + 0.5 \times 1.5 = 1.15 \text{ ns}$$

O sea

$$a_1 = a_{11} + a_{12} = 5.36 + 1.15 = 6.51 \text{ ns}$$

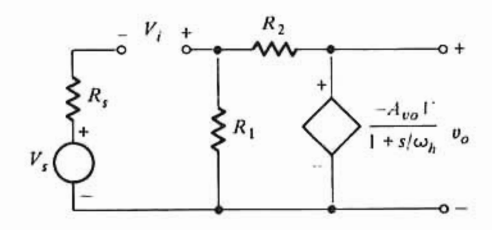


Figura 11-34. Etapa no inversora empleando un Amp-Op representado como de un solo polo dominante en $s = -\omega_h$.

y

$$f_H = \frac{1}{2\pi a_1} = \frac{1}{2\pi \times 6.51 \times 10^{-9}} = 24.4 \text{ MHz}$$

(b) Para la etapa en emisor común equivalente

$$a_1 = 0.261 \times 19.5 + 0.5[0.261(1 + 50 \times 1.5) + 1.5] = 15.8 \text{ ns}$$

y

$$f_H = \frac{1}{2\pi a_1} = \frac{1}{2\pi \times 15.8 \times 10^{-9}} = 10.1 \text{ MHz}$$

Evidentemente el amplificador cascodo tiene un valor de f_H mayor que la etapa en emisor común. Si la resistencia de carga R_{C2} se acrecienta (por ej. a 5 kΩ) la mejora de f_H es aún más fuerte (18,7 MHz para el cascodo y 3,82 MHz para la etapa en emisor común).

11-12. EL AMPLIFICADOR OPERACIONAL A ALTA FRECUENCIA

Los amplificadores operacionales prácticos, son frecuentemente la cascada de un amplificador diferencial, etapa en emisor común y seguidor de emisor (Sec. 10-18) diseñados de forma que su respuesta en alta frecuencia esté caracterizada por un solo polo dominante. Así, su ganancia A_v es

$$A_v(s) = \frac{A_{vo}}{1 + s/\omega_h} \tag{11-68}$$

siendo A_{v0} la ganancia (en la banda media) y ω_h la frecuencia angular del polo dominante. El producto ganancia-ancho de banda del Amp-Op es $A_{v0}\,\omega_h$ (Sec. 11-3). Seguidamente determinaremos la frecuencia superior de 3 dB de las etapas básicas inversora y no inversora. Para fijar la atención sobre el efecto del polo dominante trataremos el amplificador operacional como ideal en todos los aspectos excepto en que la ganancia viene dada por la Ec. (11- 68).

La etapa no inversora

La Fig. 11-34 representa el modelo de la etapa no inversora en la que la fuente gobernada muestra la variación de frecuencia. La ganancia A_V de esta etapa es la dada por la Ec. (10-10) que con $R_0 = 0$ y A_v dado en la Ec. (11-68) resulta

$$A_{VH}(s) = \frac{A_{vo}(R_1 + R_2)/(1 + s/\omega_h)}{R_1[1 + A_{vo}/(1 + s/\omega_h)] + R_2} \tag{11-69}$$

Simplificando fracciones, y reagrupando términos se puede escribir

$$A_{VH}(s) = \frac{A_{vo}(R_1 + R_2)}{R_1(1 + A_{vo}) + R_2} \frac{1}{1 + \{s(R_1 + R_2)/\omega_h[R_1(1 + A_{vo}) + R_2]\}}$$

$$= \frac{A_{VO}}{1 + s/\omega_H} \tag{11-70}$$

de donde

$$A_{VO} = \frac{A_{vo}(R_1 + R_2)}{R_1(1 + A_{vo}) + R_2} \qquad \omega_H = \frac{\omega_h[R_1(1 + A_{vo}) + R_2]}{R_1 + R_2} \tag{11-71}$$

El producto ganancia-ancho de banda de la etapa $A_{VO}\,\omega_H$ igual que $A_{v0}\,\omega_h$ y puede observarse en el diagrama de Bode de la Fig. 11-35. Normalmente los fabricantes ya especifican el valor de ese producto (como frecuencia de 3 dB de ganancia unidad). En consecuencia, en un Amp-Op con un producto ganancia-ancho de banda de 1 MHz, una etapa no inversora con una ganancia 20 tiene un ancho de banda $f_H = 1/20$ MHz = 50kHz.

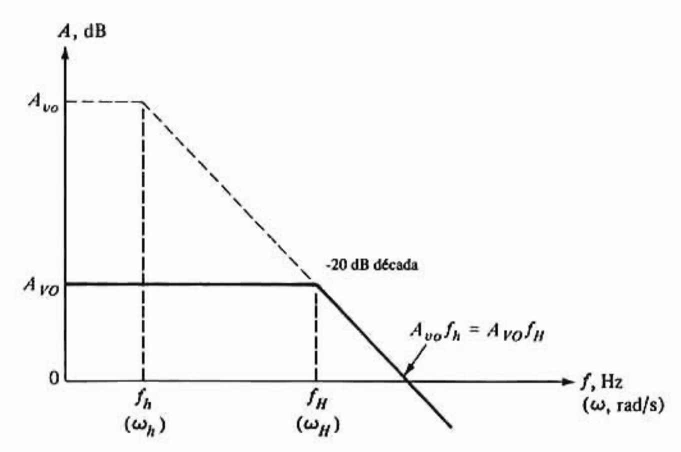


Figura 11-35. Diagrama asintótico de Bode para la etapa amplificadora de la Fig. 11-34.

Como la ganancia A_{VO} viene fijada por la relación de resistencias R_2/R_1, tanto la ganancia como el ancho de banda de un Amp-Op dado quedan especificados una vez seleccionada dicha relación.

Siendo A_{v0} grande ($\simeq 10^5$) se pueden aproximar A_{v0} y f_H resultando

$$A_{VO} \simeq 1 + \frac{R_2}{R_1} \qquad f_H \simeq f_h \frac{A_{vo}}{A_{VO}} \tag{11-72}$$

Obsérvese en la Ec. (11-72) la relación explícita de f_H con el producto ganancia-ancho de banda y la ganancia en la banda media de la etapa. Los Amp-Op típicos tienen $A_{V0} \simeq 10^5$ y un producto de unos pocos megahertz. Por tanto, podemos afirmar que la frecuencia f_h del polo dominante es más bien baja (normalmente entre 5 y 100 Hz).

La etapa inversora

El análisis de la etapa inversora es como el de la etapa no inversora que acabamos de describir. Los resultados (Prob. 11-46) vienen dados en las Ecs. (11-73) y (11-74)

$$\begin{aligned} A_{VH}(\mathrm{s}) &= \frac{A_{vo}}{1 + s/\omega_H} \\ &= \frac{-A_{vo}R_2}{R_1(1 + A_{vo}) + R_2}\,\frac{1}{1 + \{s(R_1 + R_2)/\omega_h[R_1(1 + A_{vo}) + R_2]\}} \end{aligned} \tag{11-73}$$

Obsérvese que el valor de ω_H en la Ec. (11-73) es idéntico al de la etapa no inversora. Así pues, para unos valores dados de R_1 y R_2 las etapas inversora y no inversora en Amp-Op idénticos tienen el mismo ancho de banda.

Para A_{V0}>>1, la Ec. (11-73) se reduce a

$$A_{VO} = -\frac{R_2}{R_1} \qquad f_H = \frac{A_{v0} f_h}{1 + |A_{VO}|} \tag{11-74}$$

Obsérvese que el producto ganancia-ancho de banda de la etapa inversora no es igual a $A_{v0} f_h$. A valores iguales de A_{VO} la etapa no inversora tiene un ancho de banda más amplio. La razón de esta diferencia quedará aclarada al estudiar la respuesta en frecuencia de amplificadores realimentados (Cap. 13).

11-13. EL EFECTO DE LOS CONDENSADORES DE ACOPLAMIENTO Y DE PASO

En las ocho Secciones precedentes se ha tratado de la respuesta en alta frecuencia de los amplificadores. Casi todos los circuitos llamados de componentes discretos emplean condensadores de acoplamiento y de paso (*bypass*). (Algunos amplificadores integrados también emplean condensadores de acoplamiento.) Anteriormente ya se ha demostrado que estas capacidades afectan a los amplificadores a baja frecuencia y es en este campo de frecuencia en el que estamos interesados en esta Sección. En la Fig. 11-36 vemos el circuito equivalente de una etapa en emisor común conteniendo un condensador de paso C_E y otro de acoplamiento C_B. Obsérvese que éste es el modelo de la etapa amplificadora de la Fig. 10-12 para la que C_B de la Fig. 11-36 es C_{B1}. Aquí no tomamos en consideración C_{B2} ya que representa el condensador de acoplamiento entre la salida de esta etapa y la entrada de la siguiente. Por tanto sus efectos se incluyen en el análisis en baja frecuencia de la segunda etapa.

Cada uno de los dos condensadores C_B y C_E influyen sobre el funcionamiento a baja frecuencia. En primer lugar supongamos que C_E cumpla perfectamente su misión de paso respecto a R_E, es decir, que C_E actúa como un cortocircuito (alternativamente, se supone C_E infinito). Para este circuito tenemos un condensador C_B y por tanto la función de transferencia tiene un polo en la inversa de la constante de tiempo del circuito. La ganancia es cero con continua ($s = j\omega = 0$) ya que C_B está en circuito abierto haciendo I_b V_π y por tanto $V_0 = 0$. La resistencia equivalente $R^E{}_B$ en el lazo de base es $R_S + r_\pi$. Obsérvese que estamos empleando la notación de la Sección anterior ya que $R^E{}_B$ es la resistencia vista por C_B cuando C_E está cortocircuitado.

Como

$$I_b = V_s/(R_B^E + 1/sC_B),\ V_\pi = r_\pi I_b \ \text{ y } \ V_o = -g_m V_\pi R_C,$$

la función de transferencia puede expresarse

$$A_{VL}(s) = \frac{A_{VO} s R_B^E C_B}{1 + s R_B^E C_B} = \frac{A_{VO} s/2\pi f_{LB}}{1 + s/2\pi f_{LB}} \tag{11-75}$$

siendo

$$f_{LB} = \frac{1}{2\pi R_B^E C} = \frac{1}{2\pi(R_s + r_\pi)C_B} \tag{11-76}$$

A_{VO} se obtiene en la Ec. (11-75) para $s = j\omega \rightarrow \infty$, es decir, a frecuencias en las que C_B actúa como un cortocircuito proporcionando un acoplamiento ideal. El diagrama de Bode de la Ec. (11-75) tiene la forma vista en la Fig. 11-5.

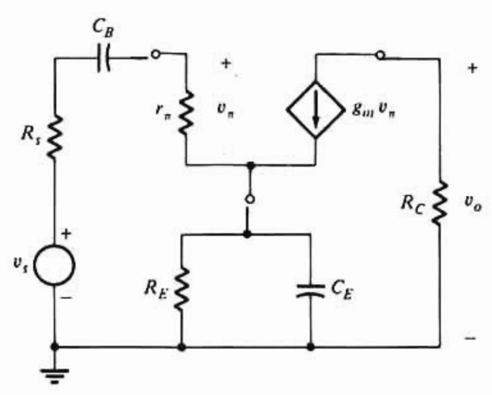


Figura 11-36. Representación en baja frecuencia de una etapa en emisor común de componentes discretos incluyendo los condensadores de acoplamiento y de paso.

Veamos ahora cuáles son los efectos de C_E cuando C_B supone un acoplamiento ideal. Como se ve en la Fig. 11-36 el circuito tiene un condensador C_E y la función de transferencia tiene un solo polo en $1/C_E R^B{}_E$ siendo $R^B{}_E$ la resistencia vista por C_E con C_B en cortocircuito. Podemos esperar un cero en la función de transferencia. Este cero tiene lugar en $s = z_1$ con lo que $Z_E \to \infty$ (circuito abierto) haciendo I_b, V_π y $V_0 = 0$. La impedancia Z_E es $R_E \;||\; 1/sC_E = R_E/(1 + sR_E C_E)$ que se hace infinito cuando $sC_E R_E = -1$. Así,

$$z_1 = \frac{1}{R_E C_E} = \omega_E \tag{11-77}$$

La resistencia equivalente es idéntica a la resistencia de salida R'_0 de un seguidor de emisor (véase Fig. 10-23). Por tanto, la función de transferencia es

$$A_{VL}(s) = \frac{A_{VO}\,(R_E^B/R_E)\,(1 + s/\omega_E)}{1 + sR_E^B C_E} \tag{11-78}$$

siendo

$$R_E^B = \frac{R_E(R_s + r_\pi)/(1 + \beta_o)}{R_E + (R_s + r_\pi)/(1 + \beta_o)} \tag{11-79}$$

El polo tiene lugar en $s = -p_1 = -1/R^B{}_E C_E$ y como $R^B{}_E \ll R_E$ (recuérdese que R'_0 del seguidor de emisor es baja) la frecuencia p_1 del polo es mucho mayor que ω_E. Así pues, para frecuencias próximas a p_1 el diagrama de Bode de la Ec. (11-78) es el que aparece en la Fig. 11-5. La frecuencia inferior de 3 dB f_{LE} es

$$f_{LE} = \frac{p_1}{2\pi} = \frac{1}{2\pi C_E\left[\dfrac{R_E(R_s + r_\pi)/(1 + \beta_o)}{R_E + (R_s + r_b)/(1 + \beta_o)}\right]} \tag{11-80}$$

La respuesta compıeta en baja frecuencia

Tanto C_E como C_B afectan a la respuesta en baja frecuencia. Si consideramos simultáneamente ambos condensadores esperamos una función de transferencia con dos polos y dos ceros. La función de transferencia resultante (Prob. 11-51) es

$$A_{VL}(s) = \frac{A_{VO}\,(s/\omega_B)\,(1 + sR_E C_E)}{1 + a_1 s + a_2 s^2} = \frac{A_{VO}\,(s/\omega_B)\,(1 + s/z_1)}{(1 + s/p_1)\,(1 + s/p_2)}$$

siendo

$$\left.\begin{aligned} a_1 &= R_E^0 C_E + R_B^0 C_B = R_E C_E + [R_s + r_\pi + (1 + \beta_o)R_E]C_B \\ a_2 &= R_E^0 C_E R_B^E C_B = R_B^0 C_B R_E^B C_E = R_E C_E (R_s + r_\pi) C_B \end{aligned}\right\} \tag{11-82}$$

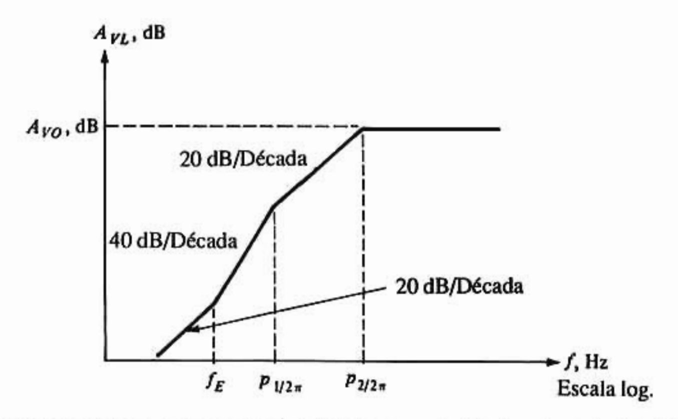


Figura 11-37. Diagrama asintótico de Bode de la respuesta en baja frecuencia del circuito de la Fig. 11-32.

La Fig. 11-37 representa la forma del diagrama asintótico de Bode de la Ec. (11-81) suponiendo $z_1 < p_1 < p_2$. Nuevamente se observa que la banda media tiene lugar con ω elevado. Así, la frecuencia inferior de 3 dB está relacionada con el polo más alejado del origen, es decir con la mayor frecuencia de polo (p_2). Valiéndonos de la aproximación de p_2 de la Ec. (11-24) tendremos

$$p_2 = \frac{a_1}{a_2} = \frac{R_E^0 C_E + R_B^0 C_B}{R_E^0 C_E R_B^E C_B}$$

que después de sustituir R^0_E, R^0_B y R^E_B y dividiendo nos da

$$p_2 = \frac{1}{(R_s + r_\pi)C_B} + \frac{1}{\dfrac{C_E R_E (R_s + r_\pi) / (1 + \beta_o)}{R_E + (R_s + r_\pi) / (1 + \beta_o)}} \tag{11-83}$$

comparando las Ecs. (11-76) y (11-80) con los términos de la Ec. (11-83) resulta

$$p_2 = \frac{1}{R_B^E C_B} + \frac{1}{R_E^B C_E} = 2\pi(f_{LB} + f_{LE}) \simeq 2\pi f_L \tag{11-84}$$

donde f_{LB} y f_{LE} son las frecuencias de 3 dB asociadas con C_B y C_E respectivamente [Ecs. (11-76) y (11-80)]. La frecuencia f_L es (aproximadamete) la inferior de 3 dB del circuito.

El resultado de la Ec(11-84) se puede extender a circuitos con más de dos condensadores como indica la Ec. (11-85):

$$2\pi f_L \simeq p_N = \sum_{K=1}^{N} \frac{1}{R_{KK}^{\infty} C_K} = 2\pi \sum_{K=1}^{N} f_{LK} \tag{11-85}$$

La resistencia R_{KK}^{∞} se define como la resistencia vista por C_K cuando todos los demás condensadores están en cortocircuito. Así, la frecuencia inferior de 3 dB puede hallarse aproximadamente sumando simplemente las frecuencias inferiores de 3 dB atribuidas a cada uno de los condensadores del circuito.

Ejemplo 11-7

Una etapa amplificadora de un transistor tiene $R_E = R_C = 1{,}5$ kΩ, $R_s = 600$ Ω y los parámetros del

transistor $\beta_0 = 100$ y $r_\pi = 1{,}0$ kΩ. (a) Determinar los valores de C_B y C_E necesarios para tener $f_L = 50$ Hz. Supóngase que ambos condensadores contribuyen por igual en f_L. (b) Con el resultado anterior determinar el cero introducido por C_E.

Solución

(a) Para una f_L global igual a 50 Hz, $f_{LB} = f_{LE} = 25$ Hz. Mediante las Ecs. (11-76) y (11-80) se tiene

$$f_{LB} = 25 = \frac{1}{2\pi(0.6 + 1.0)C_B} \qquad \text{o} \qquad C_B = 3.98\ \mu\text{F}$$

$$f_{LE} = 25$$

$$= \frac{1}{2\pi C_E\{[1.5(0.6 + 1.0)/(1 + 100)]/[1.5 + (0.6 + 1.0)/(1 + 100)]\}}$$

$$\text{o} \qquad C_E = 406\ \mu\text{F}$$

(*b*) De la Ec. (11-66), $f_E = \omega_E/2\pi = 1/2\pi R_E C_E = 1/(2\pi \times 1.5 \times 0.406) =$ 0.261 Hz.

Los valores hallados en el Ejemplo 11-7 para las capacidades corresponden a la situación típica existente en la práctica en la que el valor de C_E necesario es mucho mayor que el de C_B. Además, el cero introducido por C_E tiene lugar a frecuencia tan baja, comparada con la deseada de f_L, que su efecto sobre la respuesta en baja frecuencia es prácticamente despreciable. Tanto el tamaño como el coste de los condensadores aumentan al aumentar su capacidad. En consecuencia, al diseñar un amplificador se acostumbra a elegir C_E para satisfacer el valor especificado de f_L. Entonces se elige C_B para que f_{LB} tenga lugar a una frecuencia mucho más baja que f_L. Una buena norma empírica consiste en elegir $f_{LB} \leq f_L/10$. Con los valores del Ejemplo 11-7 esto nos da $C_E = 203$ µF y $C_B \geq 19.9$ µF, haciendo así la capacidad total alrededor de la mitad de la hallada en el Ejemplo 11-7.

Etapas en cascada a baja frecuencia

La frecuencia inferior de 3 dB, f_L de un amplificador en cascada se obtiene fácilmente por extensión del método descrito en la Sec. 11-13 para el amplificador de etapa única. Se puede expresar f_L en la forma original dada en la Ec. (11-85) y reproducida algo alterada en la Ec. (11-86):

$$f_L = \sum_{K=1}^{N} f_{LK} = \frac{1}{2\pi}\sum_{K=1}^{N}\frac{1}{R_{KK}^{\infty}C_K} \qquad (11\text{-}86)$$

Siendo R_{KK}^{∞} la constante de tiempo del circuito cuando todos los demás condensadores están en cortocircuito. Según la Ec. (11-86) resulta evidente que la frecuencia inferior de 3 dB total f_L está relacionada con las frecuencias inferiores de 3 dB de las etapas individuales. Obsérvese que la norma empírica dada inmediatamente después del Ejemplo 11-7 es aplicable también a etapas en cascada a baja frecuencia.

Resumen

La determinación de la ganancia y de las frecuencias superior e inferior de 3 dB de los amplificadores en cascada puede resumirse de la siguiente forma:

1- La ganancia en la banda media es el producto de las ganancias de las etapas individuales.

2- La frecuencia superior de 3 dB, f_H, es la suma de las inversas de las frecuencias superiores de 3 dB, f_{Hi} de las etapas individuales. El valor de cada f_{Hi} es la inversa de la suma de las constantes de tiempo en circuito abierto de la etapa.

3- La frecuencia inferior de 3 dB, f_L, es la suma de las frecuencias inferiores de 3 dB f_{LK} de las etapas individuales. Cada valor de f_{LK} es la suma de las inversas de las constantes de tiempo en cortocircuito de la etapa.

Los valores de f_H y f_L se esbozan utilizando la aproximación del polo dominante lo que generalmente concuerda bien con los valores medidos. Esto resulta muy útil en los cálculos normales realizados en las primeras fases del diseño.

REFERENCIAS

1 Gray, P.R., y R.G. Meyer: "Analysis and Design of Analog Integrated Circuits", 2ª ed., John Wiley and Sons, Nueva York, 1984.

2 Ghausi, M.S.: "Electronic Devices and Circuits: Discrete and Integrated," Holt, Rinehart and Winston, Inc., Nueva York, 1985.

3 Moschytz, G.S.: "Linear Integrated Networks: Fundamentals," Van Nostrand, Reinhold Company, Nueva York, 1974.

4 Cochrun, B.L., y A. Grabel: On the Determination of the Transfer Function of Electronic Circuits, *IEEE Trans. Circuit Theory*, vol. CT-20, pp. 16-20, Enero 1973.

5 Grebene, A.B.: "Bipolar and MOS Analog Integrated Circuit Design," John Wiley and Sons, Nueva York, 1984.

6 Sedra, A.S., y K.C. Smith: "Microelectronic Circuits," Holt, Rinehart and Winston, Inc., Nueva York, 1981.

7 Schilling, D., y C. Belove: "Electronic Circuits-Discrete and Integrated," McGraw-Hill Book Company, Nueva York, 1979.

8 Soclof, S.: "Analog Integrated Circuits," Prentice.Hall, Englewood Cliffs, N.J., 1985.

TEMAS DE REPASO

11-1. Definir la característica de la respuesta en frecuencia de un amplificador.
11-2. Esbozar la respuesta en alta frecuencia de una función de transferencia de un solo polo.
11-3. Definir f_H, frecuencia superior de media potencia.
11-4. Repetir el tema 11-2 para un sistema de paso-alto de un solo polo.
11-5. Definir el ancho de banda.
11-6. (*a*) Esbozar la respuesta a un escalón de un sistema paso-bajo con una sola constante de tiempo.
(*b*) Definir el tiempo de subida t_r.
11-7. (*a*) Definir la inclinación o pendiente.
(*b*) ¿Qué relación hay entre la pendiente y f_L?
11-8. (*a*) Definir f_β.
(*b*) Definir f_T.
(*c*) Escribir una ecuación que relacione f_β con f_T.

11-9. (*a*) Escribir la función de transferencia de un amplificador con tres polos y dos ceros finitos.
(*b*) ¿Bajo que condiciones tendrá este amplificador un polo dominante?

11-10. Los tres polos de un amplificador "todo-polo" estan muy separados
(*a*) Escribir una expresión para la localización aproximada de los polos en función de los coeficientes de la función de transferencia.
(*b*) ¿Cuál es el valor aproximado de f_H?

11-11. Dibujar el circuito equivalente híbrido-π de una etapa en emisor común.

11-12. En una etapa en emisor común, empléese el teorema de Miller para hallar la capacidad de entrada de una etapa en emisor común.

11-13. Definir el producto ganancia-ancho de banda (tensión).

11-14. Dibujar el circuito equivalente de una etapa en fuente común, válido a altas frecuencias.

11-15. Mediante el teorema de Miller obtener un modelo unilateral de una etapa en fuente común a altas frecuencias.

11-16. (*a*) Definir la constante de tiempo en circuito abierto.
(*b*) Escribir una ecuación para el coeficiente a_1, en función de la constante de tiempo en circuito abierto, para un circuito con cuatro condensadores.

11-17. ¿Qué se entiende por resistencia a frecuencia cero R^0_{ii}?

11-18. Expresar cada término del coeficiente a_2 explicando su significado.

11-19. (*a*) Aproximar las dos primeras frecuencias de polo en función de los coeficientes a_1 y a_2.
(*b*) ¿Cuál es, aproximadamente el ancho de banda de 3 dB?

11-20. ¿En qué condiciones es válida la aproximación del tema 11-19?

11-21. Explicar brevemente cómo calcular R^0_{11} y R^1_{22}.

11-22. (*a*) ¿Cuál es mayor: ω_H para una etapa en emisor común o ω_H para una etapa en colector común? Explíquese.
(*b*) Una etapa en emisor común está en cascada con otra en colector común: ¿Cuál es la frecuencia de 3 dB global?

11-23. ¿Cómo afectan los condensadores de acoplamiento y de paso a la respuesta en frecuencia de una etapa amplificadora?

11-24. Escribir una expresión mediante la que se pueda aproximar la frecuencia inferior de 3 dB. Identificar cada término.

11-25. (*a*) ¿Por qué la cascada de etapas aumenta el producto ganancia-ancho de banda de un amplificador?
(*b*) La respuesta al apartado (a) ¿es siempre cierta?

11-26. Comentar las ventajas del amplificador cascodo.

11-27. Relacionar la ganancia en la banda media A_{VO} y la frecuencia a media potencia f_H de una etapa de Amp-Op no inversora con la ganancia en continua A_{v0} y el ancho de banda f_h del Amp-Op.

11-28. Repetir el Tema 11-27 para una etapa inversora.

12

Amplificadores realimentados

La realimentación es uno de los procesos fundamentales en la naturaleza. Es el mecanismo de coordinación entre el ojo y la mano empleado para volver esta página, para controlar y mantener constante la velocidad cuando se conduce un automóvil, para conservar constante la temperatura del cuerpo y para el control natural de población en los ecosistemas. Por realimentación entendemos el proceso mediante el que una parte de la salida se reentra a la entrada para que participe en el sistema de excitación. Esta acción, convenientemente aplicada, tiende a hacer que el sistema se regule automáticamente.

En los capítulos anteriores hemos visto casos en los que se aplica la realimentación a circuitos electrónicos. Se ha empleado por ejemplo para hacer que el punto de trabajo de un transistor resulte insensible a las variaciones de β_F y a las de temperatura (Sec. 10-7). En una etapa en emisor común conteniendo una resistencia de emisor (Sec. 10-14) la realimentación facilitada por R_E ayuda a mantener sensiblemente constante la ganancia al variar β_o. El ancho de banda de la etapa del amplificador operacional (Amp-Op) de la Sec. 11-12 quedó demostrado que es mayor que el ancho de banda del Amp-Op, atribuyéndose el aumento a las resistencias de realimentación R_2 (y R_1). La baja resistencia de entrada y alta de salida del seguidor de emisor (o de fuente) son debidas al efecto de realimentación.

Los ejemplos citados ponen de manifiesto algunas de las ventajas que se pueden derivar del uso apropiado de la realimentación, es decir: el control de los niveles de impedancia y aumento del ancho de banda, además de hacer al circuito relativamente insensible a las variaciones debidas a la fabricación y a los cambios ambientales. Esto último tiene una gran importancia en la electrónica moderna porque permite gobernar el funcionamiento del circuito sin recurrir a componentes de precisión caros (o reduciendo su número).

Los ejemplos citados lo son de realimentación negativa; o sea, que la señal de realimentación de salida a la entrada está desfasada 180º respecto a la excitación aplicada. Así, la señal de entrada al amplificador es proporcional a la diferencia entre las señales de excitación y de salida. Tal como veremos en las subsiguientes secciones, este mecanismo diferenciador es fundamental para establecer los beneficios de la realimentación negativa.

Sin embargo las ventajas de la realimentación van acompañadas de los correspondientes inconvenientes. Para conseguir la desensibilidad en la etapa en emisor común con resistencia de emisor y aumentar el ancho de banda en la etapa del Amp-Op se debe reducir la ganancia por debajo de su valor antes de introducir la realimentación. Puesto que la magnitud y la fase de la ganancia varían con la frecuencia es posible introducir un desfase suficiente que produzca una realimentación positiva. En estas condiciones el amplificador puede perder la estabilidad y engendrar una señal de salida independiente de la entrada (e incluso sin señal de entrada) o dicho de otra forma, puede oscilar. Aun cuando se emplea la realimentación positiva para establecer los dos estados estables de un biestable (FLIP-FLOP) (Sec. 8-1) y para construir circuitos oscilantes, las oscilaciones no deseadas pueden inutilizar un amplificador. Además, frecuentemente los circuitos electrónicos contienen caminos para la realimentación indeseados pero inevitables. Las señales que retroceden por estos caminos pueden deteriorar el funcionamiento normal. El efecto Miller multiplicador de C_μ (o C_{gd}) en amplificadores a transistores con la correspondiente reducción de la

frecuencia superior de 3 dB constituye un ejemplo de realimentación inevitable (y a veces indeseable). A veces se observan efectos semejantes causados por elementos parásitos (tales como la capacidad entre los términales de entrada y de salida de un encapsulado integrado).

En este capítulo se estudiarán los efectos de la realimentación sobre la ganancia del amplificador, distorsión, niveles de impedancia y sensibilidad frente a las variaciones de los parámetros. En particular examinaremos el funcionamiento de los cuatro amplificadores realimentados básicos de un solo lazo, terminando el capítulo con una breve introducción a los amplificadores realimentados de múltiples lazos. En el Capítulo 13 trataremos de la estabilidad y de la respuesta en frecuencia de los amplificadores realimentados.

12-1. CLASIFICACIÓN Y REPRESENTACIÓN DE LOS AMPLIFICADORES

Antes de proseguir con el concepto de realimentación conviene clasificar los amplificadores prácticos basándonos en las fuentes gobernadas para cuya aproximación se han diseñado. Las cuatro grandes categorías de esta clasificación se corresponden con los cuatro tipos de fuentes gobernadas ideales. Cada una de las dos fuentes de tensión y las dos de intensidad, dependientes ya sea de la tensión o de la corriente, tiene una impedancia de entrada cero o infinita y una impedancia de salida también cero o infinita. En consecuencia las impedancias de fuente y de carga no afectan a la relación entrada-salida de estas fuentes ideales. No obstante, los amplificadores prácticos tienen impedancias de entrada y de salida finitas, no nulas. Para clasificar los amplificadores debe tenerse en cuenta la magnitud de los niveles de impedancia del amplificador en relación a las impedancias de carga y de fuente.

El amplificador de tensión

En la Fig. 12-1 se representa el esquema de un amplificador de una etapa o de varias etapas en cascada. Obsérvese la similitud entre este circuito y el de un Amp-Op de la Sección 10-21. La parte correspondiente a la salida (zona sombreada de la Fig. 12-1) representa el equivalente de Thèvenin del amplificador, siendo R_i la resistencia de entrada del mismo[1]. La resistencia R_L es la carga y R_s es la resistencia de la fuente V_s. Si la resistencia de entrada es mucho mayor que R_s, entonces $V_i \approx V_s$. Análogamente, si $R_L >> |R_o|$, $V_o \approx A_v$, $V_i = A_v V_s$. El amplificador da una tensión de salida proporcional a la de entrada y el *factor de propornalidad es independiente de la magnitud de las resistencias de fuente y de carga*. A un circuito como éste

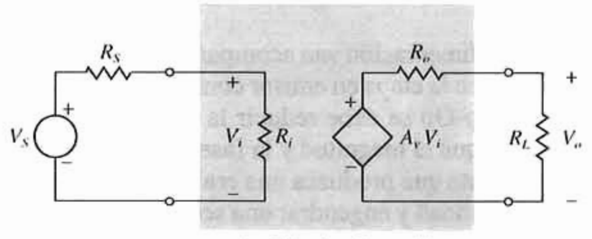


Figura 12-1. Circuito equivalente de un amplificador de tensión.

[1] En las figuras de esta sección se ve la entrada resistiva y las impedancias de salida. El comentario es aplicable igualmente a las impedancias generalizadas Z_i y Z_0 como en la Tabla 12-1.

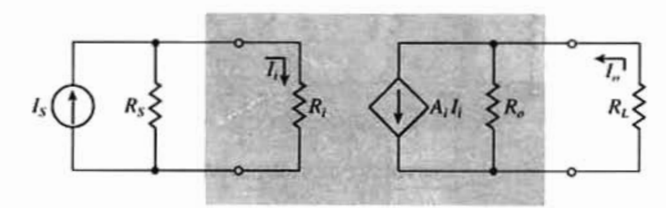
se le denomina *amplificador de tensión* o *convertidor de tensión-tensión* funcionando como fuente de tensión gobernada por tensión. El símbolo A_v de la Fig. 12-1 representa V_o/V_i cuando R_L tiende a infinito, y es por tanto la *ganancia* en circuito abierto.

El amplificador de corriente

Una fuente de corriente ideal gobernada por corriente es unilateral, tiene una resistencia de entrada R_i igual a cero y una resistencia de salida R_o infinita. El *amplificador de corriente* o *convertidor de corriente- corriente* práctico de la Fig. 12-2 se aproxima al funcionamiento ideal cuando $|R_i| << R_s$, de forma que $I_i \approx I_s$ y cuando $R_L << |R_o|$ haciendo $I_o = A_i I_i \approx A_i I_s$. O sea que la corriente de salida es proporcional a la entrada independiente de R_s o R_L. Obsérvese que con $R_L = 0$, $A_i \equiv I_o/I_i$ representa la *ganancia de corriente en cortocircuito*. El circuito de la Fig. 12-2 es análogo al modelo BJT más simple basado en las ecuaciones de Ebers-Moll en las que $I_c = \beta I_b$.

El convertidor Tensión-Corriente o Amplificador de Transconductancia

El convertidor tensión-corriente o amplificador de transconductancia está basado en la fuente ideal de corriente gobernada por tensión. Obsérvese la semejanza entre este tipo de amplificador, representado en la Fig. 12-3 y el modelo híbrido-π unilateral del BJT. Para aproximarse a las características ideales, en el convertidor tensión- corriente práctico $R_s << |R_i|$ y $R_L << |R_o|$. Estas condiciones hacen que $V_i \approx V_s$ e $I_o \approx G_m V_i \approx G_m V_s$ de forma que G_m, el factor de proporcionalidad, es independiente de las resistencias de carga y de fuente. El parámetro $G_m \equiv I_o V_s$, siendo $R_L = 0$, es la conductancia de transferencia en cortocircuito (o simplemente la *transconductancia*). Obsérvese la semejanza de G_m del amplificador completo con la definición de g_m para el transistor.

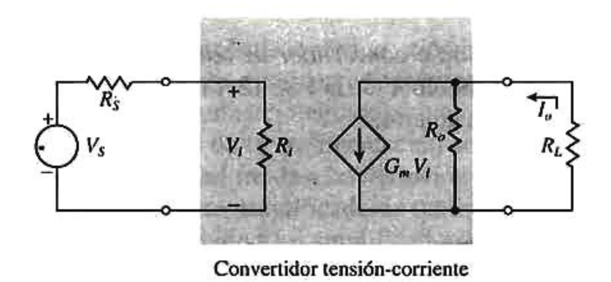


Amplificador de corriente

Figura 12-2. Circuito equivalente de un amplificador de corriente

El convertidor Corriente-Tensión o Amplificador de Transimpedancia

El cuarto tipo de amplificador representado en la Fig. 12-4 se aproxima al funcionamiento de una fuente ideal de tensión gobernada por corriente. Por ser la tensión de salida proporcional a la corriente de entrada, a esta categoría de amplificadores se les denomina de *transimpedancia* o convertidores corriente-tensión. El amplificador práctico debe tener $|R_i| << R_s$ y $|R_o| << R_L$ para aproximarse al ideal, o sea, $I_i \approx I_s$ y $V_o \approx Z_m I_i \approx Z_m I_s$. Al parámetro $Z_m \equiv V_o/I_i$ tendiendo R_L a infinito, se le denomina *impedancia de transferencia en cortocircuito* o simplemente *transimpedancia*. La Tabla 12-1 resume las características de los cuatro tipos de amplificadores.

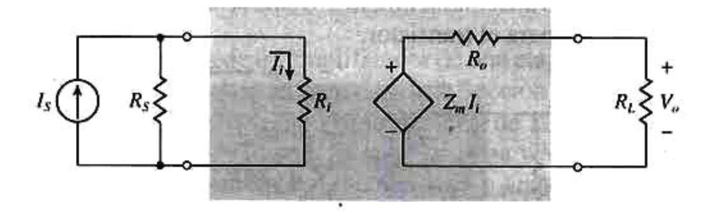


Convertidor tensión-corriente

Figura 12-3. Circuito equivalente de un amplificador de tensión-corriente (transconductancia).

Tabla 12-1. Características del amplificador básico

	Amplificador tipo							
	Tensión		*Corriente*		*Transconductancia*		*Transimpedancia*	
Parámetro	*Ideal*	*Práctica*	*Ideal*	*Práctica*	*Ideal*	*Práctica*	*Ideal*	*Práctica*
Z_i	∞	Alta ; $\lvert Z_i\rvert \gg R_s$	0	Baja; $\lvert Z_i\rvert \ll R_s$	∞	Alta ; $\lvert Z_i\rvert \gg R_s$	0	Baja; $\lvert Z_i\rvert \ll R_s$
Z_o	0	Baja; $\lvert Z_i\rvert \ll R_L$	∞	Alta ; $\lvert Z_o\rvert \gg R_L$	∞	Alta ; $\lvert Z_o\rvert \gg R_L$	0	Baja; $\lvert Z_o\rvert \ll R_L$
Ganancia	$V_o = A_v V_s$	$V_o \approx A_v V_s$	$I_o = A_i I_s$	$I_o \approx A_i I_s$	$V_o = G_m V_s$	$I_o \approx G_m V_s$	$V_o = Z_m I_s$	$V_o \approx Z_m I_s$
Circuito Modelo	Fig. 12-1		Fig. 12-2		Fig. 12-3		Fig. 12-4	



Convertidor corriente-tensión

Figura 12-4. Circuito equivalente de amplificador corriente-tensión (transimpedancia)

12-2. EL CONCEPTO DE REALIMENTACIÓN

En la Sec. 12-1 se han descrito las características de los cuatro tipos básicos de amplificador. La realimentación puede hacer que las características del amplificador práctico se aproximen a las del ideal. De cada amplificador tomaremos una muestra[2] de la señal de salida, a través de una red apropiada, y la reenviaremos a la entrada. En la entrada, la señal de realimentación se combina con la fuente de señal exterior mediante una red sumadora o mezcladora. Esta señal combinada se aplica a la entrada del

[2] En este contexto por «muestra» entendemos una señal continua proporcional a la salida, y no al muestreo periódico empleado para generar una señal discreta en el tiempo.

amplificador práctico como se ve en la Fig. 12-5. Incorporados a la topología del amplificador básico de un solo lazo existen los cinco elementos que forman el sistema de realimentación, que son: las señales de entrada y de salida, el muestreo de la salida, la comparación y el procesado de la señal cotejada por parte del amplificador básico.

La fuente de señal (entrada)

El bloque de la Fig. 12-5 representa la señal que debe ser amplificada. La fuente de señal puede estar modelada como fuente de tensión V_s en serie con R_s o como fuente de corriente I_s en paralelo con R_s.

La señal de salida

La salida puede ser, o bien la tensión a través de la resistencia de carga R_L (o impedancia Z_L) o la corriente en ella. La señal de salida es la que se pretende que sea independiente de la carga e insensible a las variaciones de parámetros en el amplificador básico.

La red de muestreo

La función de la red de muestreo es la de proveer una medición de la señal de salida, es decir, dar una señal que sea proporcional a la salida. En la Fig. 12-6 pueden verse dos redes de muestreo. En la Fig. 12-6*a* se muestrea la tensión de salida conectando la salida de la red de realimentación en paralelo con la carga. Esta configuración se denomina *en paralelo* o *shunt*. La corriente de salida se muestrea como en la Fig. 12-6*b* en la que la salida de la red de realimentación va conectada en *serie* con la carga.

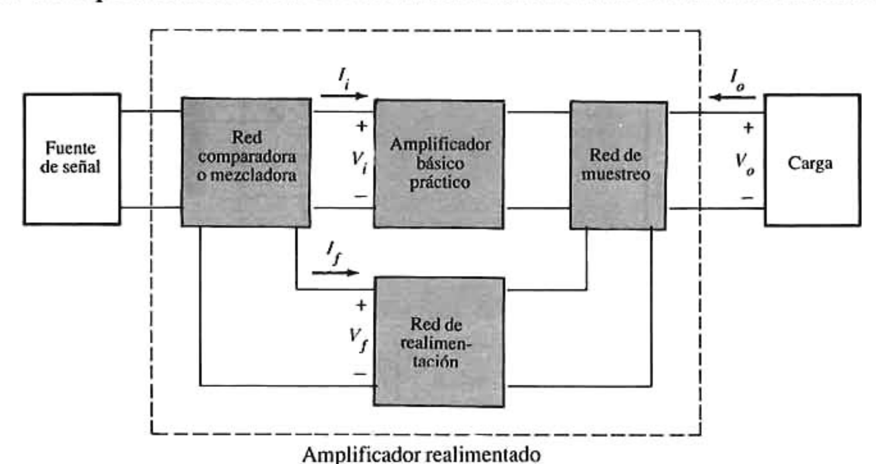


Figura 12-5. Estructura básica de amplificador realimentado de lazo único. El amplificador básico puede ser cualquiera de los cuatro circuitos de las Figs. 12-1 a 12-4.

Los dos circuitos de la Fig. 12-6 tienen iguales señales de salida y de muestreo. Aun cuando esta situación es prevalente, no es indispensable para el funcionamiento correcto. Todo lo que se necesita es que la señal muestreada sea directamente proporcional a la de salida.

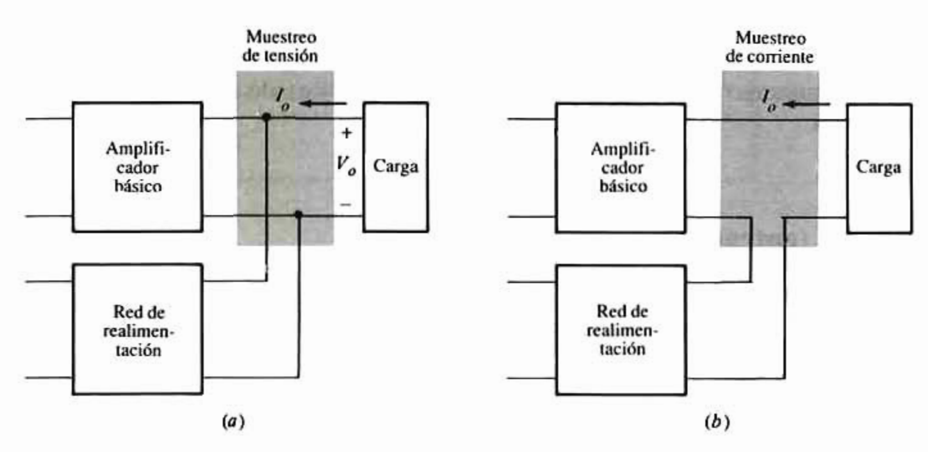


Figura 12-6. Conexiones de la realimentación a la salida del amplificador básico, muestreando la salida de: (*a*) tensión, y (*b*) corriente.

La red de Comparación o Sumadora

En la Fig. 12-7 se han representado dos circuitos muy corrientes empleados para comparar o sumar las señales de entrada y de realimentación. El circuito de la Fig. 12-7*a* tiene conexión *serie* y se emplea para comparar la señal de tensión V_s y la de realimentación V_f. La señal de entrada del amplificador V_i es proporcional a la diferencia V_s - V_f resultante de la comparación. Para comparar, frecuentemente se emplea

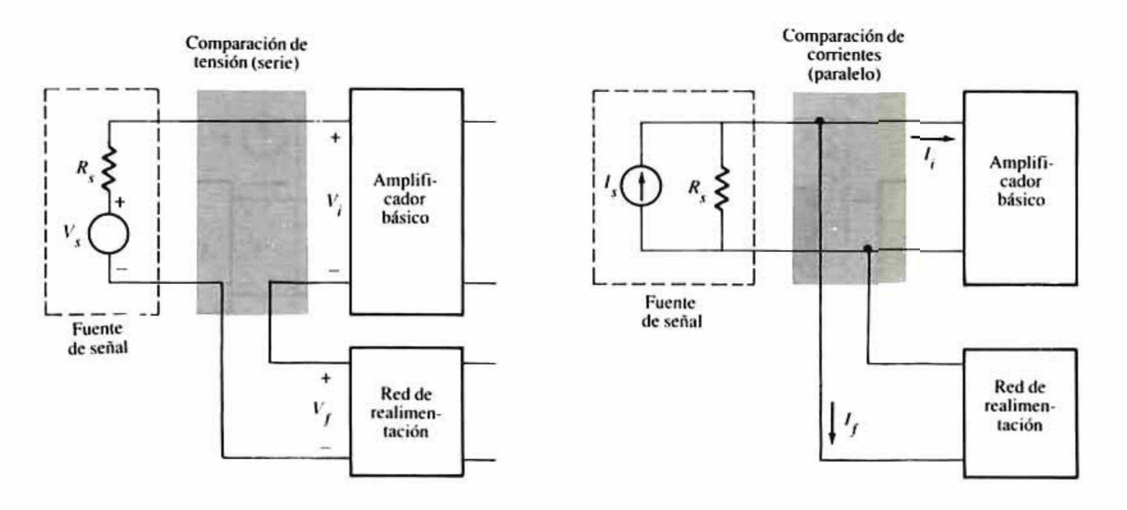


Figura 12-7. Conexiones de la realimentación a la entrada del amplificador básico: (*a*) comparación de tensiones en serie, y (*b*) comparación de corrientes en paralelo.

un amplificador diferencial (Sec. 10-19) ya que su tensión de salida es proporcional a la diferencia existente entre las señales en las dos entradas. La Fig. 12-7*b* corresponde a una conexión en paralelo, en la que se comparan las corrientes de fuente I_s y de realimentación I_f. Obsérvese que la corriente I_i de entrada del amplificador es proporcional a la diferencia I_s - I_f.

La red de realimentación

Este bloque de la Figura 12-5 es normalmente una red pasiva que puede contener resistencias, condensadores e inductancias, aunque lo más frecuente es que sea puramente resistiva. En varias de las clases de circuitos integrados estudiados en la Cuarta Parte, la red de alimentación la forman condensadores o combinaciones de resistencias y capacidades. Una de las funciones de la red de realimentación es la de convertir la muestra de la señal de salida a una forma apropiada para la comparación. Consideremos por ejemplo un amplificador realimentado en el que la salida es una tensión y las corrientes se comparan en la entrada. La transmisión desde la salida hasta la entrada de la red de realimentación debe convertir la tensión de salida en una corriente, en una proporción deseada, en la entrada.

El amplificador básico

El amplificador básico de la Fig. 12-5 es una de las cuatro configuraciones dadas en las Figs. 12-1 a 12-4.

Este circuito amplifica la señal diferencia resultante de la comparación. En un sistema realimentado, este es el proceso responsable de la desensibilidad y del control de la salida.

Consideremos el amplificador realimentado de la Fig. 12-8 en el que el amplificador básico es el amplificador de corriente de la Fig. 12-2. Supongamos que A_i aumente debido quizás al aumento de β_o en uno de los transistores que comprende A_i. El crecimiento de A_i tiende a incrementar la corriente de carga I_0 y por tanto la de realimentación I_f. Despreciando la corriente en R_s la corriente de control $I_i = I_s - I_f$ mengua. Con una excitación reducida, la salida del amplificador tiende a disminuir, lo que compensa el efecto del incremento de A_i. Esta acción es la base de la *realimentación negativa*. Como la red sumadora da una señal diferencia, la entrada al amplificador varía en sentido opuesto a la variación en la salida. El resultado neto es una señal de salida constante independiente de las variaciones de A_i. En la próxima Sección haremos un estudio cuantitativo de la desensibilidad proporcionada por los amplificadores realimentados.

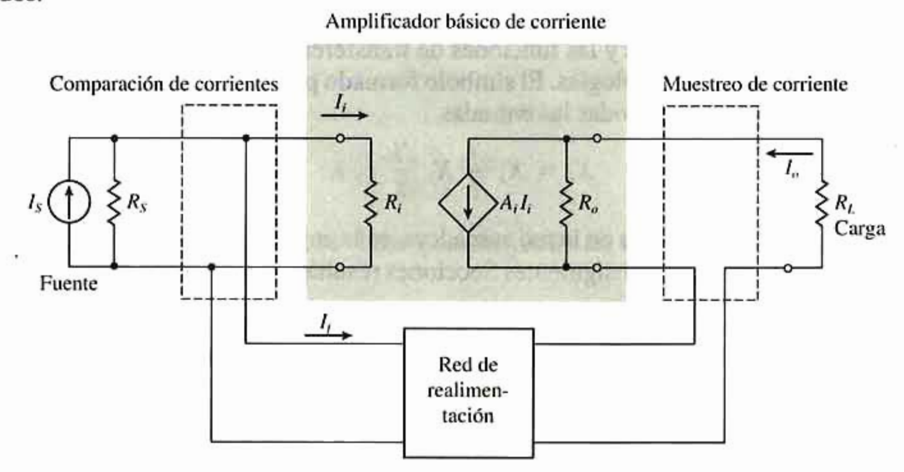


Figura 12-8. Amplificador realimentado con comparador y muestreo de corriente.

Topologías del amplificador realimentado

Existen cuatro tipos de amplificadores básicos, cada uno de ellos con características aproximadas a las

de una fuente gobernada ideal. Tal como es de esperar hay cuatro topologías básicas de amplificador realimentado de un solo lazo, teniendo cada una de ellas la estructura de la Fig. 12-5. Las cuatro configuraciones de realimentación son: paralelo-paralelo (o simplemente paralela), paralelo-serie, serie-paralelo, y serie-serie (o simplemente serie). Estas designaciones corresponden a las conexiones de entrada y de salida respectivamente entre la red de realimentación y el amplificador básico. Por ejemplo, en el amplificador paralelo-serie las entradas de la red de realimentación y del amplificador están conectadas en paralelo y las salidas lo están en serie. Por lo tanto, se comparan corrientes y se muestrea la de salida. Otra forma de nomenclatura se basa en la entidad muestreada y en las conexiones de entrada usadas. Así, la topología *corriente-paralelo* corresponde a una conexión paralelo-serie. De igual forma las topologías *corriente-serie*, *tensión-serie* y *tensión-paralelo* equivalen a las serie-serie, paralelo-serie y paralelo-paralelo respectivamente. Emplearemos las designaciones iniciales ya que son las más usadas en la literatura. Los niveles de impedancia decrecen cuando las redes están conectadas en paralelo y aumentan cuando lo están en serie. Así es de esperar que la configuración paralelo-serie tenga una impedancia de entrada baja y una impedancia de salida alta. Estos niveles de impedancia corresponden al amplificador de corriente de la Fig. 12-2 y Tabla 12-1. En la Sección 12-6 trataremos detalladamente de las características y propiedades de las cuatro topologías citadas.

12-3. EL AMPLIFICADOR REALIMENTADO IDEAL

Las cuatro topologías de amplificador realimentado tienen varias características comunes y todas ellas están representadas por la configuración de la Fig. 12-5. En esta Sección examinaremos los efectos de la realimentación sobre el conjunto de propiedades del amplificador (ganancia, estabilidad, distorsión, etc). Los niveles de impedancia en el amplificador realimentado serán comentados en la Sección 12-5.

Como primer paso hacia un método de análisis que ponga de relieve las ventajas de la realimentación consideremos la representación del amplificador realimentado ideal de la Fig. 12-9. El amplificador básico de la Fig. 12-9*a* puede ser uno cualquiera de los cuatro reseñados en la Tabla 12-1 conectado en una de las cuatro topologías de realimentación descritas en la anterior Sección. La señal de entrada X_s, la de salida X_0, la de realimentación X_f, y la de diferencia (comparación) X_i representan, cada una de ellas, ya sea una tensión o una corriente. Estas señales y las funciones de transferencia A y β las podemos ver resumidas en la Tabla 12-2 para las distintas topologías. El símbolo formado por el anillo representa la red sumadora cuya salida es la suma algebraica de todas las entradas

$$X_i = X_s + X_f \tag{12-1}$$

La señal X_i representando la salida de la red sumadora, es la entrada $\hat{X}_i$ del amplificador. Se introduce el término $\hat{X}_i$ por conveniencia; en subsiguientes Secciones resultará conveniente distinguir entre la señal

Tabla 12-2. Señales y relaciones de transferencia en amplificadores realimentados

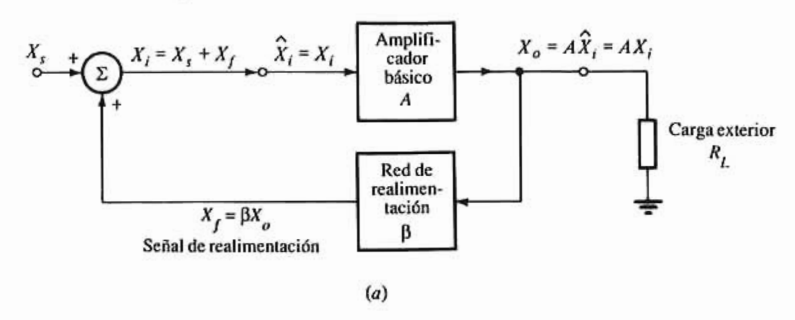
Señal o Relación	*Topología realimentación*			
	Paral- paral	*Paral- serie*	*Serie- serie*	*Serie-paral*
X_o	Tensión	Corriente	Corriente	Tensión
X_s, X_i, X_f	Corriente	Corriente	Tensión	Tensión
A	V_o/I_i	I_o/I_i	I_o/V_i	V_o/V_i
β	I_f/V_o	I_f/I_o	V_f/I_o	V_f/V_o

de comparación y la de entrada al amplificador. Si la señal de realimentación X_f está desfasada 180° respecto a la de entrada X_s como es el caso en sistemas con realimentación negativa, entonces X_i es una señal diferencia. Es decir, que X_i disminuye al crecer $|X_f|$.

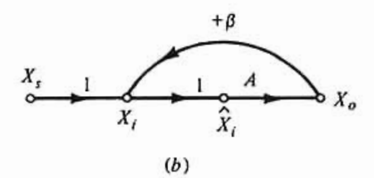
La transmisión inversa de la red de realimentación β está definida por

$$\beta \equiv \frac{X_f}{X_o} \tag{12-2}$$

La relación de transferencia β frecuentemente es un número real, pero en general es función de la frecuencia. (No debe confundirse este símbolo con el empleado para la ganancia de corriente de cortocircuito en emisor común.)



(*a*)



(*b*)

Figura 12-9. Modelo de amplificador realimentado ideal: (*a*) diagrama de bloques; (*b*) recorrido de la señal.

La ganancia del amplificador *A* es

$$A \equiv \frac{X_o}{\hat{X}_i} = \frac{X_o}{X_i} \tag{12-3}$$

La ganancia con realimentación A_F se obtiene sustituyendo las Ecs. (12-1) y (12-2) en la (12-3), y es

$$A_F \equiv \frac{X_o}{X_s} = \frac{A}{1 - A\beta} \tag{12-4}$$

La ganancia *A* en las Ecs. (12-3) y (12-4) representa la función de transferencia sin realimentación. Si β = 0, eliminándose la señal de realimentación, no existirá realimentación y la Ec. (12-4) se reduce a la (12-3). Frecuentemente a *A* se le denomina *ganancia a lazo abierto* (β = 0) y se designa A_{OL}. Cuando β ≠ 0 existe un lazo de realimentación y A_F es la *ganancia a lazo cerrado*.

Si $|A_F| < |A|$ la realimentación se llama *negativa*: Si $|A_F| > |A|$ *es positiva* (*regenerativa*). Vemos que en el caso de realimentación negativa, $|1 - A\beta| > 1$. [Ec. (12-4)].

Relación de retorno o ganancia del lazo

La señal $\hat{X}_i$ de la Fig. 12-9*a* se multiplica por A al pasar a través del amplificador, y por β en la transmisión a través de la red de realimentación. Esta trayectoria parte de la entrada del amplificador recorriendo el lazo formado por el amplificador y la red de realimentación. El producto $-A\beta$ es la *ganancia del lazo* o *relación de retorno* T. La Ec. (12-4) puede escribirse en función de A_{OL} y T de la siguiente forma

$$A_F = \frac{A}{1 - A\beta} = \frac{A_{OL}}{1 + T} \qquad (12\text{-}5)$$

Para realimentación negativa, $-A\beta = T > 0$.

Podemos interpretar físicamente la relación de retorno considerando la señal de entrada $X_s = 0$ y el trayecto entre X_i y $\hat{X}_i$ abierto. Si ahora se aplica una señal $\hat{X}_i$ a la entrada del amplificador tendremos $X_i = X_f = A\,\beta$ o sea

$$T = -A\beta = -\left.\frac{X_i}{\hat{X}_i}\right|_{X_s = 0} \qquad (12\text{-}6)$$

La relación de retorno resulta ser la negativa de la relación entre la señal de realimentación y la entrada al amplificador. A veces a $F = 1\text{-}A\beta = 1 + T$ se le denomina diferencia de retorno. Si consideramos una realimentación negativa, tanto F como T son mayores de cero (números positivos).

El gráfico del itinerario de la señal en la Fig. 12-9*b* describe la misma relación dada en las Ecs. (12-2) y (12-3). La transmitancia A representa el amplificador de la Fig. 12-9*a* y la rama β expresa la transmisión inversa a través de la red de realimentación. El cálculo de $A_F = X_o/X_s$ por reducción nos da la Ec. (12-4). Con $X_s = 0$ se distingue bien el lazo formado por A y por β. En adelante emplearemos la representación gráfica de recorridos del sistema para facilitar el concepto de circuitos prácticos.

Supuestos fundamentales

En la representación del amplificador realimentado ideal de la Fig. 12-9 van implícitas tres condiciones que conducen a la fórmula para A_F en las Ecs. (12-4) y (12-5):

1. La señal de entrada se transmite a la salida a través del amplificador A y *no* por la red de realimentación β. Así, si se desactiva el amplificador haciendo $A = 0$ (por ejemplo reduciendo a cero g_m del transistor) la señal de salida debe hacerse cero. Este supuesto es equivalente a decir que la *red de realimentación es unilateral*.

2. La señal de realimentación se transmite desde la salida hasta la entrada *sólo* a través de la red de realimentación. Es decir, el *amplificador A es unilateral* y *sólo transmite desde la entrada a la salida.*

3. La relación de transferencia β es independiente de las resistencias de fuente y de carga R_s y R_L (Fig. 12-8).

Los dispositivos prácticos sólo cumplen aproximadamente estas condiciones. Por ejemplo, la red de realimentación, normalmente consta de elementos pasivos (R, C, L) y por tanto transmiten una señal desde la entrada hasta la salida. Análogamente, tanto A como β están afectados por las resistencias de carga y de fuente. Estas desviaciones respecto al ideal se pueden incluir en un análisis aproximado que resulta válido para la mayor parte de circuitos prácticos. Recordemos las aproximaciones hechas en cada una de las configuraciones de amplificadores estudiadas. Además, en la Sec. 12-8 formularemos un procedimiento más general de análisis de amplificadores realimentados ideales.

12-4. PROPIEDADES DE AMPLIFICADORES CON REALIMENTACIÓN NEGATIVA

Puesto que la realimentación negativa reduce la ganancia, ¿por qué se emplea? La respuesta es por las varias ventajas que se logran a expensas de perder ganancia. Seguidamente veremos algunas de estas ventajas.

Desensibilidad

La relación de transferencia del amplificador A_F cambia con las variaciones debidas a las tolerancias, sustituciones, temperatura, envejecimiento y otras variables en las características del transistor y de otros componentes del circuito. La función sensibilidad S_x^G (relación entre el cambio fraccional en G y el cambio fraccional en x), tal como se define en la Ec. (12-7) es una forma adecuada para expresar el efecto que las variaciones de x tienen sobre el funcionamiento del sistema G

$$S_x^G \equiv \frac{\Delta G/G}{\Delta x/x} \tag{12-7}$$

Cuando $\Delta x/x << 1$, $\Delta G/G$ es dG/dx y la Ec. (12-7) se convierte en[3]

$$S_x^G \approx \frac{x}{G}\frac{dG}{dx} = \frac{dG/G}{dx/x} \tag{12-8}$$

Un valor de $S_x^G \ll 1$ significa que G es insensible a las variaciones de x ya que $\Delta G/G \ll \Delta x/x$. Por el contrario, si $S_x^G \gg 1$ significa que G es muy sensible a los cambios de x. Un valor de S_x^G aproximadamente igual a la unidad refleja el hecho de que G es directamente proporcional a x y que por tanto los cambios fraccionales de G y de x son virtualmente iguales. Esta situación existe para las variaciones de la relación de retorno T respecto a los cambios de ganancia en el amplificador interno (A_{OL}). Así, $S_T^{A_F}$ indica también la sensibilidad de A_F respecto a las variaciones de la ganancia en el amplificador básico. Esto se demuestra escribiendo la Ec. (12-4) en la forma

$$A_F = \frac{A}{1 - A\beta}\frac{-\beta}{\beta} = -\frac{1}{\beta}\frac{-A\beta}{1 - A\beta} = K\frac{T}{1 + T} \tag{12-9}$$

siendo $K = -1/\beta$. Si en la Ec. (12-9) T varía en ΔT, A_F variará en ΔA_F lo que se puede expresar

$$\Delta A_F = \frac{K(T + \Delta T)}{1 + T + \Delta T} - \frac{KT}{1 + T} = \frac{K\,\Delta T}{(T + \Delta T)(1 + T)}$$

Buscando $\Delta A_F/A_F$ y empleando la Ec. (12-7) tendremos

$$S_T^{A_F} = \frac{1}{1 + T + \Delta T} \tag{12-10}$$

que si $T \gg |\Delta T|$, se convierte en

$$S_T^{A_F} \approx \frac{1}{1 + T} \tag{12-11}$$

3 Cuando G depende de más de una variable, se sustituye la derivada dG/dx por la derivada parcial $\delta G/\delta x$

El resultado de la Ec. (12-11) es exactamente el que se obtiene si para calcular $S_T^{A_F}$ se emplea la Ec. (12-8). La Ec. (12-11) demuestra que se puede hacer que la ganancia en lazo cerrado sea insensible a los cambios de ganancia en el amplificador básico aumentando el valor de T. Por ejemplo, en un amplificador con $T = 49$ una variación en T de $\Delta T = +25$ (aproximadamente un aumento del 50% en la ganancia del amplificador básico) nos da $S_T^{A_F} = 1/(1 + 49 + 25) = 1/75$. Obsérvese que se ha empleado la Ec. (12-10) debido al valor grande de ΔT. El correspondiente cambio fraccional de A_F es, según la Ec. (12-7)

$$\frac{\Delta A_F}{A_F} = \frac{\Delta T}{T} S_T^{A_F} = \frac{25}{49}\frac{1}{75} = 0.0068$$

o sea que A_F varía en aproximadamente un 0,68%. De igual forma, una variación $\Delta T = -25$ (un 50% de pérdida de ganancia) da $S_T^{A_F} = 1/25$ decreciendo A_F un 2%. Un nuevo incremento de T reduce la variación de A_F. Estos valores muestran la eficacia de la realimentación negativa. La ganancia en lazo cerrado A_F se puede gobernar con precisión aun cuando varíe sustancialmente la ganancia del amplificador interno. La insensibilidad (o estabilidad) de la ganancia en lazo cerrado ante las variaciones de la de lazo abierto resultante del incremento de T puede verse en la Ec. (12-9). Cuando $T >> 1$, $T/(1 + T) \approx 1$ y

$$A_F \approx K = -\frac{1}{\beta} \tag{12-12}$$

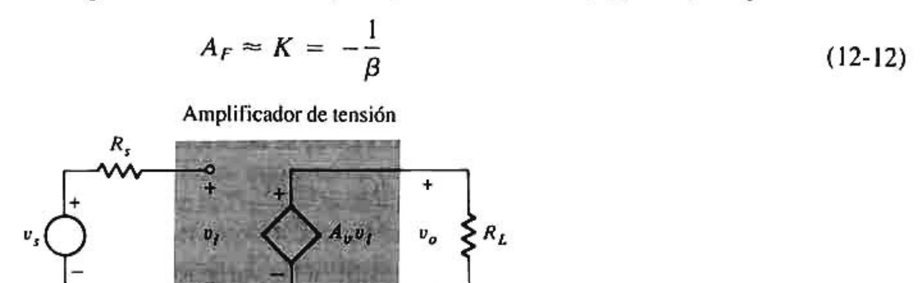


Figura 12-10. Amplificador ideal de tensión

Puesto que β es la función de transferencia de la red de realimentación pasiva corriente, A_F *es esencialmente independiente de la ganancia del amplificador básico, dependiendo sólo de la relación de los componentes pasivos.* Esta es la situación que se encuentra en las etapas inversoras y no inversoras del Amp-Op (Sec. 10-21) en las que la ganancia era proporcional a la relación de resistencias R_2/R_1. Aun cuando lo expuesto es exacto únicamente para variaciones pequeñas de T, la Ec. (12-11) nos da una estimación de la mejora en la sensibilidad; o sea que el cambio porcentual de A_F es igual al cambio porcentual de T dividido por $(1 + T)$. Con los valores numéricos dados antes, el cambio de A_F es del 1% para un cambio del 50% en T. Obsérvese que mientras la Ec. (12-11) indica que $\Delta A_F/A_F$ es igual para cambios positivos o negativos, éste no es el caso para grandes variaciones de T.

Distorsión no lineal

En este Capítulo y en los 10 y 11 se ha supuesto que la etapa amplificadora actuaba linealmente, es decir, en las condiciones de pequeña señal. Sin embargo, si se aplica una señal grande, la característica del amplificador acusa su no linealidad y la onda de salida resulta distorsionada (Fig. 10-2*b*). Con el siguiente razonamiento expondremos el efecto de la realimentación sobre la distorsión no lineal.

El amplificador de tensión de la Fig. 12-10 es ideal en todos los aspectos excepto en que su campo dinámico es limitado. Es decir que las amplitudes de la señal de entrada que pueden adaptarse a un funcionamiento lineal son limitadas. Esto puede verse en la característica de transferencia de tensión de

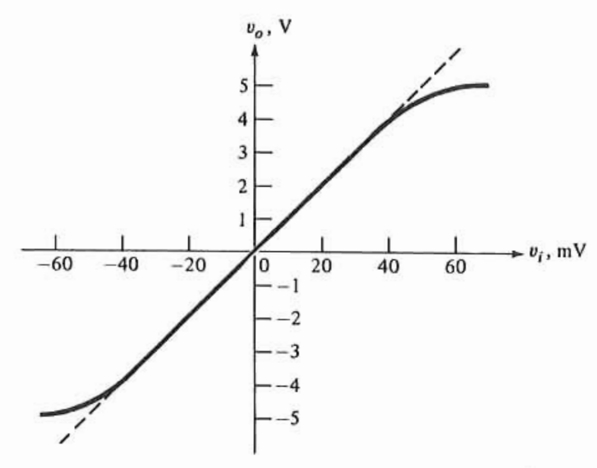


Figura 12-11. Característica de transferencia de tensión del amplificador de la Fig. 12-10.

la Fig. 12-11 que representa la relación entre la señal de salida v_0 y la de entrada v_i. El origen de coordenadas de la figura representa el punto de trabajo, y la pendiente la ganancia de tensión. La línea de trazos de la Fig. 12-11 es la prolongación de la parte lineal de la característica de transferencia ($0 \leq |v_i| \leq 40$ mV) e indica una ganancia de tensión $A_v = 100$. En la región no lineal de la característica $A_v < 100$ llegando a valor cero cuando $|v_i| \geq 60$ mV. (En un amplificador BJT, el segmento horizontal de la Fig. 12-11 en el que $A_v = 0$ corresponde al corte o a saturación.) De la característica de transferencia resulta evidente que las señales de entrada $|v_i| \geq 40$ mV darán una onda de salida distorsionada.

La característica de transferencia de tensión de la Fig. 12-11 puede expresarse analíticamente de la siguiente forma.

$$\left.\begin{aligned} |v_o| &= 100\,|v_i|; \qquad 0 \leq |v_i| \leq 40 \text{ mV} \\ |v_o| &= 100\,(|v_i| - 0.04) - 2500\,(|v_i| - 0.04)^2; \qquad 40 \leq v_i \leq 60 \text{ mV} \\ |v_o| &= 5; \qquad |v_i| > 60 \text{ mV} \end{aligned}\right\} \tag{12-13}$$

En la Tabla 12-2 se identifican algunos puntos representativos de la característica de transferencia.

Tabla 12-2. Valores $|v_0|$ en función de $|v_i|$ según Ec. (12-13)

$|v_o|$, V	1.0	2.0	4.0	4.44	4.75	4.94	5.0
$|v_s| = |v_i|$, mV	10	20	40	45	50	55	60

El amplificador realimentado de la Fig. 12-12 utiliza el amplificador descrito por la Ec. (12-13) y Fig. 12-11. La red de realimentación está diseñada para que $V_f = 0{,}09\ v_0$. La característica de transferencia v_0/v_s del amplificador realimentado se construye calculando los valores de v_s correspondientes a los valores de v_0 y v_i de la Tabla 12-2. La ley de Kirchhoff aplicada a la Fig. 12-12 nos da $v_s = v_i + v_f = v_i + 0.09v_0$

Sustituyendo valores resultan los datos de la Tabla 12-3 de donde se deduce la característica de transferencia de la Fig. 12-13 (trazo continuo).

Tabla 12-3. Valores de $|v_0|$ en función de $|v_s|$ de la Fig. 12-13

$|v_o|$ (V)	1.0	2.0	4.0	4.44	4.75	4.94	5.0
$|v_s|$ (mV)	100	200	400	444	478	500	510
$|v_i|$ (mV)	10	20	40	45	50	55	60

En la Fig. 12-13 se observa que la característica de transferencia es prácticamente lineal en toda la gama de tensiones de entrada. Por tanto, con $v_s \leq 500$ mV no es de esperar que se produzcan distorsiones no lineales.

También se encuentra en la Fig. 12-13 la característica de transferencia vista en la Fig. 12-11. A la vista de estas curvas resulta evidente que el amplificador realimentado tiene menos ganancia ($A_F = 10$). Sin embargo, conectando en cascada dos de estas etapas de amplificador realimentado la ganancia es nuevamente 100, y con $|v_i| \leq 50$ mV la distorsión introducida es mínima.

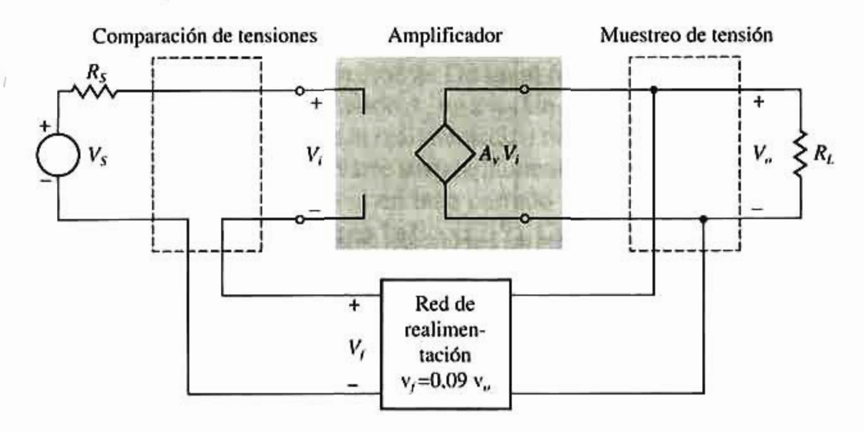


Figura 12-12. Amplificador realimentado con comparador y muestreo de tensión. El amplificador tiene la característica de transferencia de la Fig. 12-11.

En la argumentación anterior hemos supuesto que el amplificador interno era ideal, limitado sólo por la amplitud de la señal que pueda procesar. No obstante, en los amplificadores prácticos continúan siendo válidos los rasgos esenciales citados. Concretamente, la característica de transferencia del amplificador realimentado se aproxima a ser lineal mucho más que la del amplificador básico.

Supongamos que la señal aplicada al amplificador de la Fig. 12-10 es una senoide cuya amplitud se extiende hasta ligeramente por debajo del límite de linealidad (por ejemplo, una senoide de 50 mV de amplitud para la característica de la Fig. 12-11). La relativamente poca distorsión consiste simplemente en un segundo armónico generado en el dispositivo. En la Ec. (12-13) con $|v_i| \geq 40$ mV la tensión de salida v_0 depende de v_i^2, y recordando que $\text{sen}^2\, \omega t = 0{,}5 - 0{,}5 \cos 2\, \omega t$ la salida contiene el segundo armónico. La tensión de distorsión puede considerarse como una fuente de señal exterior v_d aplicada a la salida del amplificador. Ahora se introduce una realimentación negativa y la amplitud de la fuente de señal aumenta (preamplificación) en la misma cuantía en que se reduce la ganancia. Así pues, la tensión de distorsión v_d introducida en la salida del amplificador básico tiene el mismo valor que en el amplificador no realimentado. El gráfico del recorrido de la señal en este sistema puede verse en la Fig. 12-14*a* y su diagrama de bloques en la 12-14*b*.

Por superposición se obtiene:

$$v_o = A_F\, v_s + \frac{v_d}{1 + T} \tag{12-14}$$

Observemos que la distorsión a la salida queda dividida por $(1 + T)$. Como en general T es función de la frecuencia debe calcularse a la frecuencia del segundo armónico. Obsérvese que la reducción de la distorsión en $(1 + T)$ corresponde a la linealización de la característica de transferencia en la Fig. 12-13. La señal aplicada al amplificador realimentado puede ser una señal exterior o ser la salida de un amplificador anterior a la etapa o etapas realimentadas. Para multiplicar por $|1 + T|$ la entrada al amplificador realimentado es necesario, o bien aumentar la ganancia nominal de las etapas

preamplificadoras o bien añadir una etapa más. Para aprovechar todas las ventajas de la realimentación al reducir la distorsión no lineal, estas etapas preamplificadoras no deben introducir ninguna distorsión adicional debida a la mayor salida que se les exige. Como sólo se introducen armónicos apreciables cuando el recorrido de la salida es grande, la mayor parte de la distorsión aparece en la última etapa. Las etapas preamplificadoras tienen menos importancia en cuanto a la generación de armónicos.

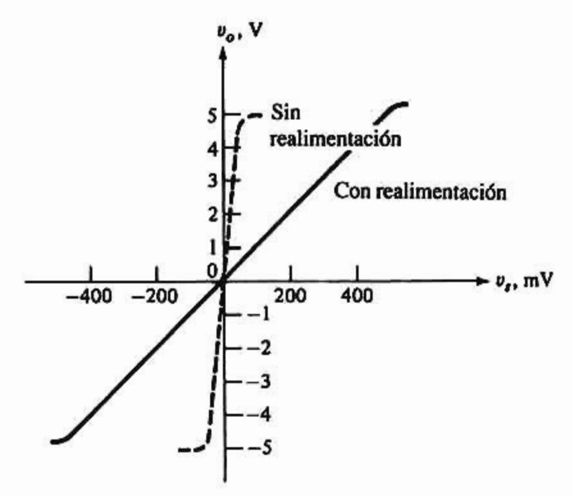


Figura 12-13. Característica de transferencia del amplificador realimentado de la Fig. 12-12.

En la deducción de la Ec. (12-14) se ha supuesto que puede despreciarse la pequeña distorsión adicional que puede surgir del componente de segundo armónico reenviado de la salida a la entrada. Este supuesto conduce a un pequeño error. Además hay que tener en cuenta que los resultados dados por la Ec. (12-14) sólo son aplicables en caso de pequeña distorsión. Para la deducción se ha empleado el principio de superposición, por lo que es necesario que el dispositivo trabaje aproximadamente lineal.

Reducción del ruido

Empleando el mismo razonamiento que en el caso de la distorsión no lineal se puede decir que el ruido introducido en la salida de un amplificador queda dividido por $(1 + T)$ si se utiliza la realimentación. El ruido que se introduce en la entrada equivale a una segunda señal que no queda afectada por la realimentación. Si $(1 + T)$ es mucho mayor que la unidad podría parecer que esto supone una considerable

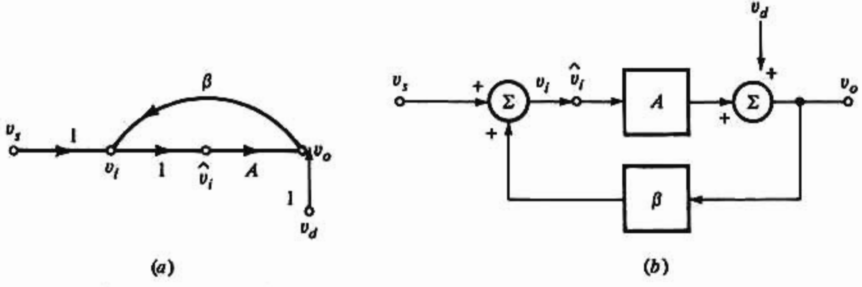


Figura 12-14. Representación de la señal de distorsión v_d aplicada a un amplificador realimentado, sobre: (*a*) el gráfico de recorrido de la señal, y (*b*) el diagrama de bloques.

reducción del ruido de salida. Sin embargo, como se ha visto antes, para una salida dada, la amplificación del preamplificador debe multiplicarse por $(1 + T)$ para una ganancia total prefijada. Como el ruido generado es independiente de la amplitud de la señal puede haber tanto ruido generado en la etapa preamplificadora como en la de salida. Además este ruido adicional será amplificado, al igual que la señal, por el amplificador realimentado, de forma que el sistema completo puede resultar más ruidoso que el amplificador original sin realimentación. Los preamplificadores especiales de bajo ruido se emplean en diversas aplicaciones tales como sistemas estéreo de alta calidad, para aprovechar los beneficios de la realimentación y mejorar la relación señal/ruido. La ganancia adicional necesaria para compensar la que se pierde debido a la realimentación negativa puede conseguirse reajustando los parámetros del circuito mejor que añadiendo una etapa más con el resultado de una reducción definida causada por la presencia de realimentación. En particular el zumbido introducido en el circuito por un suministro de potencia deficientemente filtrado se puede rebajar apreciablemente.

12-5. IMPEDANCIA EN AMPLIFICADORES REALIMENTADOS

En este mismo capítulo ya hemos indicado que se emplea la realimentación para aproximar las características de un amplificador práctico a las de uno ideal. Para ello es necesario que las resistencias (impedancias) de entrada y de salida del amplificador realimentado tengan valores apropiados (Tabla 12-1). Seguidamente examinaremos los efectos de la topología de una realimentación en el amplificador sobre los niveles de impedancia.

Resistencia de entrada

Si la señal de realimentación retorna a la entrada en serie con la tensión aplicada, *la impedancia de entrada aumenta.*[4] Lo dicho es válido independientemente de la conexión de salida. Es decir, que el aumento de la resistencia de entrada tiene lugar en ambas configuraciones: serie-paralelo y serie-serie.

Consideremos el circuito de la Fig. 12-15*a* que representa el circuito de entrada conectado en serie de un amplificador realimentado. La ley de Kirchhoff aplicada al lazo nos da $V_i = V_s + V_f$

La señal de realimentación es $V_f = \beta X_0$ siendo X_0 la señal de salida y $X_0 = AV_i$. Combinando estas fórmulas tendremos

$$V_i = IR_i = \frac{V_s}{1 - A\beta}$$

de donde la resistencia con realimentación R_{IF} es

$$R_{IF} \equiv \frac{V_s}{I} = R_i (1 - A\beta) = R_i (1 + T) \qquad (12\text{-}15)$$

Con $V_f = 0$ (sin realimentación y $\beta = 0$) la resistencia de entrada es simplemente R_i; evidentemente la realimentación ha aumentado la resistencia de entrada. Podemos justificar cualitativamente este resultado de la siguiente forma: Puesto que en un amplificador con realimentación negativa V_f está defasado 180° respecto a V_s, V_i es menor de lo que sería si no existiera V_f. Por tanto $I = V_i/R_i$ decrece, lo que hace crecer la relación V_s/I.

[4] Si bien en este capítulo trataremos sólo de circuitos a frecuencia de la banda media, las relaciones que se deducen son aplicables también a cualquier frecuencia de señal.

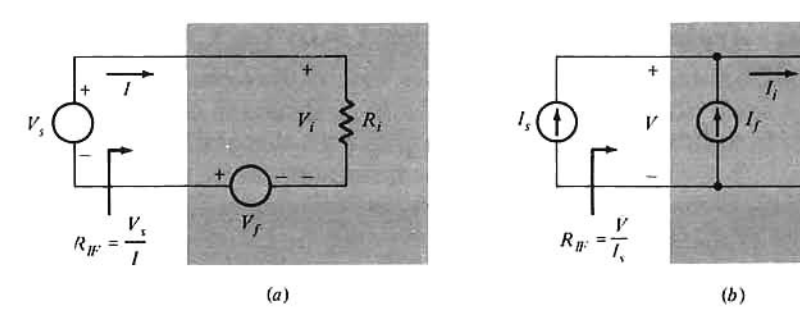


Figura 12-15. Circuitos para calcular la resistencia de entrada a un amplificador realimentado: (*a*) conexión en serie, y (*b*) conexión en paralelo.

Cuando a la entrada de un amplificador con realimentación negativa se emplea una conexión en paralelo, *la impedancia de entrada disminuye* (independiente de la conexión de salida). En la Fig. 12-15*b* se representa la conexión de entrada en paralelo de un amplificador realimentado. En este circuito

$$I_i = I_s + I_f \qquad I_f = \beta X_o; \qquad X_o = AI_i$$

Combinando estas ecuaciones y teniendo en cuenta que $V = I_i R_i$, se llega a

$$R_{IF} \equiv \frac{V}{I_s} = \frac{R_i}{1 - A\beta} = \frac{R_i}{1 + T} \tag{12-16}$$

La Ec. (12-16) indica claramente que la resistencia con realimentación es menor que sin ella cuando se emplea la realimentación negativa ($T > 0$). Tanto la topología paralelo-serie como la paralelo-paralelo acusan este descenso de la impedancia de entrada.

Impedancia de salida

Cuando la salida de un amplificador realimentado está conectada en paralelo, *la realimentación negativa reduce la resistencia de salida* (independientemente de la conexión de entrada). Consideremos el circuito de la Fig. 12-15*a* que representa la conexión de salida en paralelo de un amplificador realimentado. Como estamos considerando un dispositivo ideal, son aplicables los supuestos fundamentales planteados en la Sec.12-3. De esta forma la tensión de salida V_0 se atribuye al amplificador básico AX_i y β es independiente de la resistencia de carga. Podemos calcular la resistencia de salida R_{OF} con el teorema de Thèvenin. (Recordemos que la resistencia de Thèvenin es la de salida e igual a la relación entre la tensión en circuito abierto y la corriente en cortocircuito.)

La tensión en circuito abierto es

$$V_o = \frac{A}{1 - A\beta} X_s$$

Obsérvese que no aparece la señal de entrada X_s pero está implícita. La corriente de cortocircuito se obtiene cortocircuitando los terminales 1 y 2 de la Fig. 12-16*a* y su valor es:

$$I_{sc} = \frac{AX_i}{R_o} = \frac{AX_s}{R_o}$$

Con $V_0 = 0$ (cortocircuito) no hay señal de realimentación; $X_f = 0$ y $X_i = X_s$. Hallando la relación V_0/I_{sc} resulta

$$R_{OF} \equiv \frac{V_o}{I_{sc}} = \frac{R_o}{1 - A\beta} = \frac{R_o}{1 + T} \tag{12-17}$$

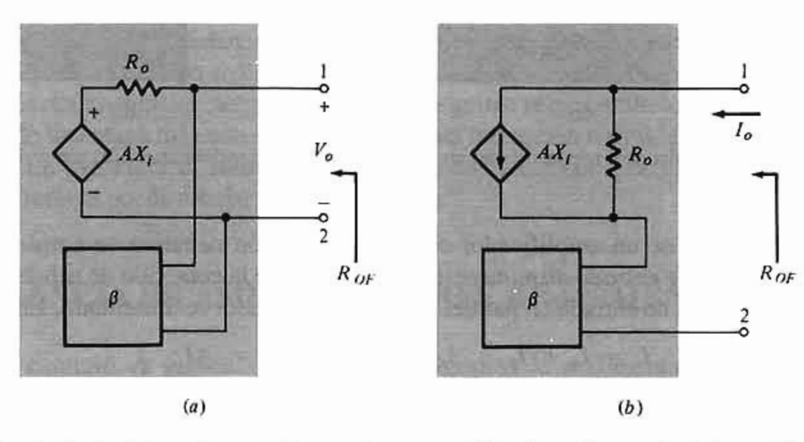


Figura 12-16. Relativo al cálculo de la resistencia de entrada a un amplificador realimentado: (*a*) conexión en paralelo; (*b*) conexión en serie.

La Ec. (12-17) demuestra que la resistencia sin realimentación R_0 se reduce al añadirle realimentación negativa ($T > 0$).

La impedancia de salida *aumenta cuando un amplificador con realimentación negativa emplea una salida en conexión serie* (independientemente de la configuración de entrada). El circuito de la Fig. 12-16*b* muestra una salida conectada en serie. En forma similar a la empleada para la salida conectada en paralelo se llega a

$$I_o = -I_{sc} = \frac{A}{1 - A\beta} X_s$$

Con los terminales 1 y 2 abiertos no se reenvía ninguna señal ($X = 0$) y $X_i = X_s$, siendo la tensión en circuito abierto $V_{oc} = - AX_i R_0$. Combinando estas relaciones y hallando V_{oc}/I_{sc} se obtiene

$$R_{OF} = R_o (1 - A\beta) = R_o (1 + T) \tag{12-18}$$

Las Ecs. (12-15) a (12-18) para R_{IF} y R_{OF} son casos especiales de la fórmula de la *impedancia de Blackman* [dada en la Ec. (12-21) y deducida en la Sec. 12-9]. Estas ecuaciones son aplicables al sistema de realimentación ideal y satisfacen los supuestos fundamentales dados en la Sec. 12-3. Los amplificadores prácticos sólo se aproximan a este modo de funcionar.

Los valores de R_0, R_i, A y β (y por tanto T) deben modificarse para incluir las resistencias de fuente y de carga R_s y R_L, y la naturaleza no unilateral de la red de realimentación antes de emplear las Ecs. (12-15) a (12-18).

Fórmula de la impedancia de Blackman

Las resistencias de entrada y de salida dadas por las Ecs. (12-15) a (12-18) pueden hallarse calculando

R_i (o R_0) y T independientemente. Por ejemplo, en la Ec. (12-15), $R_{IF} = R_i$ cuando $T = 0$. Como se puede conseguir que $T = 0$ haciendo $A = 0$, es decir, reduciendo a cero la ganancia del amplificador básico, R_i es simplemente la resistencia de entrada de la red pasiva resultante. Bode[5] llama a esta situación «sistema muerto» porque $A = 0$ corresponde a la supresión de la fuente gobernada en el sistema. Llamaremos R_{ID} a la resistencia de entrada del «sistema muerto».

La relación de retorno T puede calcularse mediante la Ec. (12-6) como se indica en la Sec.12-3. En la Ec. (12-6) se calcula T haciendo $X_s = 0$ o sea suprimiendo la fuente de señal. En la Fig. 12-15*a* la supresión de V_s cortocircuita los terminales de entrada. O sea que se mide T con la entrada en cortocircuito y, empleando la nomenclatura de Bode, se designa este valor con T_{SC}. Así, la Ec. (12-15) se puede escribir también

$$R_{IF} = R_{ID}(1 + T_{SC}) \tag{12-19}$$

Análogamente, hacer $X_s = I_s = 0$ en el circuito de la Fig. 12-15*b* equivale a abrir el circuito de los terminales de entrada. La relación de retorno medida se representa T_{OC}; la Ec. (12-16) se convierte en

$$R_{IF} = \frac{R_{ID}}{1 + T_{OC}} \tag{12-20}$$

Siendo nuevamente R_{ID} la resistencia de entrada con $A = 0$.

En las Ecs. (12-17) y (12-18), R_{OF}=R_0 cuando $T = 0$ ($A = 0$) siendo la resistencia de salida del «sistema muerto» R_{OD}. El valor de T (Fig. 12-16*a*) se mide cuando los terminales 1 y 2 están en el circuito abierto quedando identificado T_{OC} (si los terminales 1 y 2 están en cortocircuito no hay realimentación). Así pues, la Ec. (12-17) se reduce a la (12-20) con R_{ID} sustituido por R_{OD}. En el cortocircuito de la Fig. 12-16*b* se da la situación inversa en la que la apertura del circuito de los terminales 1 y 2 elimina la realimentación. La relación $T = T_{SC}$ se mide estando los terminales 1 y 2 en cortocircuito. Por tanto, la Ec. (12-18) puede escribirse como en la Ec. (12-19) con R_{OD} sustituido por R_{ID}.

Combinando las ideas contenidas en los párrafos anteriores se justifica la Ec. (12-21), forma general de la fórmula de la impedancia de Blackman.

$$Z_F = Z_D \frac{1 + T_{SC}}{1 + T_{OC}} \tag{12-21}$$

En la Ec. (12-21) tenemos:

1. Z_F es la impedancia vista desde un par de terminales A y B de un amplificador realimentado.
2. Z_D es el valor de Z_F del sistema muerto, es decir, es la impedancia vista desde los terminales A y B cuando la ganancia del amplificador se hace cero.
3. T_{SC} es la relación de retorno medida con los terminales A y B en cortocircuito.
4. T_{OC} es la relación de retorno medida con los terminales A y B en circuito abierto.

Obsérvese que la Ec. (12-21) se reduce a la (12-19) si $T_{OC} = 0$ y a la (12-20) si $T_{SC} = 0$.

La fórmula de la impedancia de Blackman es aplicable a todos los amplificadores realimentados y no sólo a la situación ideal descrita en las Figs. 12-15 y 12-16. En las cantidades T_{OC}, T_{SC} y Z_D están englobados los efectos de carga de la red de realimentación β en el amplificador básico A y el efecto de las resistencias de carga y de fuente R_s y R_L respectivamente sobre los valores de A y β. En el análisis de las cuatro topologías básicas de un solo lazo de las secciones siguientes incluiremos estos efectos de carga.

[5] Muchos de los términos empleados al describir los amplificadores realimentados han sido introducidos por Bode.

12-6. PROPIEDADES DE LAS TOPOLOGIAS DE AMPLIFICADORES REALIMENTADOS

En las cuatro secciones precedentes se describieron algunas de las características generales de los amplificadores realimentados de un solo lazo. Cada una de las cuatro topologías introducidas en la Sec.12-2 se aproxima a uno de los cuatro tipos de amplificador (Sec. 12-1). En esta sección estudiaremos características específicas de las cuatro topologías, y en lo que resta del capítulo comentaremos dispositivos de transistores que aproximan estos circuitos.

El amplificador paralelo-paralelo

La Fig. 12-17 representa la red de doble entrada de un amplificador paralelo-paralelo. La conexión en paralelo de la salida significa que se muestra la tensión de salida, mientras que la conexión en paralelo de la entrada supone una comparación de corrientes. Así, la red de realimentación comporta una transferencia de tensión a corriente.

Mediante los teoremas de Thèvenin o de Norton es posible representar el amplificador interno por cualquiera de los cuatro tipos de amplificadores vistos en la Sec.12-1. Obsérvese que $V_i = z_i I_i$ y que la fuente de corriente gV_i en paralelo con r_0 se puede convertir en su equivalente de fuente de tensión. La representación de la Fig 12-17 está basada en los parámetros y[6].

Es de esperar que las redes en paralelo tengan niveles de impedancia bajos, lo que se demuestra de la siguiente forma, empleando la fórmula de la impedencia de Blackman [Ec. (12-21)].

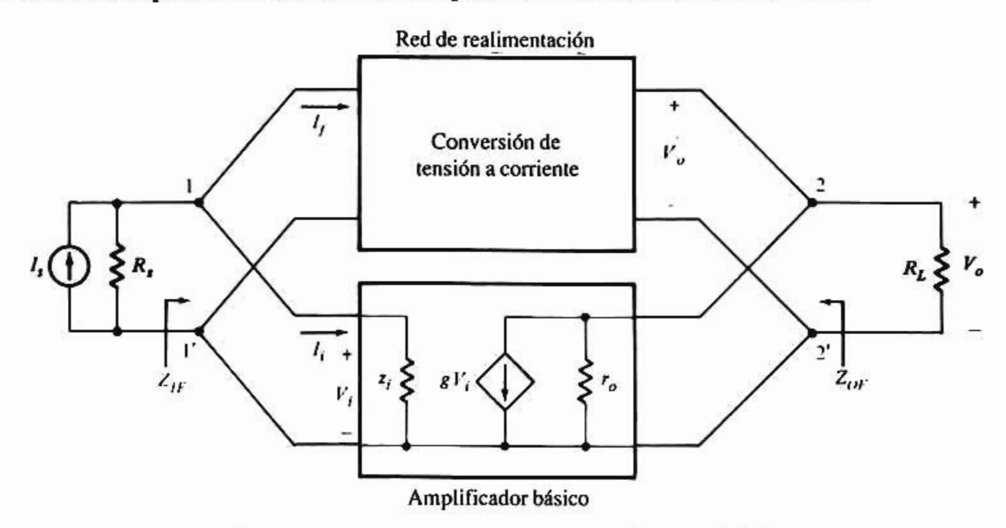


Figura 12-17. Topología de amplificador realimentado paralelo-paralelo (tensión en paralelo).

Cuando los terminales 1-1' de la Fig. 12-17 están en cortocircuito, I_i y V_i son nulos, y por tanto $T_{SC} = 0$. Si los terminales 1-1' están abiertos $I_i = -I_f$ y $T_{OC} \neq 0$. La impedancia de entrada resultante Z_{IF} es baja ya que Z_{ID} está dividida por $(1 + T_{OC})$. Análogamente, al calcular Z_{OF}, cortocircuitando los terminales 2 y 2' se hace $V_0 = 0$ y en consecuencia $I_f = I_i = 0$, de forma que $T_{SC} = 0$. Abriendo el circuito de 2-2' se permite

[6] Dos redes de dos entradas en paralelo se pueden representar por una red equivalente de parámetros y iguales a la suma de los parámetros y de las redes constituyentes. Sin embargo, en circuitos prácticos muchas veces resulta difícil identificar las redes individuales.

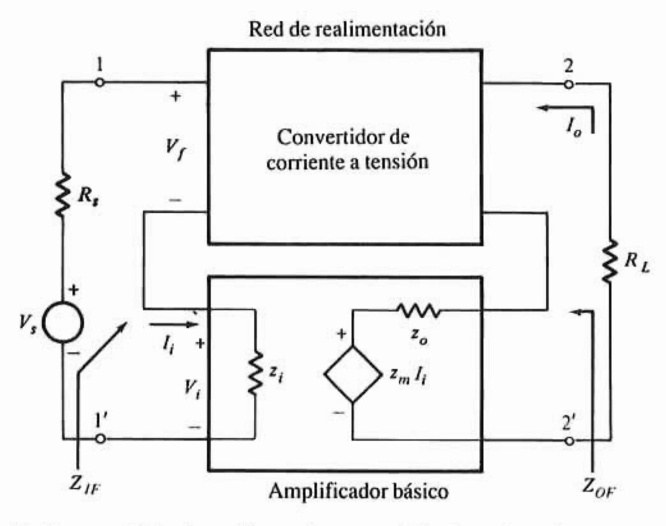


Figura 12-18. Representación de un amplificador realimentado con cuadripolos serie-serie.

que una señal retorne a la entrada y $T_{OC} \neq 0$. Nuevamente Z_{OF} es bajo debido a la división de Z_{OD} por $(1 + T_{OC})$. Los bajos valores de Z_{IF} y Z_{OF} obtenidos hacen que la función de transferencia sea independiente de R_s y R_L. Como se indica en la Tabla 12-1 el amplificador paralelo-paralelo forma un convertidor corriente-tensión o amplificador de transimpedancia. En la Tabla 12-4, al final de esta sección, se relacionan las propiedades de los cuatro amplificadores realimentados.

El amplificador serie-serie

La Fig. 12-18 corresponde a la conexión serie-serie en la que se muestra la corriente de salida I_0. La conexión serie de entrada requiere una comparación de tensiones. (En un circuito en serie, la corriente es la misma en todos los elementos.)

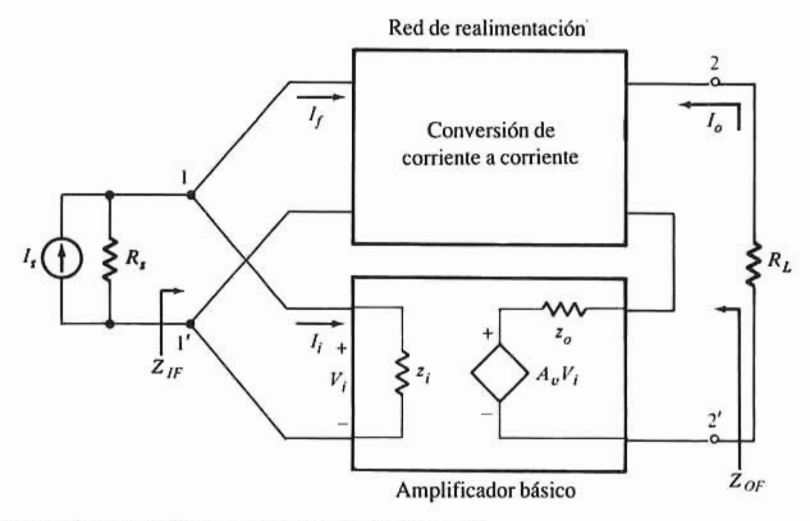


Figura 12-19. Configuración del amplificador realimentado paralelo-serie.

Para determinar Z_{IF} debemos calcular T_{OC} y T_{SC}. La apertura de los terminales de 1-1' hace que I_i y V_i sean ambas nulas. Abriendo el circuito de una conexión en serie se tiene $T_{OC} = 0$. Cortocircuitando 1-1', $I_i \neq 0$ y por tanto $T_{SC} \neq 0$. Según la Ec. (12-21), Z_{ID} queda mulriplicado por $(1 + T_{SC})$ en virtud de la realimentación. Por analogía Z_{OF} es grande al ser $T_{OC} = 0$ en una conexión serie, y $T_{SC} \neq 0$. Teniendo impedancias de entrada y de salida altas, el amplificador serie-serie se comporta como convertidor tensión-corriente o amplificador de transconductancia (Tabla 12-1).

El amplificador paralelo-serie

Esta configuración está representada en la Fig. 12-19. Basándonos en los comentarios anteriores este amplificador tiene una impedancia de entrada baja y una impedancia de salida alta. La corriente de salida I_0 es esencialmente independiente de la resistencia de carga R_L existiendo en la entrada una comparación de corrientes. Según la Tabla 12-4 la topología paralelo-serie es la de un amplificador de corriente.

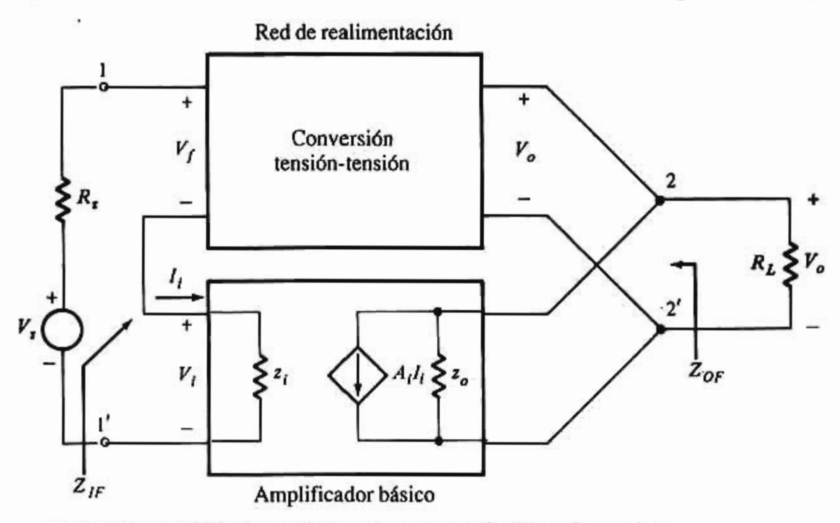


Figura 12-20. Representación de un amplificador realimentado con cuadripolos serie-paralelo.

El amplificador serie-paralelo

La topología de la Fig. 12-20 es la de un amplificador serie-paralelo. Volviendo sobre los mismos comentarios tenemos que la conexión de entrada en serie supone una impedancia de entrada alta y una

Tabla 12-4 Propiedades de las estructuras del amplificador realimentado

Topología	*Clasificación Amplificador*	*Señal comparada*	*Señal de salida (muestra)*	*Impedancia de entrada*	*Impedancia de salida*
Paralelo-Paralelo	Convertidor corriente-tensión	Corriente	Tensión	Baja	Baja
Paralelo-Serie	Corriente	Corriente	Corriente	Baja	Alta
Serie-Serie	Convertidor tensión corriente	Tensión	Corriente	Alta	Alta
Serie-Paralelo	Tensión	Tensión	Tensión	Alta	Baja

comparación de tensiones. Análogamente, la baja impedancia de salida y el muestreo de tensiones caracterizan la salida en paralelo. Así, esta configuración se aproxima a la de un amplificador de tensión.

12-7. ANÁLISIS APROXIMADO DE UN AMPLIFICADOR REALIMENTADO

Los amplificadores realimentados prácticos se diseñan normalmente para aproximarse a las características de una de las cuatro topologías básicas. Por tanto, es conveniente analizar estos circuitos de forma similar a la empleada para el amplificador ideal ya estudiado. El método de análisis se basa en los siguientes supuestos:

1. El amplificador básico es unilateral, pero su ganancia refleja la carga de la red de realimentación y de las resistencias de fuente y de carga. La ganancia de este bloque es la del amplificador sin realimentación: la llamaremos A_{OL} lo que la diferencia de la situación ideal.
2. La red de realimentación es unilateral (Sec. 12-3). Este supuesto equivale a decir que la transmisión hacia adelante a través de la red β es despreciable frente a la que pasa por el amplificador.

El primer paso para el análisis es la identificación de la topología. Se define el *lazo de entrada* como una malla conteniendo la tensión de señal aplicada V_s y o bien: (a) la región base-emisor del transistor bipolar de entrada, o (b) la región puerta-fuente del primer FET del amplificador, o (c) la sección entre las dos entradas de un amplificador diferencial u operacional. La conexión de entrada se reconoce como *serie* si en el circuito de entrada hay un componente W en serie con V_s y si W está conectado a la salida (la parte del sistema que contiene la carga). Si esto es así, la tensión a través de W es la señal de realimentación $X_f = V_f$.

Si no quedan satisfechas las condiciones anteriores deberemos tantear la conexión en paralelo. El *nudo de entrada* queda definido por: (a) la base del primer BJT, o bien (b) la puerta del primer FET, o (c) el terminal inversor de un amplificador diferencial u operacional. Para la excitación externa se emplea una fuente de corriente de forma que la señal de corriente I_s entra en el nudo de entrada. La configuración queda identificada como paralela si hay conexión entre el nudo de entrada y el circuito de salida. En esta conexión, la corriente constituye la señal de realimentación $X_f = I_f$.

La salida muestreada puede ser de tensión o de corriente. Debe especificarse el nudo de salida del que se toma la tensión de salida V_0 (respecto a tierra). Esta tensión V_0 aparece a través de la resistencia (generalmente representada por R_L) siendo la corriente de salida I_0 la de R_L. Los ensayos para el tipo de muestreo son los siguientes:

1. Poner $V_0 = 0$ (es decir, hacer $R_L = 0$ cortocircuitando la salida). Si X_f pasa a cero, el sistema original presenta un muestreo de tensión existiendo una conexión en paralelo.
2. Hacer $I_0 = 0$ (es decir hacer R_L infinita abriendo el circuito de salida). Si X_f se anula, el muestreo en el amplificador original es de corriente, existiendo la conexión en serie.

El amplificador sin realimentación

Es conveniente descomponer el amplificador realimentado en dos bloques: el amplificador básico A_{OL} y la red de realimentación β porque conociendo A_{OL} y β podemos calcular las características importantes del sistema realimentado. Se puede determinar la configuración del amplificador básico sin realimentación pero teniendo en cuenta la carga de la red β observando las siguientes reglas:

- Para hallar el circuito de entrada:

1. Hacer $V_0 = 0$ en una conexión de salida en paralelo, o dicho de otra forma, cortocircuitar el nudo de salida.
2. Hacer $I_0 = 0$ en una salida conectada en serie, o dicho de otra forma, abrir el circuito del lazo de salida.

- Para hallar el circuito de salida

1. Hacer $V_i = 0$ para comparación de corriente, es decir, cortocircuitar el nudo de entrada (de forma que no llegue a la entrada del amplificador ninguna corriente de realimentación).
2. Hacer $I_i = 0$ para comparación (de tensión) en serie. O sea, abrir el circuito del lazo de entrada (de forma que no llegue a la entrada del amplificador ninguna tensión de realimentación).

Este proceso asegura que la realimentación quede reducida a cero sin alterar la carga del amplificador básico.

Plan general de análisis

Para hallar A_F, R_{IF} y R_{OF} se desarrollan los siguientes pasos:

1. Identificar la topología como se ha indicado antes. Esta prueba determina si X_f es una tensión o una corriente.
2. Dibujar el circuito amplificador básico sin realimentación siguiendo las reglas ya citadas.
3. Sustituir cada dispositivo activo por su modelo apropiado.
4. Identificar X_f y X_0 en el circuito obtenido.
5. Calcular $\beta = X_f/X_0$.
6. Calcular A_{OL} aplicando las leyes de Kirchhoff al circuito equivalente obtenido.
7. A partir de A_{OL} y β hallar T y A_F.
8. Hallar R_{ID} y R_{OD} del circuito equivalente. Para hallar R_{IF} y R_{OF} aplicar la fórmula de la impedancia de Blackman.

En los dos ejemplos siguientes veremos el proceso de análisis aproximado.

Ejemplo 12-1

Determinar A_F, T, R_{IF} y R_{OF} del seguidor de emisor de la Fig. 12-21*a*.

Solución

Puesto que la entrada contiene un componente R_E que está conectado a la salida (V_0 está tomado a través de R_E) la entrada está conectada en serie y se comparan tensiones. La tensión de realimentación V_f se mide a través de R_E como queda indicado. La polaridad empleada es compatible con la red sumadora de la Fig 12-9*a* en la que $X_i = X_s + X_f$. Evidentemente V_f es negativa; un incremento de V_f hace decrecer V_i como requiere una realimentación negativa.

La conexión de salida se determina haciendo $V_0 = 0$ (R_E=0). Con $R_E = 0$ se elimina la realimentación y $V_f = 0$. Así, la salida está conectada en paralelo y la topología del seguidor de emisor es serie-paralela.

Ahora debemos dibujar el amplificador sin realimentación, y para ello seguiremos los pasos ya citados

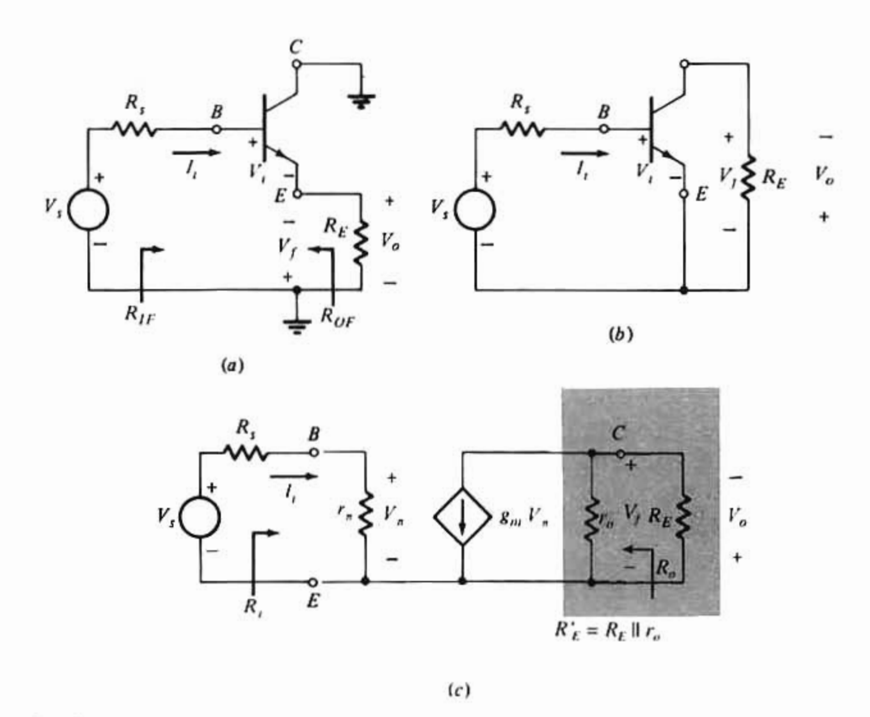


Figura 12-21. (*a*) Seguidor de emisor. (*b*) Representación del amplificador sin realimentación. (*c*) Su circuito equivalente.

en esta Sección. Para el circuito de entrada haremos $V_0 = 0$ y por tanto aparecerá V_s directamente a través de *B* y *E*. El circuito de salida se obtiene haciendo $I_i = 0$ (se abre la entrada) y R_E figura sólo en el lazo de salida. Siguiendo estas normas se llega al circuito de la Fig. 12-21*b* del que su circuito equivalente es el de la Fig. 12-21*c*. Para que sea compatible con la Fig. 12-21*a*, se mide V_0 de emisor a colector.

Se observa en la Fig. 12-21*c* que $V_f = -V_0$ y que $\beta \equiv V_f/V_o = -1$. Además, en la misma figura $V_o = g_m V_\pi R'_E$ siendo $= R'_E = R_E \| r_0$ y $V_\pi = r_\pi V_s/(R_s + r_\pi)$.
Combinando estas igualdades se obtiene

$$A_{OL} = \frac{V_o}{V_s} = \frac{g_m r_\pi R'_E}{R_s + r_\pi}$$

y $T = \beta A_{OL}$ es

$$T = \frac{g_m r_\pi R'_E}{R_s + r_\pi}$$

Con estos valores y después de simplificar, tendremos

$$A_F = \frac{A_{OL}}{1 + T} = \frac{\beta_o R'_E}{R_s + r_\pi + \beta_o R'_E}$$

(La relación $g_m r_\pi = \beta_o$ se emplea en la determinación de A_F). Si $R_E \ll r_o$ como es el caso corriente, $R'_E = R_E$ y $A_F = \beta_o R_E (R_s + r_\pi + \beta_o R_E)$. Comparando este resultado con la entrada A_v de la etapa en colector común de la Tabla 10-3*a* se ve que si $\beta_o >> 1$ ambos son iguales. La ligera diferencia entre los dos resultados es atribuible a haber despreciado la transmisión directa de la red de realimentación.

Para hallar R_{IF} y R_{OF} emplearemos la fórmula de la impedancia de Blackman [Ec. (12-21)]. La observación de la Fig. 12-21*c* nos da $R_{ID} = R_i = r_\pi$. Para calcular T_{OC} deberemos abrir el circuito de entrada,

lo que se consigue haciendo que R_s tienda a infinito en la expresión de T. Si R_s tiende a infinito, $T_{QC} = 0$ lo que es compatible con nuestros razonamientos anteriores sobre las entradas conectadas en serie. Hacer $R_s = 0$ equivale a cortocircuitar la entrada. Por tanto

$$T_{SC} = T|_{R_s=0} = \beta_o R'_E/r_\pi = g_m R'_E.$$

que con la Ec. (12-21) da

$$R_{IF} = r_\pi (1 + g_m R'_E) = r_\pi + \beta_o R'_E$$

Nuevamente, con $\beta_o >> 1$ este resultado es el mismo que el dado en la Tabla 10-3.

La resistencia de salida del sistema «muerto» es $R_{OD} = r_o$. Para calcular T_{SC} y T_{OC} de T haremos $R_E = 0$ y $R_E \rightarrow \infty$ respectivamente. Así, $T_{SC} = 0$ y $T_{OC} = \beta_o r_o/(R_s + r_\pi)$ de donde

$$R_{OF} = \frac{r_o}{1 + [\beta_o r_o/(R_s + r_\pi)]} = \frac{r_o(R_s + r_\pi)/\beta_o}{r_o + (R_s + r_\pi)/\beta_o} \approx \frac{R_s + r_\pi}{\beta_o}$$

para $r_o \gg (R_s + r_\pi)/\beta_o$. Para $\beta_o \gg 1$, R_{OF} es la entrada dada para la resistencia de salida en la Tabla 10-3*a*.

Ejemplo 12-2

Determinar A_F, T y R_{OF} para la etapa en fuente común con resistencia de fuente de la Fig. 12-22*a*.

Solución

El circuito de entrada es análogo al del seguidor de emisor y por tanto conectado en serie. Haciendo

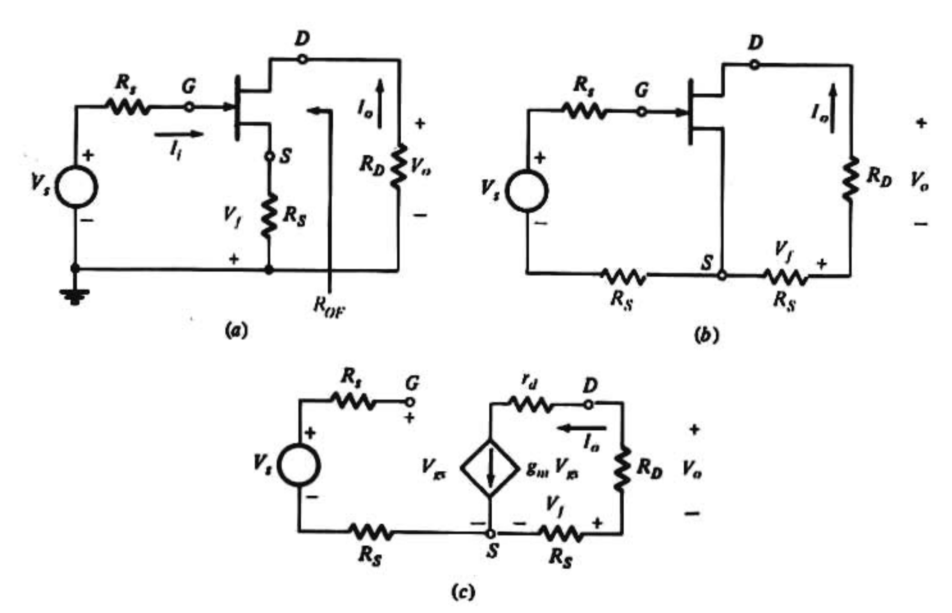


Figura 12-22. (*a*) Amplificador en fuente común con resistencia de fuente. (*b*) Diagrama esquemático. (*c*) Circuito equivalente del amplificador sin realimentación.

$V_0 = 0$ no se elimina la realimentación porque I_0 y en consecuencia V_f no se anulan. Cuando $I_0 = 0$, $V_f = 0$ y la salida también está conectada en serie (el amplificador es del tipo serie-serie).

Para trazar el circuito de entrada del amplificador sin realimentación se abre el circuito de salida ($I_0 = 0$). La resistencia de realimentación R_s aparece en serie con V_s como se ve en la Fig. 12-22*b*. Para el circuito de salida haremos $I_i = 0$. Nuevamente aparece R_s en el lazo de salida como indica la Fig. 12-22*b*. El circuito equivalente de esta figura está representado en la Fig. 12-22*c*.

En esta última figura $V_0 = -I_0 R_D$ y $V_f = -I_0 R_s$; por tanto, $\beta = V_f/V_s = R_s R_D$. Puesto que no hay corriente en el lazo de puerta, $V_{gs} = V_s$. Aplicando la ley de Kirchhoff al lazo de drenaje tendremos

$I_o = \mu V_s/(r_d + R_D + R_S)$. Siendo $V_o = -I_o R_D$, se tiene:

$$A_{OL} = \frac{V_o}{V_s} = \frac{-\mu R_D}{r_d + R_D + R_S}$$

Siendo la relación de retorno

$$T = -\beta A_{OL} = \frac{\mu R_S}{r_d + R_D + R_S}$$

Combinando estas ecuaciones y simplificando quebrados:

$$A_I = \frac{A_{OL}}{1 + T} = \frac{\mu R_D}{r_d + R_D + (1 + \mu) R_D}$$

que es el mismo resultado dado por la Ec. (10-70).

Observando la Fig. 12-22*c* se observa que la resistencia de salida R_{OD} con la fuente gobernada suprimida, es $R_S + r_d$. Las relaciones de retorno T_{OC} y T_{SC} se obtienen haciendo $R_D = \infty$ y $R_D = 0$ respectivamente. Así $T_{OC} = T|_{R_D \to \infty} = 0$ y $T_{SC} = T|_{R_D = 0}$ μ $R/_S$ $(r_d + R_s)$. La resistencia de salida con realimentación $R_{OF} = R_{OD}(1 + T_{SC}) = (R_s + r_d)[1 + \mu R_S/(r_d + R_S)]$. Resolviendo las fracciones y simplificando términos, se tiene $R_{OF} = r_d + R_S(1 + \mu) \approx r_d(1 + g_m R_S)$ si $\mu \gg 1$, y el resultado es idéntico al dado por la Ec. (10-74) y la Tabla 10-5. El análisis aproximado empleado en este ejemplo y los valores reales son idénticos porque en esta etapa no hay ningún camino para una alimentación directa. Como la puerta está en circuito abierto a bajas frecuencias, el hacer $\mu = 0$ hace que I_0 y V_0 sean también cero. Por el contrario, en el Ejemplo 12-1 poner β del transistor a cero no hace que $V_0 = 0$ debido a que existe un itinerario formado por V_s, R_s, r_π y R_E.

12-8. ANÁLISIS GENERAL DE AMPLIFICADORES REALIMENTADOS

En el Ejemplo 12-1 se ha visto que el análisis aproximado da unos resultados que difieren de los valores reales debido a que se ha supuesto que la red de realimentación tiene un solo sentido (de la salida a la entrada). Antes de dedicarnos a los amplificadores realimentados multi-etapa desarrollaremos un procedimiento de análisis que tiene en cuenta la alimentación directa en la red β. El análisis se basa en el diagrama de bloques de la Fig. 12-5. Sin embargo no se ha hecho ninguna aproximación conveniente al bloque amplificador o a la red de realimentación.

En un amplificador realimentado de un solo lazo existen dos fuentes: la de señal X_s y la gobernada (el

amplificador básico) cuya variable de gobierno es X_i. Inicialmente trataremos la fuente gobernada como fuente independiente, es decir, suponiendo que $\hat{X}_i$ es una variable independiente. Esta técnica es la misma empleada al plantear una serie de ecuaciones nodales o de malla. La fuente gobernada se trata inicialmente como independiente escribiendo una ecuación que relacione la variable de control con las variables nodales (o de malla). Ya que se ha supuesto que el amplificador realimentado se comporta linealmente, es aplicable la superposición. Por tanto, *toda* tensión o corriente del sistema tiene dos componentes, una atribuida a X_s y la segunda $\hat{X}_i$. La salida X_0 puede expresarse

$$X_o = t_{11}X_s + t_{12}\,\hat{X}_i \tag{12-22}$$

siendo $t_{11}X_s$ y $t_{12}\hat{X}_i$ las componentes de salida debidas a X_s y $\hat{X}_i$ respectivamente.

La señal comparada X_i se puede escribir también en la forma de la Ec. (12-22) es decir, $X_i = AX_s + B\hat{X}_i$. Por sustitución de los valores de $\hat{X}_i$ obtenidos de la Ec. (12-22), X_i se puede expresar

$$X_i = t_{21}X_s + t_{22}X_o \tag{12-23}$$

Basándose en las Ecs. (12-22) y (12-23) se puede construir el gráfico de recorrido de la señal de la Fig. 12-23. Obsérvese que en la Fig. 12-23 no hay realimentación ya que ambas fuentes se consideran variables independientes. La ecuación reducida es simplemente $\hat{X}_i = X_i$. Esta relación introduce la transmitancia unidad entre X_i y $\hat{X}_i$, representada con trazo discontinuo en la Fig. 12-23 que equivale a cerrar el lazo. El gráfico de la Fig. 12-23, aplicable a todo amplificador realimentado de un solo lazo independientemente de su topología, es simplemente una consecuencia del principio de superposición.

Basándose en las Ecs. (12-22) y (12-23) los varios parámetros t quedan definidos como

$$t_{11} \equiv \left.\frac{X_o}{X_s}\right|_{\hat{X}_i=0} \qquad t_{12} \equiv \left.\frac{X_o}{\hat{X}_i}\right|_{X_s=0}$$
$$t_{21} \equiv \left.\frac{X_i}{X_s}\right|_{X_o=0} \qquad t_{22} \equiv \left.\frac{X_i}{X_o}\right|_{X_s=0} \tag{12-24}$$

Obsérvese que los parámetros t se definen en forma análoga a las definiciones de los varios parámetros de dos entradas.

En la Ec. (12-24) hacer $\hat{X}_i = 0$ equivale a suprimir la fuente gobernada, es decir, hacer que la ganancia del amplificador básico sea cero.

Sin embargo, con $\hat{X}_i = 0$ la señal de salida $X_o \neq 0$ [Ec. (12-22)] es $t_{11}\,X_s$. Para la transmisión desde la entrada a la salida a través de la red de realimentación, la rama que cuenta es la t_{11}. Suprimiendo la fuente gobernada (representada por la rama t_{12}) el sistema resulta ser pasivo, o sea es el sistema muerto. O sea, poner $t_{12} = 0$ tiene los mismos efectos que hacer $\hat{X}_i = 0$.

La rama de transmitancia t_{21} representa la componente de X_i engendrada por la fuente de señal X_s y refleja el hecho de que las fuentes prácticas y las entradas del amplificador tienen impedancias finitas no nulas. La transmisión desde la salida a la entrada a través de la red de realimentación está representada por la rama t_{22}.

Ganancia (relación de transferencia) con realimentación

Llamaremos ganancia con lazo cerrado a la relación X_0/X_s. En la Fig. 12- 23 la rama t_{11} está en paralelo con el itinerario que contiene t_{21}, t_{12} y la rama de realimentación t_{22}. Por tanto

$$A_F \equiv \frac{X_o}{X_s} = \frac{t_{11} + t_{12}\,t_{21}}{1 - t_{12}\,t_{22}} \tag{12-25}$$

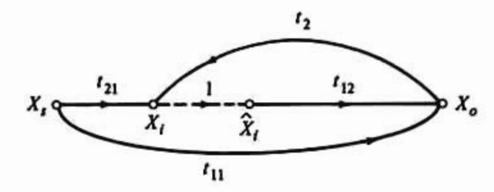


Figura 12-23. Gráfica del recorrido de la señal con la entrada del amplificador (X_i), es una variable independiente desconectada' de la salida de la red comparadora X_i. Puesto que ahora S_i X_o y X_i dependen de X_s y puede determinarse X_i por superposición.

Como ya se observó anteriormente, t_{12} es el único término de la Ec. (12-25) que depende de la ganancia del bloque del amplificador básico. Si esta ganancia se reduce a cero, A_F se convierte en

$$A_F = \left.\frac{X_o}{X_s}\right|_{t_{12}=0} \equiv A_D = t_{11} \tag{12-26}$$

A_D de esta última ecuación es la ganancia del sistema muerto. Obsérvese que A_D es igual a t_{11}, el parámetro relacionado con el paso de alimentación directa a través de la red de realimentación. La relación de retorno T indica la transmisión alrededor del lazo de realimentación formado por el amplificador t_{12} y la red de realimentación t_{22}. Si se elimina la rama entre X_i y $\hat{X}_i$ y se suprime la fuente de señal X_s, empleando la Ec. (12-6) se tiene

$$T \equiv -\left.\frac{X_i}{\hat{X}_i}\right|_{X_s=0} = -t_{12}\,t_{22} \tag{12-27}$$

Obsérvese que eliminando la rama entre X_i y$\hat{X}_i$ ya no hay sistema de realimentación, y tal como se ve en la Fig. 12-23, T es simplemente la cascada del amplificador básico y la red de realimentación.

Cuando la transmitancia t_{22} entre la salida del amplificador y el circuito sumador es cero queda eliminado el paso de la realimentación. La relación de transferencia del amplificador no realimentado resultante, ganancia A_{OL} en circuito abierto es, según la Ec. (12-25)

$$A_{OL} \equiv \left.\frac{X_o}{X_s}\right|_{t_{22}=0} = t_{11} + t_{12}t_{21} = A_D + t_{12}\,t_{21} \tag{12-28}$$

Como estamos interesados en construir un amplificador, A_{OL} es generalmente mucho mayor, y A_D menor que la unidad, ya que esta última es la relación de transferencia de una red pasiva (resistiva). Así, $A_{OL} = t_{12}t_{21}$.

Empleando los términos definidos en la Ec. (12-26) junto con (12-28) podemos expresar A_F como

$$A_F = \frac{A_{OL}}{1 + T} \tag{12-29}$$

Una forma alternativa de expresar A_F es

$$A_F = \frac{t_{11} + (t_{21})(-t_{12}t_{22})/(-t_{22})}{1 - t_{12}t_{22}} = \frac{A_D + KT}{1 + T} \tag{12-30}$$

siendo

$$K = \frac{-t_{21}}{t_{22}} \tag{12-31}$$

El parámetro K depende sólo de los elementos pasivos que comprenden t_{21} y t_{22}.

Si $|A_D| \ll |KT|$, entonces $A_{OL} = KT$ y

$$A_F \approx \frac{KT}{1 + T} \tag{12-32}$$

Para $T >> 1$, $A_F \approx K = -1/\beta$ e indica que la ganancia en lazo cerrado es esencialmente independiente de la ganancia del amplificador básico, dependiendo sólo de la relación de componentes pasivos. Esta es la situación que ya encontramos en las etapas del Amp-Op de la Sec. 10-21 en la que la ganancia era proporcional a la relación de resistencias R_2/R_1.

Obsérvese que las Ecs. (12-32) y (12-9) son idénticas porque en la (12-32) hemos omitido la transmisión directa A_D.

Podemos dar un significado adicional a $K = -1/\beta$ [Ec. (12-7)] examinando la Ec. (12-22). Si la ganancia del amplificador básico es infinita (t_{12} y por tanto A_{OL} y T se hacen infinitos) y X_0 *permanece finito*, la entrada al amplificdor será $X_i = \hat{X}_i = 0$. En la Ec. (12-22), hacer que $X_i = 0$ indica que $X_0/X_s = -(t_{21}/t_{22}) = K$ que es la ganancia del amplificador realimentado cuando T tiende a infinito. Hacer $X_i = 0$ equivale a decir que la señal de realimentación $t_{22}X_0$ y la componente de la señal de entrada $t_{21}X_s$ son iguales en magnitud y opuestas en fase. Esta situación ya la encontramos en la Sec.10-21 al comentar la etapa de Amp-Op inversor. Allí se demostró que cuando A_v tiende a infinito, V_i tiende a cero, y la corriente producida por la fuente de señal V_s/R_1 se equilibraba con la señal de realimentación V_0/R_2.

Proceso de análisis

Para un determinado circuito se determinan los parámetros t suponiendo en primer lugar que la fuente gobernada del dispositivo modelo es una fuente independiente; o sea que debemos primero identificar $\hat{X}_i$ y luego aplicar las Ecs. (12-24). Veremos este proceso en los dos ejemplos siguientes. Hemos elegido deliberadamente dos circuitos ya analizados antes, de forma que nos podamos fijar en las técnicas usadas para obtener los parámetros t y comparar los resultados con los hallados antes analíticamente.

Ejemplo 12-3

(a) Calcular los parámetros t del seguidor de emisor de la Fig. 12-24*a*. (b) Valerse de los resultados así hallados para determinar A_F, T, A_D y K.

Solución

(a) En la Fig. 12-24 tenemos el circuito equivalente del seguidor de emisor. Los parámetros $X_s = V_s$, $X_i = V_{\pi g}$, $X_o = V_o$ y $\hat{X}_i = \hat{V}_\pi$ están identificados en el circuito equivalente. Obsérvese que $\hat{V}_\pi$ está relacionado con la fuente gobernada haciendo que $g_m V_\pi$ funcione como fuente de corriente independiente.

Para determinar t_{11} mediante la Ec. (12-17) se suprime $\hat{X}_i = \hat{V}_\pi$ y la Fig. 12-24 queda reducida al circuito de la Fig. 12-25*a*. Empleando en esta última figura la relación del divisor de tensión tendremos:

$$t_{11} = \left.\frac{V_o}{V_s}\right|_{V_\pi = 0} = \frac{R_E}{R_s + r_\pi + R_E}$$

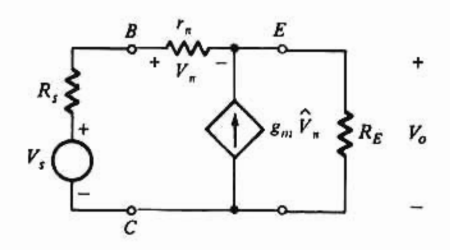


Figura 12-24. Modelo de pequeña señal del seguidor de emisor empleado en el Ejemplo 12-3. *Nota*: A efectos del análisis la fuente gobernada se identifica como $gm\,\hat{X}_i$ distinguiéndose de V_π a través de r_π.

Haciendo $V_0 = 0$ como en la Fig. 12-25*b*:

$$t_{21} = \left.\frac{V_\pi}{V_s}\right|_{V_o=0} = \frac{r_\pi}{R_s + r_\pi}$$

En el circuito de la Fig. 12-25*c*, $V_s = 0$ y R_E está en paralelo con $(R_s + r_\pi)$. Así

$$t_{12} = \left.\frac{V_o}{\hat{V}_\pi}\right|_{V_s=0} = g_m \frac{R_E\,(R_s + r_\pi)}{R_s + r_\pi + R_E}$$

Para calcular t_{22} se emplea el circuito de la Fig. 12-25*d*. Recordemos que t_{22} representa la transmisión desde la salida al circuito de comparación a través de la red de realimentación. En consecuencia se trata V_0 como la variable independiente ya que lo que nos interesa es saber qué fracción de V_0 contribuye en V_π más que saber cómo se halla V_0 (los parámetros t_{12} y t_{11} lo indican). En la Fig. 12-25*d* el empleo de las técnicas de divisor de tensión nos da

$$t_{22} = \frac{-r_\pi}{R_s + r_\pi}$$

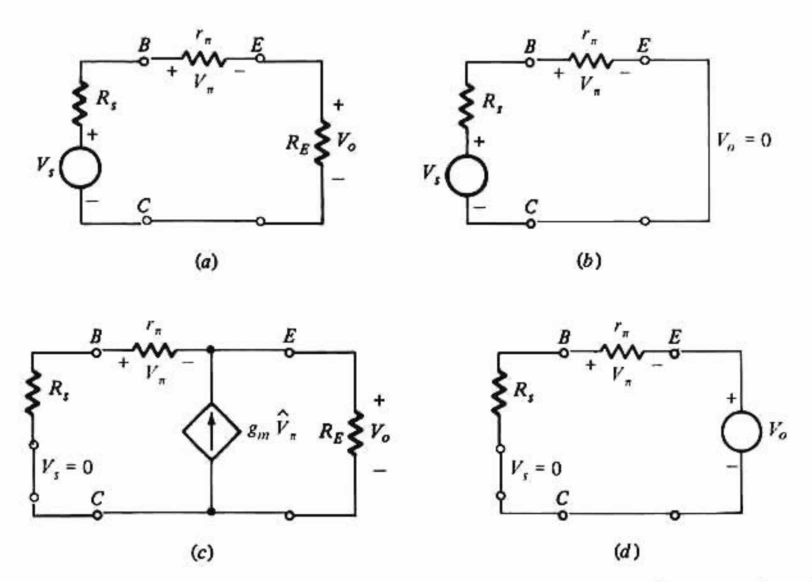


Figura 12-25. Circuitos empleados para calcular los parámetros *t* del ejemplo 12-3. (*a*) t_{11}, el sistema «pasivo». (*b*) t_{21}, (*c*) t_{12}, (*d*) t_{22}.

(b) De las Ecs. (12-26), (12-27), (12-31) y (12-25) respectivamente:

$$A_D = t_{11} = \frac{R_E}{R_s + r_\pi + R_E}$$

$$T = -t_{11}t_{22} = -\frac{g_m R_E (R_s + r_\pi)}{R_s + r_\pi + R_E} \frac{-r_\pi}{R_s + r_\pi}$$

recordando que $g_m r_\pi = \beta_o$

$$T = \frac{\beta_o R_E}{R_s + r_\pi + R_E}$$

$$K = -\frac{t_{21}}{t_{22}} = -\frac{r_\pi/(R_s + r_\pi)}{-r_\pi/(R_s + r_\pi)} = 1$$

$$A_F = \frac{V_o}{V_s} = \frac{A_D + KT}{1 + T} = \frac{[R_E/(R_s + r_\pi + R_E)] + (1)[\beta_o R_E/(R_s + r_\pi + R_E)]}{1 + [\beta_o R_E/(R_s + r_\pi + R_E)]}$$

y simplificando

$$A_F = \frac{(\beta_o + 1) R_E}{R_s + r_\pi + (\beta_o + 1) R_E}$$

que es el valor dado en la Tabla 10-3.

Alternativamente, se calcula T directamente mediante el circuito de la Fig. 12-17*c*. Mediante las técnicas de divisor de corriente se obtiene

$$I_b = -g_m \hat{V}_\pi \frac{R_E}{R_E + R_s + r_\pi}$$

y $V_\pi = I_b r_\pi$. Combinando estas relaciones y empleando la Ec. (12- 27) tendremos

$$T = \left.\frac{V_\pi}{\hat{V}_\pi}\right|_{V_s = 0} = \frac{\beta_o R_E}{R_E + R_s + r_\pi}$$

como antes.

Obsérvese que sólo t_{12} depende del parámetro g_m (o β_o) de la fuente gobernada. Todos los demás parámetros t dependen de los elementos resistivos del circuito.

Ejemplo 12-4

(a) Determinar la ganancia de tensión V_0/V_s de la etapa de Amp-Op no inversor de la Fig. 12-26*a* calculando antes A_D, A_{OL}, T y K.

Solución

El circuito equivalente de la etapa (suponiendo que R_i tiende a infinito y $R_0 = 0$) para el Amp-Op está representado en la Fig. 12-26*b*. En esta misma figura se identifica $X_s = V_s$, $X_0 = V_0$ y $X_i = V_i$. La fuente gobernada se hace independiente considerando que sus valores $A_v \hat{V}_i$ sean como se muestra.

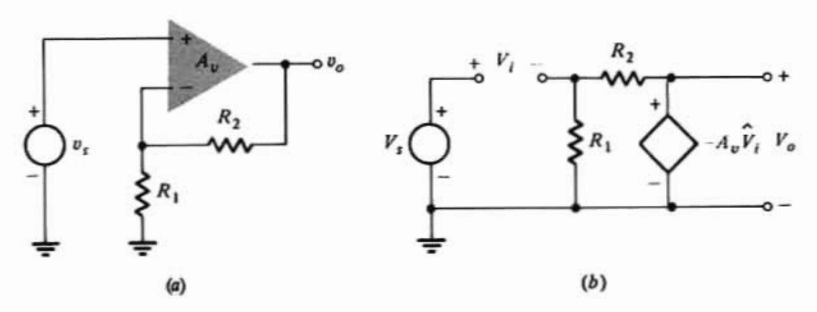


Figura 12-26. (*a*) Etapa no inversora de Amp-Op: (*b*) Circuito equivalente para el ejemplo 12-4.

En la Fig. 12-26*b*, $V_0 = -A_v \hat{V}_i$. Haciendo $\hat{V}_i = 0$ se hace $V_o = 0$ y por tanto $t_{11} = A_D = 0$. Además, la supresión de V_s nos da

$$t_{12} = \left.\frac{V_o}{\hat{V}_i}\right|_{V_s=0} = -A_v$$

Con $V_s = 0$ la relación del divisor de tensión da

$$V_i = -A_v \hat{V}_i \frac{R_1}{R_1 + R_2}$$

Y de la Ec. (12-27)

$$T = -\left.\frac{V_i}{\hat{V}_i}\right|_{V_s=0} = \frac{A_v R_1}{R_1 + R_2}$$

y

$$t_{22} = -\frac{T}{t_{12}} = \frac{R_1}{R_1 + R_2}$$

Cuando $V_0 = 0$ no hay caída de tensión a través de R_1, y $V_i = -V_s$ y así $t_{21} = -1$

De la Ec. (12-28) $A_{OL} = A_D + t_{12}t_{21} = 0 + (-A_v)(-1) = A_v$

$$K = -\frac{t_{21}}{t_{22}} = -\frac{-1}{R_1/(R_1 + R_2)} = \frac{R_1 + R_2}{R_1} = 1 + \frac{R_2}{R_1}$$

La ganancia A_F a lazo cerrado es, según la Ec. (12-29)

$$A_F = \frac{A_{OL}}{1 + T} = \frac{A_v}{1 + A_v R_1/(R_1 + R_2)} = \frac{A_v(R_1 + R_2)}{R_1(1 + A_v) + R_2}$$

que es el resultado obtenido en la Ec. (10-110) con $R_0 = 0$. Nuevamente vemos que con valores grandes de A_v, $A_F \approx K = 1 + R_2/R_1$.

Vemos que en cada uno de los ejemplos, con valores grandes de T, A_F se hace independiente del elemento amplificador (β_o, A_v, etc.). En consecuencia $A_F \approx K$ y depende sólo de los elementos resistivos exteriores al dispositivo amplificador, y el comportamiento del amplificador realimentado se aproxima mucho al del amplificador ideal visto en la Sec. 12-1. Análogamente en la Sec. 12-3 ya se indicó que se requieren valores grandes de T para mejorar el funcionamiento, es decir, reducir la distorsión, aumentar la estabilidad, etc. Así al diseñar amplificadores realimentados se eligen los valores de los elementos

externos para conseguir la ganancia total deseada A_F mientras que la ganancia del amplificador interno se elige para alcanzar la relación de retorno pretendida.

En los análisis de estos dos últimos ejemplos se ha supuesto que los dispositivos amplificadores operaban a la frecuencia de la banda media, pero este método de análisis es aplicable a todas las frecuencias siempre que se utilicen los modelos apropiados. Aquí, los parámetros t son función de la frecuencia y de ellos se deducen los valores de $A_F(s)$, $T(s)$, $A_{OL}(s)$, $A_D(s)$ y $K(s)$.

12-9. MÁS SOBRE LA IMPEDANCIA EN AMPLIFICADORES REALIMENTADOS

En la Sección 12-5 se estudiaron los efectos de la realimentación sobre las resistencias de entrada y de salida, y se introdujo la fórmula de la impedancia de Blackman [Ec. (12-21)]. Ahora emplearemos el análisis general de la Sección anterior para deducir tal ecuación.

Supongamos que queremos determinar la impedancia de entrada de un amplificador realimentado. Podemos aplicar una tensión V_s y medir la corriente I_s como en la Fig. 12-27*a*. Entonces la impedancia de entrada es $Z_{IF} = V_s/I_s$. O bien podemos aplicar una corriente I_s y medir la tensión V_s como en la Fig. 12-27*b* con lo que $Z_{IF} = V_s/I_s$. Ambos procedimientos deben dar el mismo resultado ya que la impedancia de entrada es independiente del método empleado para medirla. Calculemos ahora Z_{IF} para cada uno de los circuitos de la Fig. 12-27.

El circuito de la Fig. 12-27*a* es un amplificador realimentado, y haciendo $X_s = V_s$, $X_0 = I_s$ podremos escribir un par de ecuaciones análogas a las (12-22) y (12-23) o sea

$$\begin{aligned} I_s &= t_{11}V_s + t_{12}\hat{X}_i \\ X_i &= t_{21}V_s + t_{22}I_s \end{aligned} \qquad (12\text{-}33)$$

Obsérvese que la Ec. (12-33) es independiente del tipo de fuente gobernada empleada y de que la señal X_i sea una tensión o una corriente. La función de transferencia de este sistema, de la forma dada en la Ec. (12-25) es

$$\frac{I_s}{V_s} = \frac{1}{Z_{IF}} = \frac{t_{11} + t_{12}\,t_{21}}{1 - t_{12}\,t_{22}} \qquad (12\text{-}34)$$

O alternativamente

$$Z_{IF} = \frac{1}{t_{11}}\,\frac{1 - t_{12}\,t_{22}}{1 + t_{12}\,t_{21}/t_{11}} \qquad (12\text{-}35)$$

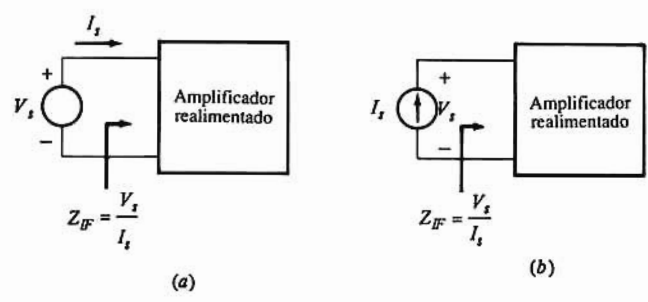


Figura 12-27. Dos posibles circuitos para determinar la impedancia de entrada. (*a*) aplicar una tensión y medir la corriente; (*b*) aplicar una corriente y medir la tensión.

En la Ec(12-34) podemos identificar $-t_{12}t_{22}$ como relación de retorno. Recuérdese que T se ha medido con la fuente suprimida ($X_s = 0$). Así la relación de retorno se mide con los terminales de entrada cortocircuitados ($V_s = 0$) y es T_{SC}.

El término t_{11} de la Ec. (12-34) es I_s/V_s cuando la ganancia del amplificador interno se anula ($\hat{X}_i = 0$). Por tanto $1/t_{11}$ es la impedancia de entrada del sistema muerto que se representa por Z_{ID} y

$$Z_{IF} = Z_{ID} \frac{1 + T_{SC}}{1 + t_{12}\, t_{21}/t_{11}} \tag{12-36}$$

Calculemos ahora Z_{IF} para el circuito de la Fig. 12-27*b*. En este amplificador realimentado $X_s = 1$ y $X_o = V_s$ de forma que

$$V_s = t'_{11}\, I_s + t'_{12}\hat{X}_i \qquad X_i = t'_{21}I_s + t'_{22}V_s \tag{12-37}$$

La función de transferencia del sistema descrito por la Ec. (12-37) es

$$\frac{V_s}{I_s} = Z_{ID} = \frac{t'_{11} + t'_{12}t'_{21}}{1 - t'_{12}t'_{22}} = t'_{11}\frac{1 + t'_{12}\, t'_{21}/t'_{11}}{1 - t'_{12}t'_{22}} \tag{12-38}$$

Haciendo $\hat{X}_i = 0$ se reduce el circuito al sistema muerto: por tanto $t'_{11} = Z_{ID}$. La relación de retorno se calcula con $I_s = 0$, es decir, en circuito abierto de forma que $T_{OC} = -t'_{12}/t'_{22}$ y

$$Z_{ID} = Z_{ID} \frac{1 + t'_{12}\, t'_{21}/t'_{11}}{1 + T_{OC}} \tag{12-39}$$

Igualando las Ecs. (12-22) y (12-23), obtendremos

$$Z_{ID} = Z_{ID} \frac{1 + T_{SC}}{1 + T_{OC}} \tag{12-40}$$

que es la fórmula de la impedancia de Blackman.

Ejemplo 12-5

(a) Determinar la resistencia de entrada R_{IF} de una etapa de Amp-Op inversora. Inclúyase en el modelo la resistencia R_i de entrada del Amp-Op. (b) Calcular R_{IF} cuando $R_i \to \infty$

Solución

(a) El circuito equivalente de la etapa corresponde al de la Fig 12-28. La resistencia de entrada R_{ID} del sistema «muerto» determinada haciendo $\hat{V}_i = 0$ es

$$R_{ID} = R_1 + R_i \| R_2$$

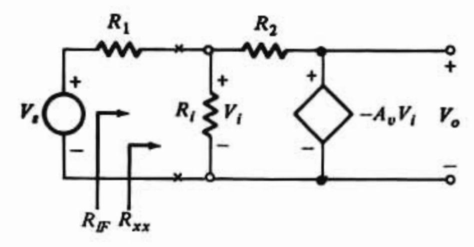


Figura 12-28. Circuito equivalente de la etapa inversora del Amp-Op del ejemplo 12-5.

Con los terminales de entrada abiertos no existe corriente alguna en R_1 y en consecuencia

$$T_{OC} = \frac{-V_i}{\hat{V}_i} = \frac{R_i A_v}{R_i + R_2}$$

Las resistencias R_1 y R_i están en paralelo cuando se cortocircuitan los terminales de entrada. Por tanto

$$T_{SC} = \frac{R_1 \| R_i}{(R_1 \| R_i) + R_2} A_v$$

Obsérvese que en este amplificador ni T_{OC} ni T_{SC} valen cero. Substituyendo estos valores en la Ec. (12-40) tendremos

$$R_{IF} = [R_1 + R_i \| R_2] \frac{1 + [(R_i \| R_i) A_v/(R_i \| R_i) + R_2]}{1 + [R_i A_v/(R_i + R_2)]} = R_1 + \frac{R_2 R_i}{R_i (1 + A_v) + R_2}$$

En la Fig. 12-28 resulta evidente que $R_{IF} = R_1 + R_{xx}$; por tanto

$$R_{xx} = \frac{R_2 R_i}{R_i (1 + A_v) + R_2} = \frac{R_i [R_2/(1 + A_v)]}{R_i + [R_2/(1 + A_v)]}$$

La resistencia R_{xx} puede reconocerse como $R_i \| R_2/(1 + A_v)$, siendo la resistencia $R_2/(1 + A_v)$ exactamente la reflejada entre los terminales *X-X* empleando el teorema de Miller.

(b) De la parte anterior, tendiendo R_i a infinito:

$$R_{IF} = R_1 + \frac{R_2}{1 + A_v} = R_1 + R_{xx}$$

Obsérvese que con valores grandes de A_v (tendiendo a infinito) la resistencia de entrada es simplemente R_1 ya que R_{xx} tiende a cero. De todas formas este es el resultado esperado pues cuando $A_v \to \infty$ el terminal inversor es virtualmente tierra (Sec. 10-21).

12-10. TRIPLE REALIMENTACIÓN EN PARALELO

Cada uno de los amplificadores realimentados analizados en las tres secciones precedentes contiene solamente un elemento activo. En general los amplificadores prácticos tienen dos o más etapas de forma que se puedan conseguir simultáneamente grandes ganancias con lazo cerrado y grandes relaciones de retorno. En esta Sección y en las tres siguientes introduciremos cuatro amplificadores realimentados multietapa comúnmente empleados. Cada amplificador con transistores reales se aproxima a una de las topologías de realimentación de un solo lazo. Por ejemplo, las etapas de transistor llevan de por sí una realimentación suplida por C_μ (o C_{gd}) y por tanto a altas frecuencias no son propiamente amplificadores de un solo lazo. Además cuando se utilizan etapas en emisor (o fuente) común que contengan R_E (o R_S), a manera de etapa del amplificador básico, incluso a bajas frecuencias hay realimentación. El tipo de realimentación descrito en las frases anteriores se denomina realimentación *local* ya que el lazo de realimentación rodea una sola etapa. En circuitos multietapa nos encontramos con una realimentación *global*, es decir la realimentación total alrededor de un cierto número de etapas en cascada.

El amplificador de tres etapas de la Fig. 12-29 tiene la estructura paralelo-paralelo de la Fig. 12-17 y se denomina corrientemente como *triple en paralelo*. El amplificador interno de tres etapas remarcado en la Fig. 12-29 puede modelarse según un amplificador equivalente simple como el de la Fig. 12-30. La

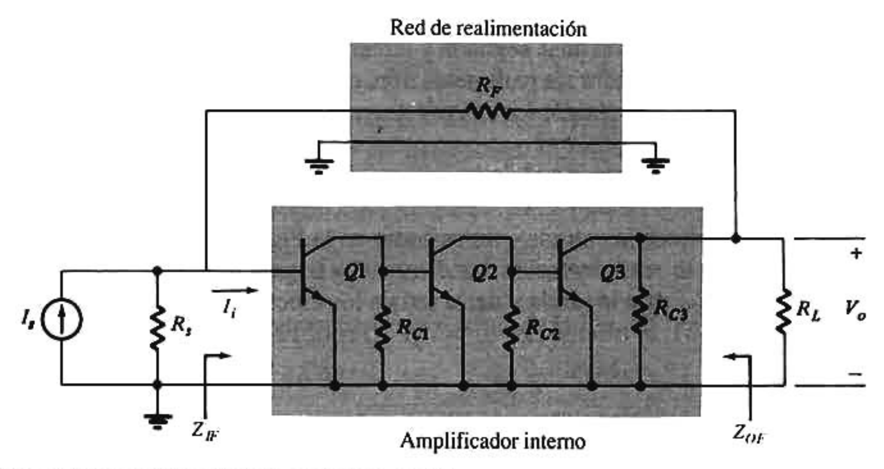


Figura 12-29. Amplificador realimentado bipolar, triple-paralelo.

fuente gobernada $Z_m I_i$ y la resistencia r_0 en serie son el equivalente de Thèvenin del bloque amplificador de la Fig. 12-29. La resistencia r_i[7] es la entrada al amplificador de tres etapas en cascada

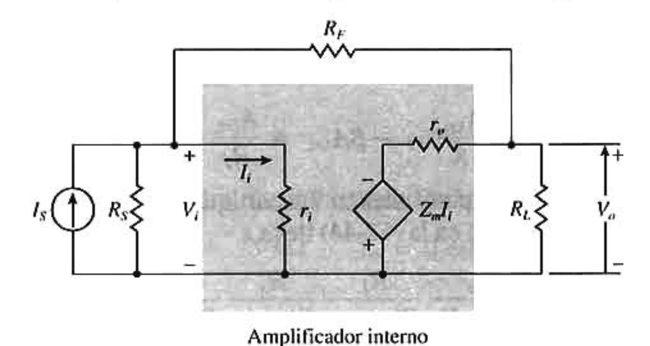


Figura 12-30. Representación del circuito equivalente del triple-paralelo.

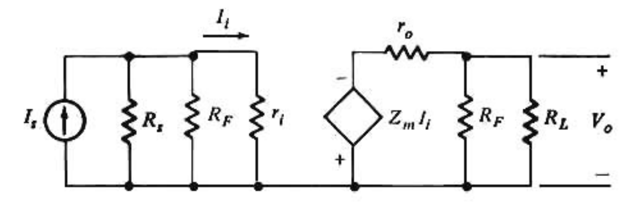


Figura 12-31. Modelo aproximado del amplificador básico (sin realimentación) del triple-paralelo. Las resistencias R_F tanto en la entrada como en la salida son el efecto de la carga del amplificador básico por parte de la red de realimentación.

Estas cantidades son:

$$r_i = r_{b1} + r_{\pi 1} \qquad r_o = R_{C3} \tag{12-41}$$

$$Z_m = \beta_{o1} R_{C1} A_{v2} A_{v3} \tag{12-42}$$

[7] Obsérvese que r_b está incluida. Como la conexión en paralelo tiene una resistencia de entrada muy baja, despreciar r_b puede a veces introducir un error.

siendo A_{v2} y A_{v3} las ganancias de tensión de la segunda y tercera etapas respectivamente.

En la Fig. 12-31 vemos el amplificador sin realimentación, en el que se ha eliminado la realimentación suplida por R_F. Obsérvese que *están incluidos los efectos de carga de R_F sobre los circuitos de entrada y de salida*.

En la configuración paralelo-paralelo la red de realimentación transmite una corriente I_f a la entrada, que es proporcional a la tensión de salida V_0. Así, cuando $V_0 = 0$ no se reenvía ninguna corriente hacia la entrada y R_F queda conectada desde la entrada a tierra como en la Fig. 12-31. Análogamente cuando se suprime I_s la eliminación de la realimentación hace que $V_i = 0$ ya que no hay corriente en r_i. En consecuencia, la conexión de R_F entre la salida y tierra señala los efectos de carga en la salida de R_F.

En el circuito de la Fig. 12-31, el cálculo de $A_{OL} = V_0/I_s$ (Prob. 12-26) da

$$A_{OL} = \frac{-Z_m R'_s}{R'_s + r_i} \frac{R'_L}{R'_L + r_o} \tag{12-43}$$

siendo

$$R'_s = R_F \| R_s \qquad \text{y} \qquad R'_L = R_F \| R_L$$

El valor de $K = -1/\beta$ se puede hallar directamente dejando en cero la señal de comparación y despejando X_0/X_s. En el circuito de la Fig. 12-30, $I_i = 0$ supone que $V_i = 0$; la ley de Kirchhoff aplicada al nudo de entrada nos da $V_0/R_F = -I_s$ y $K = -R_F$ o bien $b = 1/R_F$.

Cuando A_D se supone despreciable, la relación de retorno es

$$T = \frac{A_{OL}}{K} = -\beta A_{OL} = \frac{A_{OL}}{R_F} \tag{12-44}$$

Por tanto, se emplea la Ec. (12-44) para calcular T a partir del valor aproximado de A_{OL}. Para el triple paralelo la sustitución de la Ec. (12-43) en la (12-44) lleva a

$$T = \frac{Z_m}{R_F + R_L} \frac{R_L}{R'_L + r_o} \frac{R'_s}{R'_s + r_i} \frac{R_F}{R_F + R_s} \tag{12-45}$$

Las impedancias de entrada y de salida

En un amplificador realimentado en paralelo $T_{SC} = 0$ como se ha visto en las Sec. 12-5 y 12-6. Tanto la impedancia de entrada Z_{IF} como la salida Z_{OF} quedan reducidas por sus respectivos valores de $1 + T_{OC}$. Para Z_{IF} el valor de T_{OC} se deduce del valor de T haciendo en la Ec. (12-45) $R_s \to \infty$. Análogamente, haciendo $R_L \to \infty$ hallaremos el valor de T_{OC} necesario para calcular Z_{OF}. Aplicando la fórmula de la impedancia de Blackman, tendremos:

$$Z_{IF} = \frac{r_i \| R_F}{1 + T \mid_{R_s \to \infty}} \tag{12-46}$$

$$Z_{OF} = \frac{r_o \| R_F}{1 + T \mid_{R_L \to \infty}} \tag{12-47}$$

obteniéndose Z_{ID} y Z_{OD} de la Fig. 12- 31.[8]

[8] El cálculo Z_{ID} de la Fig. 12-30 da $Z_{ID} = r_i \| (R_F + R_L \| r_o)$ que con $R_F \gg R_L$ (como en el ejemplo 12-6) se reduce a la Ec. (12-46). Análogamente, con $R_F \gg R_s$ el cálculo de Z_{OD} de la Fig. 12-30 se reduce a la Ec. (12-47).

Ejemplo 12-6

El triple en paralelo de la Fig. 12-29 está diseñado para ser alimentado por una fuente de 600 Ω y excitar una carga de 600 Ω. Los valores de los transistores y componentes utilizados son los dados en la Tabla 12-5. La resistencia de realimentación R_F es de 20 kΩ. (a) Determinar la ganancia a lazo abierto, la relación de retorno, y la ganancia a lazo cerrado, a las frecuencias de la media banda; (b) determinar las impedancias de entrada y de salida.

Tabla 12-5 Valores de los parámetros del triple de la Fig. 12-29 y Ejemplo 12-6.*

Parámetro	*Etapa 1*	*Etapa 2*	*Etapa 3*
g_m (m℧)	4.0	10	40
r_π	25	10	2.5
β_o	100	100	100
R_C (kΩ)	30	10	0.60

*Para todos los transistores se supone $r_b = 0$ y $r_o \to \infty$

Solución

(a) Primero debemos caracterizar el amplificador básico. De las Ecs. (12-41) obtendremos

$$r_i = 0 + 25 = 25 \text{ k}\Omega \qquad r_o = 0.60 \text{ k}\Omega$$

Según lo descrito en la Sec. 10-16

$$A_{V2} = \frac{-\beta_{o2}R_{C2}}{R_{C1} + r_{\pi 2}} = \frac{-100 \times 10}{30 + 10} = -25.0$$

$$A_{V3} = \frac{-\beta_{o3}R_{C3}}{R_{C2} + r_{\pi 3}} = \frac{-100 \times 0.6}{10 + 2.5} = -4.8$$

Sustituyendo estos valores en la Ec. (12-42).

$$Z_m = 100 \times 30 \times (-25.0)(-4.8) = 3.60 \times 10^5 \text{ k}\Omega$$

La relación de retorno y la ganancia a lazo abierto se calculan mediante las Ecs. (12-44) y (12-43) respectivamente.

En estas ecuaciones

$$R'_s = R_s \parallel R_F = 0.6 \parallel 20 = 0.582 \text{ k}\Omega$$

y

$$R'_L = R_F \parallel R_L = 20 \parallel 0.6 = 0.582 \text{ k}\Omega$$

$$A_{OL} = \frac{-3.6 \times 10^5 \times 0.582}{0.582 + 25} \frac{0.582}{0.582 + 0.6} = -4040$$

$$T = \frac{-4040}{-20} = 202$$

$$A_F = \frac{A_{OL}}{1 + T} = \frac{-4040}{1 + 202} = -19.9 \text{ k}\Omega \approx -20 \text{ k}\Omega = -R_F$$

(b) Para determinar Z_{IF} y Z_{OF} emplearemos las Ecs. (12-46) y (12-47). Para Z_{ID} obtenemos

$$Z_{IF} = 25 \parallel 20 = 11.1 \text{ k}\Omega$$

La relación de retorno en circuito abierto T_{OC} se obtiene de T haciendo $R_s \to \infty$. En esta condición $R'_s \to R_F$ y según la Ec. (12-45)

$$T_{OC} = \frac{3.6 \times 10^5}{20 + 0.6} \frac{0.6}{0.582 + 0.6} \frac{20}{20 + 25} = 3.94 \times 10^3$$

Por tanto

$$Z_{ID} = \frac{11.1}{1 + 3.94 \times 10^3} \approx \frac{11.1}{3.94 \times 10^3} = 0.00282 \text{ k}\Omega = 2.82 \text{ }\Omega$$

La impedancia de salida del sistema «muerto» Z_{OD} es

$$Z_{OD} = r_o \parallel R_F = 0.60 \parallel 20 = 0.582 \text{ k}\Omega$$

Cuando $R_L \to \infty$, $R'_L \to R_F$, y $R_L/(R_L + R_F) \to 1$; por tanto, de la Ec. (12-45),

$$T_{OC} = 3.6 \times 10^5 \,(1) \frac{1}{0.60 + 20 + 0.6} \quad \frac{0.582}{0.582 + 25} = 398$$

y

$$Z_{OF} = \frac{0.582}{1 + 398} = 0.00146 \text{ k}\Omega = 1.46 \text{ }\Omega$$

Los resultados obtenidos indican claramente que $Z_{IF} \ll R_s$ y $Z_{OF} \ll R_L$. Así se han satisfecho las condiciones dadas en la Tabla 12-1, y este amplificador realimentado se aproxima mucho al convertidor corriente-tensión ideal (amplificador de transimpedancia).

Opciones de diseño

Las Ecs. (12-43), (12-45), (12-46) y (12-47) dan las características pertinentes del triple en paralelo. Describiremos cualitativamente algunas de las opciones de diseño a elegir. Nos referiremos al funcionamiento en la banda media ya que la respuesta en frecuencia y la estabilidad del amplificador serán tratadas en subsiguientes secciones.

Evidentemente, el amplificador debe tener una ganancia A_F especificada, es decir, que se conoce la gama de señales de salida correspondiente a la gama de señales de entrada. También están especificadas las resistencias de fuente R_s y de carga R_L que el amplificador debe excitar. Para que el amplificador se

aproxime a un funcionamiento ideal dentro de límites especificados, los valores dados de R_s y R_L determinan los de Z_{IF} y Z_{OF} respectivamente. Además, las variaciones de ganancia (desestabilidad) y la distorsión no lineal constituyen unas exigencias de diseño.

Con $|T| \gg 1$, la ganancia del amplificador de la Fig. 12-29 es $A_F \approx K = -R_F$ y de esta forma la ganancia especificada determina la resistencia R_F de la red de realimentación. Cada una de las demás especificaciones del diseño dadas en el párrafo anterior dependen del valor particular de la relación de retorno T (Secs. 12-3 a 12-5). El diseñador del circuito debe seleccionar el mayor valor de T calculado para cumplimentar cada una de las especificaciones independientemente. Es decir, se determina un valor de T que satisfaga las exigencias respecto a la distorsión, otro valor de T (T_{OC}) que satisfaga la especificación de la impedancia de entrada, y así sucesivamente, eligiéndose el mayor de todos los valores. Obsérvese que un incremento de T reduce Z_{IF}, Z_{OF}, la cuantía de la distorsión no lineal y la estabilidad. Así pues, al elegir el mayor valor de T se satisfacen todas las demás exigencias del diseño. Como T depende de la relación de transferencia del amplificador interno Z_m (y R_F) el valor de Z_m queda prescrito. Así, los requisitos básicos del diseño se han «traducido» a especificaciones en las redes individuales del amplificador realimentado.

Debe tenerse en cuenta que el proceso de diseño, aun cuando es aplicable a todas las topologías, no es tan sencillo como parece en el párrafo anterior. No se han considerado entre otras cosas la respuesta en frecuencia y el funcionamiento en continua (estabilización de polarización). En general, el proceso de diseño es interactivo: opciones que afectan a las características de procesado de señales influyen sobre el funcionamiento en continua, y viceversa.

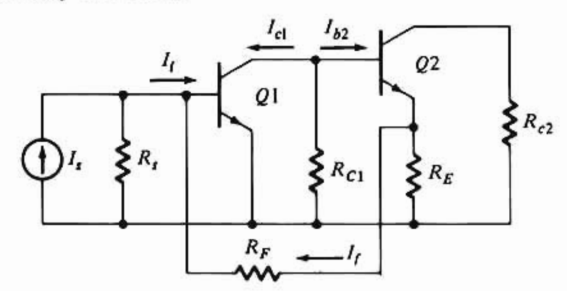


Figura 12-32. Representación del par BJT paralelo-serie.

12-11. EL PAR PARALELO-SERIE

El amplificador de dos etapas de la Fig. 12-32 es un *par paralelo- serie*. Es evidente que la comparación de corriente se realiza en la entrada. Ahora veremos que el muestreo de corriente tiene lugar en la salida demostrando que la corriente de realimentación I_f es proporcional a la de salida I_0. Suponiendo que $\beta \gg 1$, la corriente de emisor en $Q2$ es I_0. Los caminos a través de las resistencias R_E y R_F forman un divisor de corriente y por tanto I_f es proporcional a I_0. Además, haciendo $I_0 = 0$ se hace que $I_f = 0$.

El circuito de la Fig. 12-32 es sólo aproximadamente el amplificador paralelo-serie de la Fig 12-19 debido a la realimentación local de $Q2$ proporcionada por R_E.

Para determinar el valor aproximado de $A_{OL} = I_0 / I_s$ se emplea el amplificador sin realimentación de la Fig. 12-33. Como puede verse en esta figura están incluidos los efectos de la carga de la red de realimentación obtenidos aplicando las reglas citadas en la Sec. 12-7. Observamos también que sólo se elimina el circuito de realimentación global, pues la local debida a la resistencia de emisor en $Q2$ queda incluida como parte de A_{OL}. Admitiendo los siguientes supuestos, el análisis del circuito de la Fig. 12-33 (Prob. 12-30) nos lleva a los resultados de la Ec. (12-48)

$$A_{OL} \approx \frac{-\beta_o R_{C1}}{R_E} \qquad T \approx \frac{\beta_o R_{C1}}{R_F} \qquad K = -\frac{1}{\beta} = \frac{-R_F}{R_E} \tag{12-48}$$

en donde se supone que $\beta_o \gg 1$, $\beta_o R_E \gg$ que $r_{\pi 2}$, y que $R_{C1}, R_s \gg r_{\pi 1}$, y $R_F \gg R_E$ y que $r_{\pi 1}$.

Resistencias de entrada y de salida

La impedancia de entrada Z_{IF} se reduce debido a la conexión en paralelo en la entrada. Razonando como en la Sección anterior se obtiene

$$Z_{IF} = \frac{r_{\pi 1}}{1 + T\,|_{R_s \to \infty}} \tag{12-49}$$

suponiendo que $R_F \gg r_{\pi 1}$.

Si $r_{o2} \to \infty$ la impedancia del sistema muerto será también infinita. Incluyendo r_{o2} en el modelo (Prob. 12-29) y suponiendo $R_F \gg R_E$, Z_{OD} será

$$Z_{OD} \approx r_{o2}\left(1 + \frac{\beta_{o2} R_E}{R_E + r_{\pi 2} + R_{C1}}\right) \tag{12-50}$$

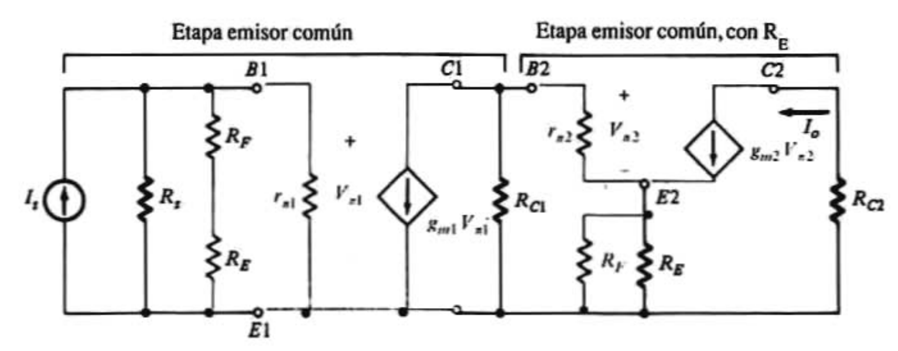


Figura 12-33. Modelo del amplificador básico del par paralelo- serie incluido el efecto de carga de la red de realimentación tanto en la entrada (R_F en serie con R_E) como en la salida ($R_F \parallel R_E$).

Obsérvese que R_{C1} es la resistencia de fuente efectiva de esta etapa. La Ec. (12-50) indica que la realimentación local en serie suministrada por R_E aumenta la resistencia de salida.

En una conexión en serie $T_{OC} = 0$ y T_{SC} se calcula haciendo $R_{C2} = 0$ en la expresión de T. De acuerdo con las mismas aproximaciones empleadas en la deducción de la Ec. (12-48) tendremos $T_{SC} \approx T$, y

$$Z_{OF} = r_{o2}\left(1 + \frac{\beta_o R_E}{R_E + r_{\pi 2} + R_{C1}}\right)\left(1 + \frac{\beta_o R_{C1}}{R_F}\right) \tag{12-51}$$

Ejemplo 12-7

Se diseña un amplificador paralelo-serie con los siguientes parámetros: $R_s = 10$ kΩ, RE = 0,50 kΩ, $R_F = 10$ kΩ, $R_{C1} = R_{C2} = 2{,}0$ kΩ, $r_{\pi 1} = 0{,}5$ kΩ, $\beta_{o1} = \beta_{o2} = \beta_o = 100$, y $r_{\pi 2} = 0{,}50$ kΩ. Las resistencias de salida r_{o1} y r_{o2} son suficientemente grandes para poderlas despreciar. Determinar los valores aproximados de A_{OL}, T y A_F.

Solución

Supondremos que $R_F \gg R_E$, $R_F \gg r_{\pi 1}$, $\beta_o R_E \gg R_{C1}$ y que la corriente en R_s es despreciable. Por tanto emplearemos las Ecs. (12-48) y tendremos

$$A_{OL} \approx \frac{-100 \times 2}{0.5} = -400 \qquad K \approx -\frac{10}{0.5} = -20 \qquad T \approx \frac{-400}{-20} = 20$$

Entonces, $A_F = -400/(1 + 20) = -19.0$

El cálculo de estas ecuaciones, pero sin tener en cuenta las suposiciones mencionadas, nos lleva a $A_{OL} = -358$, $T = 17{,}1$, $K = -(R_F + R_E)/R_E = -21$ y $A_F = -19{,}7$.

Los valores aproximados basados en los supuestos citados están razonablemente próximos a los más ajustados. Resaltamos el hecho de que al hacer tales suposiciones el diseñador puede apreciar rápidamente el comportamiento del circuito.

12-12. EL PAR SERIE-PARALELO

La Fig. 12-34*a* representa una realización BJT del *par serie-paralelo*. La salida conectada en paralelo es bien evidente. En la entrada, la señal de comparación $V_{\pi 1} = V_f$ es aproximadamente la diferencia entre V_s y la tensión a través de R_E.

El circuito equivalente del amplificador de dos etapas en cascada de la Fig. 12-34*b*, es el amplificador de la Fig. 12-34*a* con la red de realimentación global eliminada de acuerdo con las normas dadas en la Sec. 12-7. Una de las dos etapas es de emisor común con resistencia del emisor y la otra de emisor común simplemente, por tanto el lazo de realimentación local de la primera etapa queda incluido en el cálculo de A_{OL}. Naturalmente A_{OL} es el producto de las ganancias de tensión de cada etapa y que según la Tabla 10-3 es

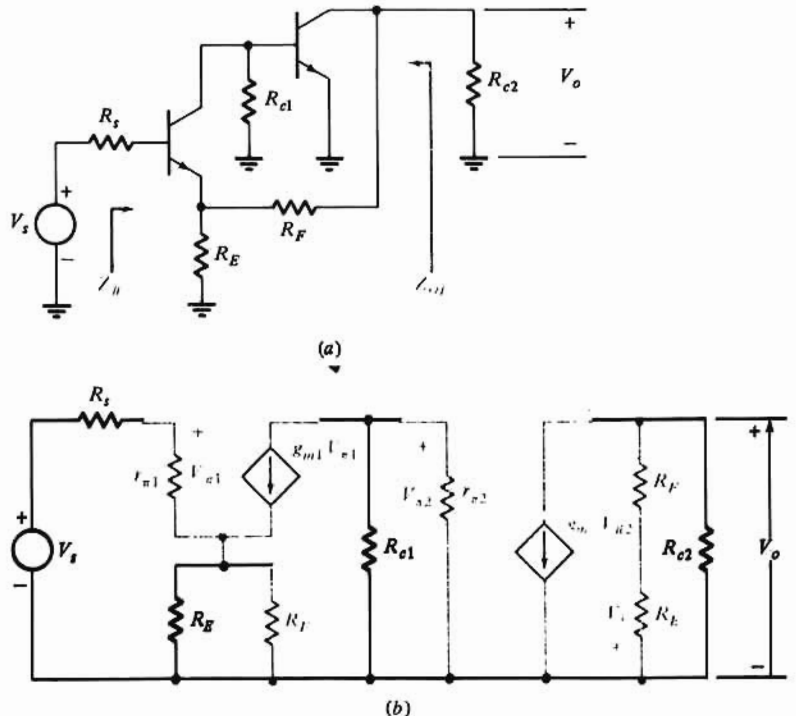


Figura 12-34. (*a*) Par serie-paralelo realimentado, y (*b*) circuito equivalente del amplificador sin realimentación.

$$A_{OL} = A_{v1}\,A_{v2} = \frac{-\beta_{o1}R_{C1}}{R_s + r_{\pi 1} + (1 + \beta_{o1})R'_E}\,\frac{-\beta_{o2}R_{L2}}{R_{C1} + r_{\pi 2}} \tag{12-52}$$

siendo

$$R'_E = R_E \parallel R_F \qquad \text{y} \qquad R_{L2} = R_{C2} \parallel (R_F + R_E)$$

El valor de β se determina siguiendo el proceso dado en la Sec. 12-7. En la Fig. 12-34*b* la malla divisoria de tensión da $V_f = -R_E V_o/(R_E + R_F)$ y

$$\beta = \frac{V_f}{V_o} = -\frac{R_E}{R_E + R_F} \tag{12-53}$$

Suponiendo $\beta_o \gg 1$ y $\beta_{o1}R'_E \gg R_s + r_{\pi 1}$ el valor aproximado de T será

$$T \approx \frac{\beta_{o2}R_{C1}R_{L2}}{R_{C1} + r_{\pi 2}} \tag{12-54}$$

Impedancias de entrada y de salida

En el amplificador serie-paralelo es de esperar un aumento de la impedancia de entrada Z_{IF} y una disminución de la de salida Z_{OF}. Suponiendo

$$Z_{OF} \approx \frac{R_F}{1 + T\,|_{R_{C2}\to\infty}} \tag{12-55}$$

La impedancia de entrada viene dada por

$$Z_{IF} = [r_{\pi 1} + R_E\,(1 + \beta_{o1})]\,(1 + T\,|_{R_s = 0}) \tag{12-56}$$

Se deja para el lector (Prob. 12-34) la deducción de las Ecs. (12-55) y (12-56). Obsérvese sin embargo que Z_{ID} (así como el valor exacto de Z_{OD}) incluye los efectos del lazo de realimentación local sobre la impedancia de entrada de la primera etapa.

Ejemplo 12-8

El amplificador serie-paralelo de la Fig. 12-34*a* está diseñado empleando transistores con los siguientes parámetros: $r_{\pi 1} = 5{,}0$ kΩ, $\beta_{o1} \doteq 125$ (para $Q1$); $r_{\pi 2} = 2{,}50$ kΩ, $\beta_{o2} = 125$ (para $Q2$). Los elementos del circuito empleados son: $R_{C1} = 9{,}0$ kΩ, $R_{C2} = 3{,}0$ kΩ, $R_E = 0{,}20$ kΩ y $R_F = 6{,}0$ kΩ. El amplificador está excitado por una fuente con una resistencia interna $R_s = 2{,}5$ kΩ. Determinar A_{OL}, T y A_F.

Solución

Para calcular A_{OL} emplearemos los resultados del análisis aproximado [Ec. (12-52)]

$$A_{OL} = \frac{-125 \times 9.0}{2.5 + 5.0 + (125 + 1)\,0.194} \; \frac{-125 \times 2.02}{9.0 + 2.5} = 773$$

siendo $R'_E = R_E \parallel R_F = 0.20 \parallel 6.0 \approx 0.194$ kΩ y $R_{L2} = R_{C2} \parallel (R_F + R_E) = 3.0 \parallel (6.0 + 0.20) = 2.02$ kΩ.

La Ec. (12-53) nos da

$$\beta = -\frac{0.2}{0.2 + 6.0} \approx -\frac{1}{31} \qquad \text{y} \qquad T \approx -A_{OL}\beta = \frac{773}{31} = 24.9$$

y basándonos en estos valores

$$A_F = \frac{773}{1 + 24.9} = 29.8$$

Del examen de los resultados del Ejemplo 12-8 surgen dos observaciones: (1) La ganancia $A_F = 29{,}8$ es típica de lo que se puede lograr con una etapa única en emisor común (Sec. 10-10), y (2) la estabilidad proporcionada por $T = 24{,}9$ se puede conseguir también con una etapa en emisor común empleando la realimentación local dada por R_E (Prob. 12-27). Sin embargo, la etapa en emisor común conteniendo R_E no puede reportar simultáneamente la ganancia y la estabilidad como vamos a demostrar. En el Prob. 12-11 vemos que $T = \beta_o R_E/(R_s + r_\pi + R_E)$ para una etapa en emisor común con una resistencia de emisor. Empleando para la primera etapa de la Fig. 12-34*a* los valores del Ejemplo 12-8 encontramos que $T = 3{,}25$ y $|A_V| = \beta_o R_{C1}/[R_s + r_{\pi 1} + (\beta_o + 1)R_E] = 34{,}4$. Evidentemente $|A_V|$ es comparable con A_F, pero la relación de retorno de esta etapa es considerablemente menor que la obtenida para el par serie-paralelo. Para tener la misma estabilidad en ambos amplificadores debe aumentarse R_E en la etapa en emisor común. Sin embargo esto hace decrecer $|A_V|$. En consecuencia no pueden cumplimentarse simultáneamente ambos requisitos de ganancia y estabilidad con una sola etapa con realimentación local.

Existe una situación similar cuando compara el par paralelo-serie del Ejemplo 12-8 con una etapa en emisor común con realimentación local de colector a base (Prob. 12-28). De todo ello podemos deducir que casi siempre *la realimentación global es más eficaz que la local*. Así pues, para diseñar un circuito es preferible la realimentación global.

12-13. EL TRIPLE EN SERIE

En la figura 12-35*a* está representada la versión FET del amplificador serie-serie de la Fig. 12-18 denominado corrientemente *triple en serie*. La corriente de salida es reenviada a través de R_F y contribuye a la caída de tensión V_s a través de R_S. La comparación de tensiones tiene lugar en el lazo de entrada. La corriente total en R_S es $I_I + I_0$ lo que indica que R_S forma parte de la red de realimentación global y de la red de realimentación local de la primera etapa. De igual forma R_F y R_S actúan como una resistencia en la fuente de la tercera etapa proveyendo así la realimentación local de esta etapa.

El circuito equivalente del amplificador sin realimentación corresponde al de la Fig. 12-35*b* e incluye los efectos de carga de la red de realimentación. Este amplificador de tres etapas en cascada consta de dos etapas en fuente común con realimentación local (etapas 1 y 3) y de un amplificador en fuente común (etapa 2). Suponiendo $R_F \gg R_S$ de forma que $R_F \parallel R_S \approx R_S$ y $R_F + R_S \approx R_F$, A_{OL} es el producto de las ganancias de estas etapas, o sea de

$$A_{OL} = \frac{I_o}{V_s} = \frac{-\mu_1 R_{D1}}{R_{D1} + r_{d1} + (1 + \mu_1)R_S}\,(-g_{m2}R_{L2})\,\frac{\mu_3}{R_{D3} + r_{d3} + (1 + \mu_3)R_F} \qquad (12\text{-}57)$$

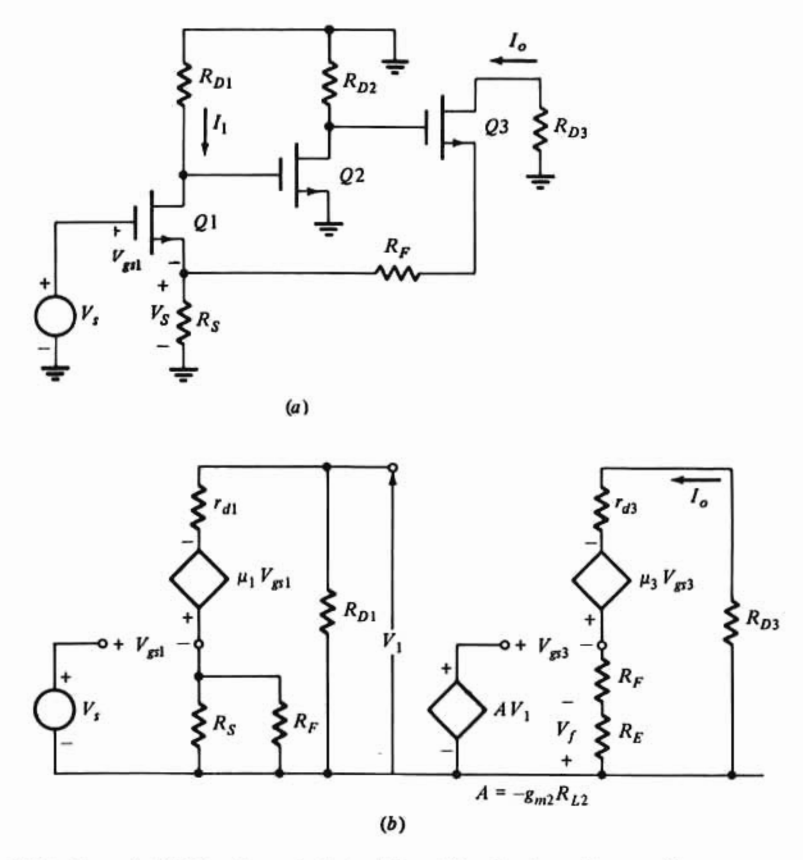


Figura 12-35. (*a*) Un FET triple serie. (*b*) Circuito equivalente del amplificador sin realimentación.

Obsérvese que el último término de la Ec. (12-57) es la relación de transferencia tensión-corriente de la tercera etapa.

Haciendo en la Fig. 12-35*b*, $V_{gs1} = 0$, resulta $V_F = I_0 R_S$. Por tanto, $\beta = V_F/I_0 = -R_S$ y la relación de retorno puede ser aproximadamente

$$T = A_{OL}\beta = \frac{\mu_1\mu_3 g_{m2} R_{D1} R_{L2} R_S}{[R_{D1} + r_{d1} + (1 + \mu_1)R_S]\,[R_{D3} + r_{d3} + (1 + \mu_3)R_F]} \tag{12-58}$$

Impedancias de entrada y de salida

La resistencia de entrada de esta etapa es prácticamente infinita en la banda de frecuencias medias. La resistencia puerta-fuente del MOSFET es del orden de $10^{12}\ \Omega$ y este valor se multiplica por $(1 + T_{SC})$ debido a la realimentación en serie. En consecuencia, en este circuito Z_{IF} se considera normalmente como circuito abierto. En etapas con transistores discretos la impedancia en entrada es simplemente la resistencia equivalente de la red de polarización de puerta.

La impedancia de salida Z_{OD} del sistema muerto es la resistencia de salida de una etapa en fuente común con resistencia de fuente como se determina en la Tabla 10-5. Suponiendo $R_F \gg R_S$, tendremos

$$Z_{OF} = [r_{d3} + (1 + \mu_3)R_F]\,(1 + T\,|_{R_{D3}=0}) \tag{12-61}$$

en donde T_{SC} se obtiene de T haciendo $R_{D3} = 0$.

Ejemplo 12-9

En la Tabla 12-6 figuran los parámetros del FET y las resistencias de drenaje empleados en el triple en serie de la figura 12-35. Las resistencias de la realimentación son $R_F = 10$ kΩ y $R_S = 0{,}50$ kΩ. Hallar A_{OL}, T y A_F del sistema.

Tabla 12-6. Parámetros del FET y valor de los componentes del Ejemplo 12-9 y Figura 12-35

	Parámetro			
Transistor	g_m, m℧	r_o, kΩ	μ	R_D, kΩ
$Q1$	3.0	50	150	50
$Q2$	1.5	100	150	50
$Q3$	1.0	130	130	10

Solución

Para calcular A_{OL} y T emplearemos los resultados del análisis aproximado de las ecuaciones (12-57) y (12-58) respectivamente. Observemos que el supuesto de que $R_F \gg R_s$ es razonable e introduce sólo un pequeño error. En la Ec. (12-57) se emplea el valor de R_{L2} siguiente

$$R_{L2} = R_{D2} \parallel r_{o2} = 50 \parallel 100 = 33.3 \text{ k}\Omega$$

Luego

$$A_{OL} = \frac{-150 \times 50}{50 + 50 + (1 + 150)\,0.5}(-1.5 \times 33.3) \times \frac{130}{10 + 130 + (1 + 130)\,10} = 191.6 \text{ m℧}$$

Puesto que $\beta = -R_S = -0{,}5$ kΩ tendremos:

$$T = -A_{OL}\beta = -191.6\,(-0.5) = 95.8$$

La ganancia A_F con lazo cerrado es

$$A_F = \frac{A_{OL}}{1 + T} = \frac{191.6}{1 + 95.8} = 1.98 \text{ m℧}$$

valor ciertamente muy próximo a $-1/\beta$ ya que $T \gg 1$. Cuando se tiene en cuenta la carga de R_F en R_s, es decir, se calculan $R_F \parallel R_s$ y $R_F + R_s$, y se emplean en la Ec. (12-57), el valor de A_{OL} es igual a 187,2 m℧.

12-14. ANÁLISIS GENERAL DE AMPLIFICADORES REALIMENTADOS MULTI-ETAPA

Los amplificadores realimentados multi-etapa se pueden analizar para incluir la transmisión desde la

entrada a la salida de la red de realimentación. El método empleado se basa en el análisis de una sola etapa visto en la Sección 12-8. El proceso es el siguiente:

1. Dibujar el circuito equivalente del amplificador.
2. Identificar $\hat{X}_i$. Es conveniente referirlo a una etapa en emisor (o fuente) común ya que V_π (o V_{gs}) se miden respecto a tierra.
3. Aplicar las definiciones de las Ecs. (12-24) y calcular los parámetros t. Estos parámetros sirven para determinar A_{OL}, T y A_F.

El siguiente ejemplo muestra este proceder.

Ejemplo 12-10

(*a*) Determinar los parámetros t para el amplificador serie-paralelo de la Fig 12-34*a*. (*b*) Empleando los valores de los elementos del Ejemplo 12-8 calcular A_D, A_{OL}, T y A_F.

Solución

(*a*) El circuito equivalente viene dado en la Fig. 12-36 en la que $\hat{X}_i = \hat{V}_{\pi 2}$ está referida a la etapa en emisor común. Para calcular t_{11} se emplea la Fig. 12-37*a*. Cuando visto desde los terminales X-X' la primera etapa es un seguidor de emisor, el teorema de Thèvenin aplicado a esos terminales lleva al circuito de la Fig. 12-37*b*. De la Tabla 10-3*a*,

$$A_v = \frac{(\beta_{o1} + 1)R_E}{R_s + r_{\pi 1} + (\beta_o + 1)R_E} \qquad R'_o = R_E \parallel \frac{R_s + r_{\pi 1}}{1 + \beta_{o1}} = R_E \parallel R_o$$

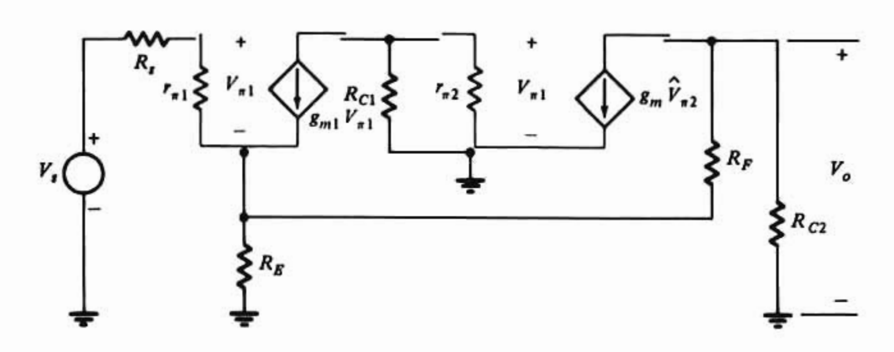
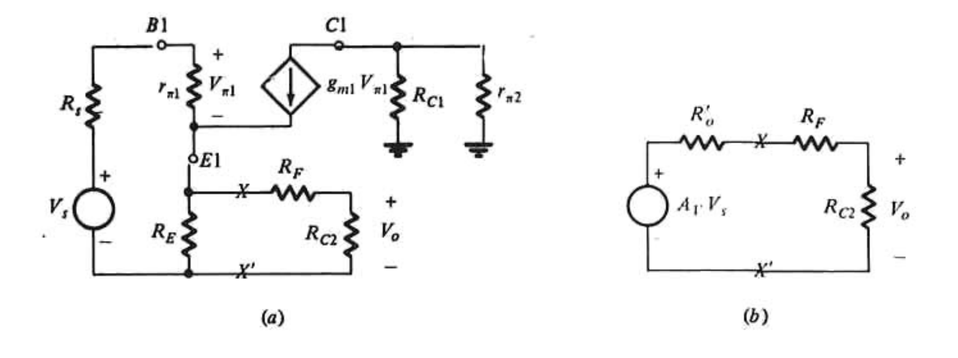
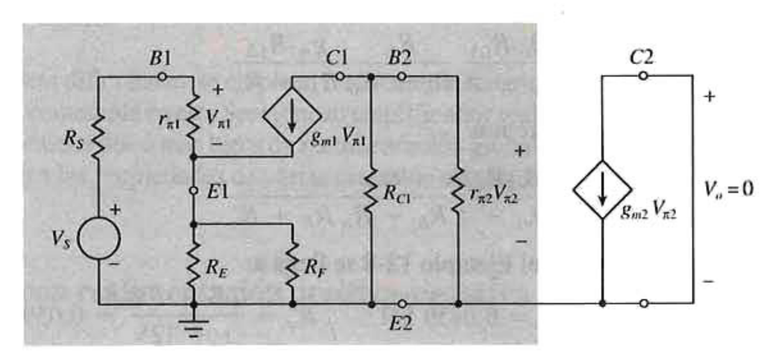


Figura 12-36. Circuito equivalente del par serie-paralelo. A efectos del análisis, la fuente gobernada de la etapa en emisor común queda identificada por $g_{m2}\hat{V}_{\pi 2}$.

En la Fig. 12-37*b* la relación del divisor de tensión nos da

$$t_{11} = A_D = \frac{V_o}{V_s} = \frac{R_{C2}}{R'_o + R_F + R_{C2}} A_V$$





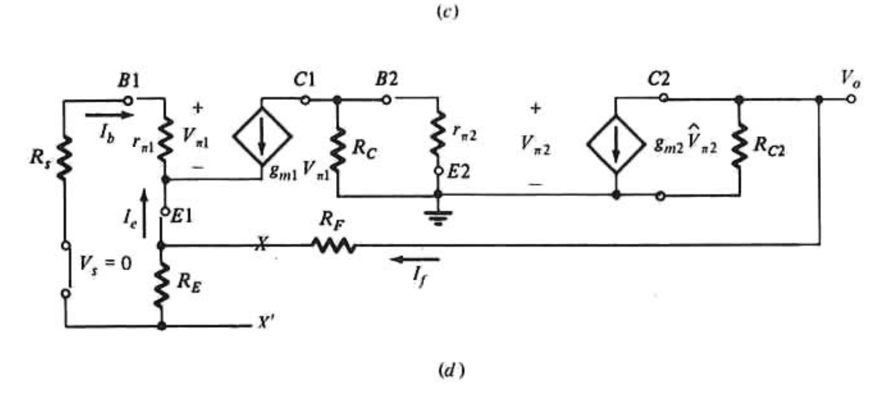


Figura 12-37. Circuitos equivalentes empleados para calcular los parámetros *t* del Ejemplo 12-10, (*a*) circuito para t_{11}, y (*b*) equivalente de Thèvenin. (*c*) circuito para t_{21}; (*d*) circuito para t_{12} y T

Para calcular t_{21}, $V_o = 0$ y se emplea el circuito de la Fig. 12-37*c*. La parte del circuito comprendida dentro del rectángulo sombreado es una etapa en emisor común con resistencia de emisor $R'_E = R_E \parallel R_F$. Haciendo $R_{L1} = R_{\pi 2} \parallel R_{C1}$ la Tabla 10-3*a* nos lleva a

$$t_{21} = \frac{V_{\pi 2}}{V_s} = \frac{-\beta_{o1} R_{L1}}{R_s + r_{\pi 1} + (\beta_{o1} + 1)\, R'_E}$$

Tanto t_{12} como la relación de retorno T se calculan a partir de la Fig. 12-37*d*. La carga efectiva en la etapa en emisor común es $R_{L2} = R_{C2} \parallel (R_F + R'_o)$. Por tanto

$$V_o = -g_{m2}R_{L2}\hat{V}_{\pi 2} \quad \text{y}$$

$$t_{12} = \frac{V_o}{\hat{V}_{\pi 2}} = -g_{m2}R_{L2}$$

La corriente $I_f = V_o/(R_F + R'_o) = -g_{m2}R_{L2}\hat{V}_{\pi 2}/(R_F + R'_o)$ se reparte entre R_E y R_o del seguidor del emisor. Haciendo uso de la relación del divisor de corriente tendremos

$$I_e = \frac{I_f R_E}{R_E + R_o}$$

Siendo $I_e = -(\beta_{o1} + 1)\, I_b$ y $V_{\pi 1} = I_b\, r_{\pi 1}$, entonces $V_{\pi 1} = -r_{\pi 1}I_e/(\beta_{o1} + 1)$. Combinando las relaciones de $V_{\pi 1}$, I_e, I_f, V_o y $V_{\pi 2}$ y formando $T = -V_{\pi 2}/\hat{V}_{\pi 2}$, se tiene

$$T = \frac{\beta_{o1}R_{L1}}{\beta_{o1} + 1}\,\frac{R_E}{R_E + R_o}\,\frac{g_{m2}R_{L2}}{R_F + R'_o}$$

Calculando $t_{22} = T/t_{12}$ tendremos

$$t_{22} = \frac{\beta_{o1}R_{L1}}{\beta_{o1} + 1}\,\frac{R_E}{R_E + R_o}\,\frac{1}{R_F + R'_o}$$

(*b*) Aplicando los valores dados en el Ejemplo 12-8 se llega a:

$$R'_o = 0.20 \,\|\, \frac{2.5 + 5.0}{1 + 125} = 0.0459 \text{ k}\Omega, \qquad R_o = \frac{2.5 + 5.0}{1 + 125} = 0.0595 \text{ k}\Omega$$

$$R_{L1} = 2.5 \,\|\, 9.0 = 1.96 \text{ k}\Omega, \qquad R_{L2} = 3.0 \,\|\, 6.0 = 2.0 \text{ k}\Omega$$

$$R'_E = 0.20 \,\|\, 6.0 = 0.194 \text{ k}\Omega$$

$$A_D = t_{11} = \frac{3.0}{0.0459 + 6.0 + 3.0} = 0.332$$

$$T = \frac{125\ (1.96)}{125 + 1}\,\frac{0.20}{0.20 + 0.0595}\,\frac{50\ (2)}{6.0 + 0.0459} = 24.8$$

Empleando $g_{m2} = \beta_{o2}/r_{\pi 2} = 125/2.5 = 50$ m℧

$$A_{OL} = t_{11} + t_{12}\,t_{21} = 0.332 + (-50)\,(2.0)\left(\frac{-125 \times 1.96}{2.5 + 5.0 + 126 \times 0.194}\right) = 767$$

O sea

$$A_F = \frac{A_{OL}}{1 + T} = \frac{767}{1 + 24.8} = 29.7$$

Los valores hallados no difieren más del 1% de los obtenidos en el ejemplo 12-8 utilizando el análisis aproximado.

12-15. AMPLIFICADORES REALIMENTADOS DE MÚLTIPLE LAZO

La disminución de sensibilidad provocada por amplificadores realimentados de un lazo único está limitada por el valor de la relación de retorno. Puesto que los dispositivos reales tienen una ganancia finita,

la sensibilidad no puede anularse, es decir, la función de transferencia A_F no puede hacerse completamente independiente de la ganancia del amplificador básico (sin realimentación). Además, las variaciones en los valores de los componentes pasivos que comprende la red de alimentación motivan también variaciones en A_F. Obsérvese que estas variaciones de los elementos no están afectados por la cuantía de la realimentación. Por ejemplo, en la etapa de Amp-Op no inversor de la Fig. 12-26, para A_v, y por tanto $T \gg 1$, $A_F = 1 + R_2/R_1$ y la precisión con la que podemos especificar A_F es directamente proporcional a la precisión con la que se puede fabricar la relación de resistencias.

Los amplificadores con lazo único fallan cuando se produce un fallo en uno de los elementos amplificadores. Si la ganancia del amplificador interno se anula, también tiende a cero la ganancia con realimentación (que se convierte en A_D). En muchas aplicaciones es importante una protección contra fallos catastróficos, como puede ser el caso de instrumentación médica (equipos de cardiología), naves espaciales tripuladas, comunicaciones por satélite y cables submarinos (cuya reparación es costosa, lenta y extremadamente difícil).

Para superar estas dificultades se emplean frecuentemente amplificadores realimentados de múltiples lazos. Tal como se contempla en esta Sección, un amplificador realimentado de múltiple lazo es un circuito multi-etapa que contiene dos o más lazos de realimentación globales[9]. Los siguientes comentarios son una breve introducción a las propiedades de varias clases de estos amplificadores.

Amplificador con realimentación positiva-negativa

El amplificador de tres etapas de la Fig. 12-38 contiene dos lazos de realimentación. El interior lo forman A_2, A_3 y f_2, y da una realimentación positiva ya que la señal reenviada y la señal aplicada (desde A_1) y X_2 están en fase. La realimentación introducida por f_1 abarcando las tres etapas es negativa ya que la señal reenviada está desfasada 180º (a la frecuencia a media banda) respecto a la señal de entrada X_s. Para mayor comodidad supondremos que el efecto de todas las vías de realimentación es despreciable.

Este amplificador está diseñado para hacer que la señal de salida sea invariable respecto a los cambios de ganancia A_1. La relación de transferencia puede expresarse

$$\frac{X_o}{X_s} = A_F = \frac{A_1\,[A_2A_3/(1 - A_2A_3f_2)]}{1 + [A_1A_2A_3f_1/(1 - A_2A_3f_2)]}$$

$$= \frac{A_1A_2A_3}{1 - A_2A_3f_2 + A_1A_2A_3f_1} \qquad (12\text{-}60)$$

En la Ec. (12-60) vemos que si $A_2A_3f_2 = 1$ tendremos $A_F = 1/f_1$ independientemente de A_1. Otro punto de vista de este amplificador es considerar que f_1 es una realimentación global respecto a un amplificador que comprende A_1 en cascada con el amplificador realimentado de ganancia $A_2\,A_3/(1\text{-}A_2\,A_3\,f_2)$. Si $A_2\,A_3$

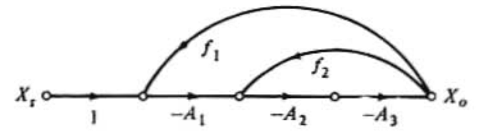


Figura 12-38. Gráfico de recorrido de la señal de un amplificador realimentado multilazo positivo-negativo.

[9] Los amplificadores de un lazo, en cascada, y los circuitos de lazo único que contengan una realimentación local, en general no se tratan como circuito de múltiple lazo.

$f_2 = 1$ este amplificador con realimentación interior tiene una ganancia infinita. En consecuencia, A_{OL} y T son ambas infinitas, y tendiendo T a infinito, la sensibilidad es nula.

El circuito de la Fig. 12-39 es una versión BJT de este amplificador. El lazo interior, de realimentación positiva lo forma la conexión serie de R_1 y R_2 alrededor de Q2 y Q3. La conexión de realimentación en paralelo de Q3 a Q1 a través de R_F provee la realimentación negativa total.

El primero de dos inconvenientes potenciales de este circuito es su sensibilidad respecto a los componentes del lazo de la realimentación positiva. Para un funcionamiento correcto $A_2 A_3 f_2$ debe ser igual a 1, y cualquier desviación de este valor se traduce en una dependencia de A_F y A_1. El segundo inconveniente es la estabilidad del amplificador; cualquier empleo de realimentación positiva, potencialmente puede provocar oscilaciones.

Estructura McMillan

El amplificador de la Fig. 12-40, propuesto originalmente por McMillan para la transmisión segura por cable submarino, utiliza vías de realimentación tanto hacia atrás como hacia adelante. En la configuración de acoplamiento cruzado y canal en paralelo, los amplificadores A_1 y A_2 son normalmente de lazo único. Esta topología se emplea para proteger de un fallo en uno de los canales sin interrumpir la transmisión de la señal desde la entrada a la salida. Vamos a demostrarlo seguidamente.

La función de transferencia de este amplificador (Prob. 12-44) se puede expresar

$$A_F = \frac{X_o}{X_s} = \frac{A_1(1 - A_2 f_{21}) + A_2(1 - A_1 f_{12})}{1 - A_1 A_2 f_{12} f_{21}} \tag{12-61}$$

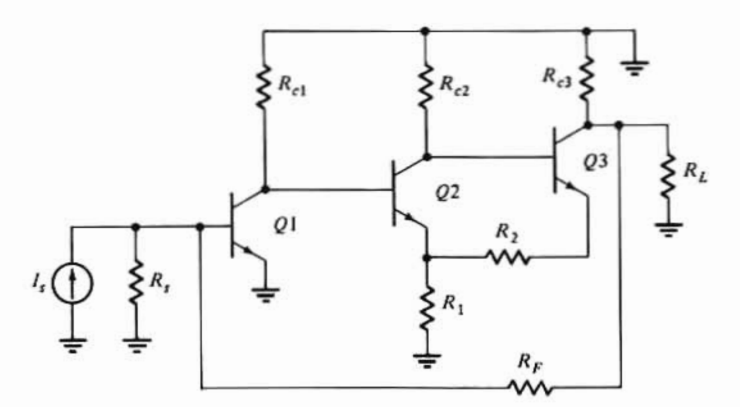


Figura 12-39. Disposición bipolar del amplificador de la Fig. 12-38.

Normalmente se diseñan ambos canales para que sean idénticos, con $A_1 = A_2 = A$ y $f_{12} = f_{21} = f$. En estas condiciones

$$A_F = \frac{2A(1 - Af)}{1 - A^2 f^2} = \frac{2A(1 - Af)}{(1 + Af)(1 - Af)} = \frac{2A}{1 + Af} \tag{12-62}$$

Si $Af = 1$ según la Ec. (12-62), $A_F = A$. Supongamos que $A_1 = 0$, es decir, que ha habido un fallo catastrófico en uno de los canales. La Ec. (12-61) indica que $A_F = A_2 = A$ existiendo la misma transmisión

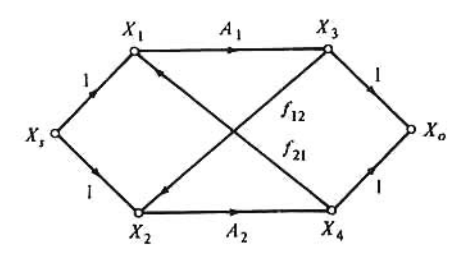


Figura 12-40. Amplificador McMillan de dos canales con realimentación directa e inversa. Normalmente sólo debe actuar uno de los canales para proporcionar la salida deseada.

entre entrada y salida. Recuérdese que A_2 es un amplificador de realimentación negativa de forma que aun con $A_1 = 0$ el funcionamiento del circuito muestra los beneficios de un amplificador de lazo único.

La estructura de la Fig. 12-40 también es insensible a cualquier cambio que ocurra en un canal. O sea, si A varía de forma que $A_1 f_{12} \neq 1$ mientras que $A_2 f_{21} = 0$, de la Ec. (12-61) se tiene

$$A_F = \frac{A_2 (1 - A_1 f)}{1 - A_1 f} = A_2 = A$$

no habiendo variación alguna en A_F. Análogamente, si f_{12} cambia, de forma que $Af_{12} \neq 1$, tendremos

$$A_F = \frac{A (1 - Af_{12})}{1 - Af_{12}} = A$$

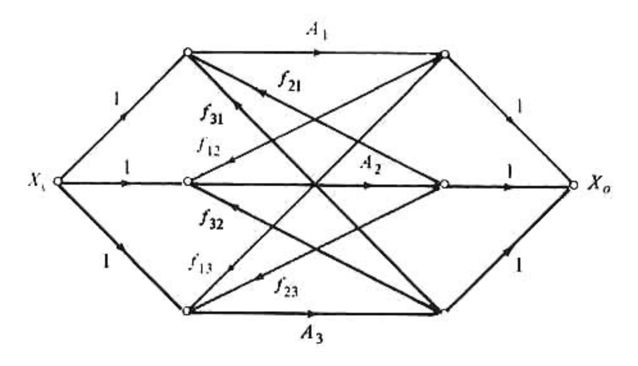


Figura 12-41. Amplificador McMillan de tres canales con realimentación directa e inversa.

Se llega a la conclusión de que este amplificador es invariable frente a los cambios en los elementos tanto activos como pasivos. Nuevamente encontramos el inconveniente de que Af debe ser exactamente igual a la unidad, y cualquier desviación de este valor (en ambos canales) hace cambiar A_F.

La topología de la Fig. 12-40 se puede ampliar a más de dos lazos como se ve en el circuito de tres canales de la Fig. 12-41. En este circuito se pueden producir dos fallos sin que se interrumpa el servicio. En efecto, la multiplicidad procurada por los canales paralelos permite la transmisión de la señal mientras siga funcionando uno de ellos.

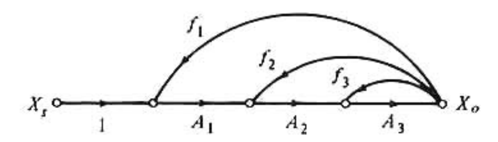


Figura 12-42. Gráfica de recorrido de la señal de un amplificador realimentado de lazo múltiple en «nido» (seguidor).

Realimentación seguidora

La Fig. 12-42 corresponde al gráfico de circulación de la señal de un amplificador de realimentación seguidora. En esta topología, llamada también de «nido», cada lazo de realimentación parte del mismo nudo (la salida) y termina en la entrada de uno de los amplificadores. Esta estructura se emplea frecuentemente en filtros activos porque cada término de la característica de transferencia puede establecerse por un lazo de realimentación. Esto queda demostrado por la Ec. (12-63) deducida de la Fig. 12-42 (Prob. 12-40).

$$A_f = \frac{A_1 A_2 A_3}{1 - A_3 f_3 - A_3 A_2 f_2 - A_3 A_2 A_1 f_1} \tag{12-63}$$

Realimentación salto de rana

La topología de este amplificador, representada en la Fig. 12-43, se emplea también para filtros activos. Como se ve en esta figura, los lazos de realimentación solapados hacen depender la señal de entrada de cada amplificador de la señal de salida de cada amplificador. Esto se aprovecha en los filtros activos para hacer que cada término de la función de transferencia [Ec. (12-64)] dependa de la ganancia de lazo de un lazo de realimentación (Prob. 12-41).

$$A_f = \frac{A_1 A_2 A_3}{1 - A_2 A_1 f_1 - A_2 A_3 f_3} \tag{12-64}$$

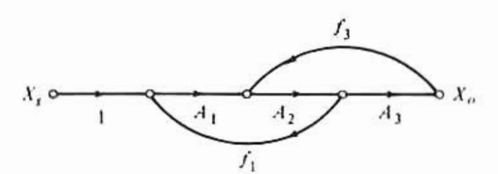


Figura 12-43. Gráfico de recorrido de la señal del amplificador realimentado de lazo múltiple en «salto de rana».

Las topologías últimamente expuestas pueden ampliarse para tener más lazos de realimentación de los que se representan en las Figs. 12-42 y 12-43.

REFERENCIAS

1 Bode, H.W.: "Network Analysis and Feedback Amplifier Design," D. Van Nostrand Company, Princeton, N.J., 1945.

2 Blackman, R.B.: Effect of Feedback on Impedance, *Bell System Tech. J.*, vol. 22, nº 3, p. 2, 1943.

3 Sedra, A.S., y K.C. Smith: "Microelectronic Circuits," Holt, Rinehart & Winston, Nueva York, 1981.

4 Gray, P.R., y R.G. Meyer: "Analysis and Design of Analog Integrated Circuits," Holt, Rinehart & Winston, Nueva York, 1985.

5 Blecher, F.H.: Design Principles for Single Loop Transistor Feedback Amplifiers, *IRE Trans. Circuit Theory*, vol. CT-4, nº 5, septiembre 1957.

6 Ghausi, M.S.: "Electronic Devices and Circuits: Discrete and Integrated," Holt, Rinehart & Winston, Nueva York, 1985.

7 Schilling, D. y H. Belove: "Electronic Circuits Discrete and Integrated," McGraw-Hill Book Company, Nueva York, 1979.

8 Soclof, S.: "Analog Integrated Circuits," Prentice- Hall, Englewood Cliffs, N.J., 1985.

9 Black, H.S.: Stabilized Feedback Amplifiers, *Bell System Tech. J.*, vol. 14, pp. 1-18, enero 1934.

TEMAS DE REPASO

12-1. (*a*) Dibujar el circuito equivalente de un amplificador de tensión
(*b*) ¿Qué condiciones deben cumplirse para que este amplificador funcione idealmente?

12-2. Repetir el tema 12-1 para un amplificador de corriente.

12-3. Repetir el tema 12-1 para un convertidor tensión-corriente.

12-4. Repetir el tema 12-1 para un convertidor corriente-tensión.

12-5. Citar cinco partes constituyentes de un amplificador realimentado de lazo único.

12-6. Dibujar el diagrama de bloques de un amplificador realimentado y describir la función de cada bloque.

12-7. Citar las cuatro topologías básicas de amplificador realimentado de lazo único.

12-8. (*a*) Dibujar el diagrama de bloques de un amplificador realimentado de lazo único.
(*b*) Definir A y β
(*c*) ¿Qué relación existe entre A_F y A?

12-9. Identificar X_s, X_o, X_f y X_i como corriente o tensión para cada una de las topologías de realimentación.

12-10. Identificar A y β para cada una de las cuatro topologías.

12-11. Definir: (*a*) realimentación negativa, y (*b*) realimentación positiva.

12-12. Definir de palabra y mediante una ecuación (*a*) la ganancia A_{OL} con lazo abierto y (*b*) la relación de retorno T.

12-13. Expresar A_F en función de A_{OL} y T.

12-14. (*a*) Definir la sensibilidad.
(*b*) ¿Cuál es el valor de A_F con grandes valores de T?
(*c*) ¿Cuál es el significado de la respuesta de (*b*)?

12-15. Citar cinco características de un amplificador, que quedan modificadas por una realimentación negativa.

12-16. Enunciar los tres supuestos fundamentales empleados en el método de análisis aproximado.

12-17. Para tener el amplificador sin realimentación, describir cómo se obtiene: (*a*) el circuito de entrada y (*b*) el circuito de salida.

12-18. Indicar para cada una de las cuatro topologías si (*a*) la impedancia de entrada y (*b*) la impedancia de salida, aumentan o disminuyen a consecuencia de la realimentación.

12-19. (*a*) Establecer la fórmula de la impedancia de Blackman.
(*b*) Definir los términos T_{SC} y T_{OC}.
(*c*) ¿Qué se entiende por sistema «muerto»?

12-20. (*a*) Dibujar la representación de dos entradas de un amplificador paralelo-paralelo.
(*b*) En función de la fórmula de impedancia de Blackman, explicar cuál de las resistencias de entrada y de salida aumentan o disminuyen.

12-21. Repetir el tema 12-20 para un amplificador paralelo-serie.

12-22. Repetir el tema 12-20 para la topología serie-serie.

12-23. Repetir el tema 12-20 para la topología serie-paralelo.

12-24. (*a*) Expresar X_o y X_i como superposición de dos términos.
(*b*) Definir los parámetros t.

12-25. (*a*) Identificar A_D, T, K y A_{OL} en función de los parámetros t.
(*b*) ¿Cuál es el significado de cada término?

12-26. ¿Qué diferencia hay entre la realimentación local y la global?

12-27. ¿Qué cuatro circuitos comunes se emplean para aproximar los cuatro amplificadores realimentados básicos?

12-28. (*a*) ¿Cuáles de los circuitos del tema 12-27 contienen lazos de realimentación local?
(*b*) ¿Cuáles no?

12-29. Citar cuatro tipos de amplificador realimentado multi-lazo.

12-30. ¿Qué propiedades pueden mostrar las topologías de multi-lazo que no se puedan lograr en amplificadores de lazo único?

12-31. (*a*) Dibujar el gráfico de circulación de la señal de un amplificador McMillan de dos canales.
(*b*) ¿Qué características tiene este amplificador que no tengan las demás configuraciones comentadas?

13

Estabilidad y respuesta de los amplificadores realimentados

Se requieren amplificadores con realimentación negativa para funcionar dentro de una banda de frecuencias especificada, o alternativamente para dar la respuesta deseada a una excitación de función en escalón. En este capítulo examinaremos el efecto de la realimentación sobre la respuesta del amplificador. Desarrollaremos métodos para comprobar si la respuesta en circuito cerrado es estable. Se incluyen también las técnicas de compensación que se emplean para asegurarse de que el funcionamiento del amplificador realimentado sea estable y genere la respuesta deseada.

13.1 EFECTOS DE LA REALIMENTACION SOBRE EL ANCHO DE BANDA

Consideremos un amplificador realimentado en el que la red de realimentación, la impedancia de fuente y la impedancia de la carga sean todas resistivas. En estas condiciones la ganancia en lazo abierto A_{OL} (amplificador sin realimentación) y la relación de retorno T tienen los mismos polos. Consideremos en principio que A_{OL} (s) tiene un solo polo dominante de forma que

$$A_{OL}(s) = \frac{A_O}{1 + s/\omega_h} \qquad \text{y} \qquad T(s) = \frac{T_O}{1 + s/\omega_h} \tag{13-1}$$

siendo A_o y T_o los valores en mitad de la banda de A_{OL} y T respectivamente, y ω_h la frecuencia angular del polo dominante. Valiéndonos de la Ec. (12-5) tendremos

$$A_F(s) = \frac{A_O/(1 + s/\omega_h)}{1 + T_O/(1 + s/\omega_h)} = \frac{A_O/(1 + T_O)}{1 + s/\omega_h(1 + T_O)} = \frac{A_{FO}}{1 + s/\omega_H} \tag{13-2}$$

En la Ec. (13-2) se identifica la ganancia a media banda y lazo cerrado $A_{FO} = A_{OL}/(1 + T_o)$, y ω_H, frecuencia angular de dB, como

$$\omega_H = (1 + T_O)\omega_h \tag{13-3}$$

Por la Ec. (13-3) resulta evidente que la realimentación negativa ha incrementado el ancho de banda multiplicándolo por el factor $(1 + T_o)$ que es el mismo factor por el que queda reducido A_{OL}. Así, para una función de un solo polo dominante,

$$A_O\omega_h = A_{FO}\omega_H \tag{13-4}$$

lo que indica que el producto ganancia por ancho de banda del amplificador sin realimentación es igual al producto ganancia por ancho de banda con realimentación. Esto lo hemos ya visto antes al tratar de las etapas de Amp-Op en la Sección 11-12.

Función de dos polos

Supongamos ahora que $A_{OL}(s)$ y $T(s)$ están representados por una función con dos polos en el eje real negativo, en $s_1 = -\omega_1$ y $s_2 = -\omega_2$. O sea

$$A_{OL}(s) = \frac{A_O}{1 + s(1/\omega_1 + 1/\omega_2) + s^2/\omega_1\omega_2} = \frac{A_O}{1 + a_1 s + a_2 s^2} \tag{13-5}$$

$$T(s) = \frac{T_O}{1 + s\,[(1/\omega_1) + (1/\omega_2)] + s^2/\omega_1\omega_2} = \frac{T_O}{1 + a_1 s + a_2 s^2} \tag{13-6}$$

Recordemos que si ω_1 y ω_2 están muy separados, entonces $\omega_1 \approx 1/a_1$ y $\omega_2 \approx a_1\, a_2$. Sustituyendo las Ecs. (13-5) y (13-6) en la (12-5) tendremos

$$A_F(s) = \frac{A_{FO}}{1 + \dfrac{a_1 s}{1 + T_O} + \dfrac{a_2 s^2}{1 + T_O}} = \frac{A_{FO}}{1 + a_1' s + a_2' s^2} \tag{13-7}$$

La aplicación de la aproximación del polo dominante a la Ec. (13-7) en general no es válida. Observemos que la frecuencia del polo aproximada $\omega'_1 = 1/a'_1 = (1 + T_o)\omega_1$ queda aumentada en $(1 + T_o)$, mientras que el segundo polo en $\omega'_2 = a'_1/a'_2$ permanece en ω_2. Evidentemente, es posible seleccionar T_o de forma que $(1 + T_o)\omega_1 > \omega_2$. En esta situación, los polos en lazo cerrado son complejos (ver Prob. 11-26) y el ancho de banda ω_H se deduce de $|A_F(j\omega_H)| = 0{,}707\, A_{FO}$. De cualquier forma, la reducción en $a'_1 = a_1/(1 + T_o)$ es indicativa de una mejora del ancho de banda. Por tanto, se llega a la conclusión de que la realimentación negativa reduce la distorsión de frecuencia y de fase. La respuesta en un sistema de dos polos será tratada en detalle en la Sec. 13-5.

La Ec. (13-7) señala que los polos de A_F son funciones de T_o, la cuantía de realimentación. En la Fig. 13-1 se representa el movimiento de los polos en lazo cerrado al ir creciendo T_o. Estos polos parten de $-\omega_1$ y de $-\omega_2$, los polos de $T(s)$, y se desplazan cada uno hacia el otro a lo largo del eje real negativo al ir aumentando T_o desde cero. Los polos coinciden en $-(\omega_1 + \omega_2)/2$, por tanto, A_F tiene dos polos iguales en ese punto. Los polos pasan a ser complejos al crecer más T_o, con la parte real manteniéndose en $-(\omega_1 + \omega_2)/2$. Vemos que los polos en lazo cerrado se mantienen siempre en el semi-plano izquierdo, lo que según se describe en la Sec. 13-2 indica un sistema estable.

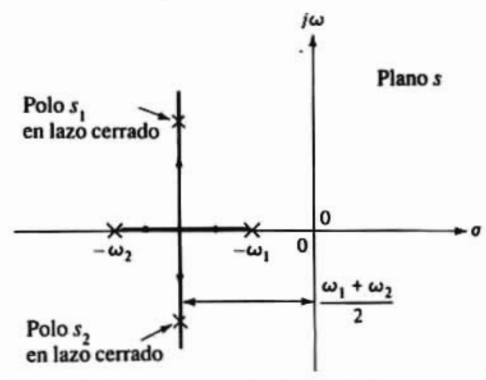


Figura 13-1. Lugar de las raíces de una función de transferencia de dos polos.

Función de tres polos

Cuando $T(s)$ y $A_{OL}(s)$ son funciones de tres polos, como es generalmente el caso en amplificadores de

tres etapas, el problema de determinar el ancho de banda es aún más complejo. La ganancia con lazo cerrado puede expresarse

$$A_F(s) = \frac{A_{FO}}{1 + \frac{s}{1+T_O}\left(\frac{1}{\omega_1}+\frac{1}{\omega_2}+\frac{1}{\omega_3}\right) + \frac{s^2}{1+T_O}\left(\frac{1}{\omega_1\omega_2}+\frac{1}{\omega_1\omega_3}+\frac{1}{\omega_2\omega_3}\right) + \frac{s^3}{(1+T_O)\omega_1\omega_2\omega_3}}$$

o

$$A_F(s) = \frac{A_{FO}}{1 + \frac{a_1 s}{1+T_O} + \frac{a_2 s^2}{1+T_O} + \frac{a_3 s^3}{1+T_O}} \qquad (13\text{-}9)$$

Las frecuencias angulares de los polos en circuito abierto son ω_1, ω_2 y ω_3 estando todas ellas en el eje real negativo como se ve en la Fig. 13-2. Como se evidencia en el lugar geométrico de las raíces, el aumento de T_o puede desplazar dos de los polos al semi- plano derecho. Estos polos en el semi-plano derecho introducen términos con exponentes positivos en la respuesta transitoria, lo que hace inestable al amplificador. Sin embargo, se observa en la Fig. 13-2 que cuando los polos se mantienen en el semi-plano izquierdo de forma que el amplificador sea estable, la reducción del coeficiente a_1 por $(1 + T_0)$ indica que mejora el ancho de banda. En subsiguientes Secciones iremos describiendo con detalle el grado de mejora y el precio que deberá pagarse por ello.

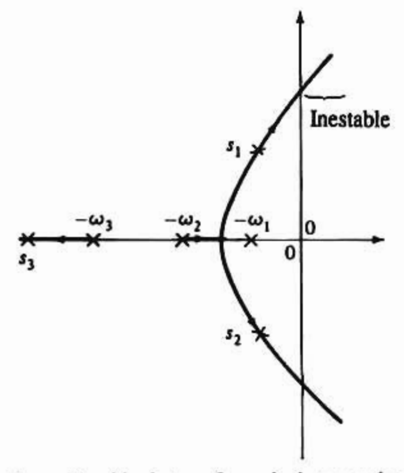


Figura 13-2. Lugar de las raíces de una función de transferencia de tres polos. Los polos sin realimentación (T = 0) son $-\omega_1$, $-\omega_2$ y $-\omega_3$, mientras que los polos después de haber añadido la realimentación (T > 0), son s_1, s_2 y s_3.

Si la red de realimentación contiene elementos reactivos se introducirán polos y ceros adicionales a $T(s)$ y quizás a $A_{OL}(s)$ que deberán incluirse al determinar la respuesta en frecuencia. Además, los polos y los ceros de la red de realimentación pueden provocar la inestabilidad del amplificador. Puesto que la cuestión de la estabilidad es de enorme importancia, vamos a tratarla en primer lugar, para volver luego y examinar en detalle la respuesta de los sistemas realimentados multipolo.

13-2. ESTABILIDAD

En el Capítulo 12 se ha visto ya con algún detalle la realimentación negativa en la que la relación de retorno es $T > 0$. Si $T > 0$ la realimentación se denomina *positiva o regenerativa*. En estas circunstancias, la

ganancia resultante $|A_F|$ puede ser mayor que la ganancia en lazo abierto $|A_{OL}|$ (ganancia sin realimentación). Consideremos - 1 < T < 0; con referencia a la Ec. (12-5) llegamos a la conclusión de que $|A_F| < |A_{OL}|$. En los primeros tiempos de la electrónica, los dispositivos amplificadores disponibles (triodos de vacío) eran incapaces de conseguir aún moderadas ganancias. Se emplearon amplificadores regenerativos, propuestos primeramente por Armstrong, para aumentar la ganancia efectiva de tales dispositivos. No obstante, el desarrollo de nuevos dispositivos evitarán la necesidad de la realimentación positiva. Este hecho, asociado con la poca estabilidad es causa de que se emplee raramente la realimentación positiva.

Para explicar la inestabilidad en un amplificador con realimentación positiva consideremos la siguiente situación. No se aplica señal alguna, pero debido a alguna perturbación transitoria aparece una señal X_o en los terminales de salida. Refiriéndonos a la Fig. 12-9, una parte de esta señal $t_{22}X_o(\beta X_o)$ se reenvía al circuito de entrada y aparece en la salida como una señal incrementada $t_{12}t_{22}X_o(-A\beta X_o)$. Si este término se iguala justamente a X_o, la salida espúrea se ha regenerado a sí misma. En otras palabras, si $-TX_o = X_o$ (es decir, $T = -1$) el amplificador oscilará. Por tanto, si se intenta tener una gran ganancia haciendo $|T|$ casi igual a la unidad, existe la posibilidad de que el amplificador entre espontáneamente en oscilación, lo que sucedería si debido a variaciones de la tensión de suministro, a envejecimiento de los transistores, etc., llegase $-T$ a valer la unidad. Tiene poca razón pretender aumentar la amplificación a expensas de la estabilidad. De hecho, debido a todas las ventajas enumeradas en la Sec. 12-3, la realimentación en los amplificadores es casi siempre negativa. No obstante, se emplean combinaciones de positiva y negativa (Sec. 12-15).

Aún los amplificadores diseñados para tener realimentación negativa en la mitad de la banda o sobre una zona de frecuencias, pueden oscilar. Para que la señal de comparación $X_i = t_{21}X_s + t_{22}X_o$ (Fig. 12-9) sea una señal diferencial, $t_{22}X_o$ debe estar desfasado 180° respecto a $t_{21}X_s$. En el Capítulo 11 se demostró que el desplazamiento de fase se introduce en la respuesta para frecuencias fuera de la zona media de la banda. Cuando en el lazo de realimentación se introduce un nuevo desplazamiento de 180°, la señal de realimentación $t_{22}X_o$, quedará en fase con $t_{21}X_s$ con lo que resulta una realimentación positiva.

Definición de la estabilidad

Si se diseña un amplificador para que tenga realimentación negativa dentro de una determinada zona de frecuencias, pero entra en oscilación a alguna frecuencia mayor o menor, no resulta adecuado como amplificador. Por tanto, al diseñar un amplificador realimentado hay que asegurarse de que el circuito resulta estable a *todas* las frecuencias y no solamente a las de la zona interesada. En el sentido aplicado aquí, un sistema es estable si una perturbación transitoria de duración finita da una respuesta que desaparece. Un sistema es inestable si tal perturbación transitoria produce una salida que persiste indefinidamente o va aumentando hasta quedar limitada por alguna no linealidad del circuito.

Las ideas expuestas en el párrafo anterior dan una representación física de lo que se entiende por estabilidad. Matemáticamente, la definición de estabilidad sería: *un sistema es estable si, y sólo si, todas las señales de entrada limitadas producen señales de salida limitadas.* Una señal $x(t)$ es limitada si $|x(t)| \leq$ constante, para cualquier t. Por ejemplo, sen ωt está limitado a la unidad. Análogamente, si $x(t) = 0$ para $t < 0$ y ε^{-t} para $t \leq 0$, $x(t)$ está también limitada por la unidad, mientras que ε^{+2t} no lo está para $t \geq 0$. Normalmente interesa sólo la respuesta definida por $t \geq 0$ ya que es costumbre suponer que se aplica la excitación en el instante $t = 0$.

La cuestión de la estabilidad comprende el estudio de la función de transferencia del circuito ya que ésta determina el comportamiento transitorio de la red. Si existe un polo con parte real positiva, esto nos dará una componente de la salida que aumenta exponencialmente con el tiempo y por tanto no es limitada. Así, la consecuencia de la definición de estabilidad para los sistemas lineales es que todos los polos de la

función de transferencia deben estar en la mitad izquierda abierta del plano de frecuencias complejas (s-). La voz «abierta» de la frase anterior se refiere a que el eje j queda excluido del semi-plano izquierdo.

Consideremos un sistema con función de transferencia $1/s$, es decir, que existe un polo en el origen (que es un punto sobre el eje j). Si este sistema se excita con una función escalón, la respuesta del sistema es la función en rampa t. La función en rampa no es limitada mientras que el escalón de entrada sí que lo es. Por tanto, de acuerdo con la definición, el sistema es inestable. Así, los polos en la mitad izquierda del plano s indican que las partes reales de los polos deben ser negativas. (Los osciladores senoidales que se comentan en la Sección 15-1 constituyen unos ejemplos de sistemas diseñados deliberadamente para que tengan polos en el eje j.)

Estabilidad en amplificadores realimentados

La ganancia $A_F(s)$ en lazo cerrado de un amplificador realimentado dada en la Ec. (12-5) se repite, mayor comodidad en la Ec. (13-10)

$$A_F(s) = \frac{A_{\mathrm{OL}}(s)}{1 + T(s)} \tag{13-10}$$

El método para determinar A_{OL} y T está descrito en la Sec. 12-7, y la respuesta en frecuencia de estas cantidades puede calcularse empleando las técnicas de la constante de tiempo de la Sec. 11-9. Emplearemos esta técnica en la Sec. 13-8. Como se ve en la Ec. (13-10) los polos de A_F son los ceros de $1 + T(s)$ y cualquier polo de $A_{\mathrm{OL}}(s)$ que no sea común con $T(s)$. Si admitimos que el amplificador sin realimentación es estable, todos los polos de A_{OL} están en el semi-plano izquierdo. Así *el amplificador realimentado es estable cuando los ceros de $1 + T(s)$ están todos en el semi-plano izquierdo.*

Alternativamente, ningún cero de $1 + T = F$ puede estar en el semi-plano derecho si se pretende que el amplificador sea estable. Veremos en la siguiente Sección los métodos de probar su estabilidad.

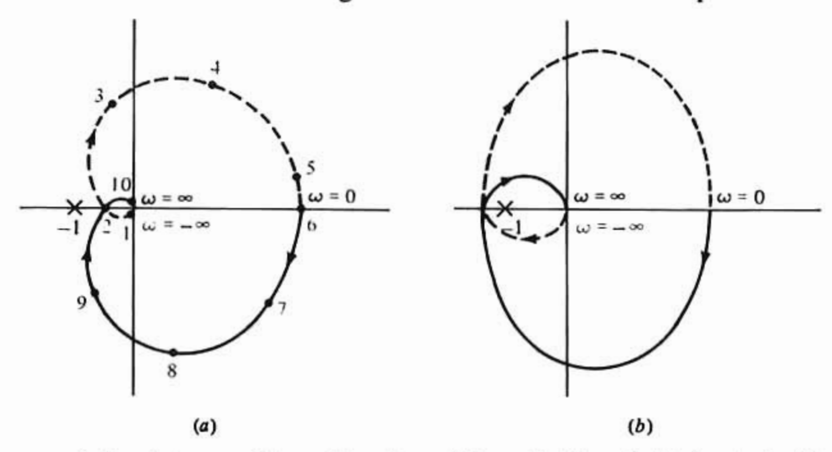


Figura 13-3. Diagramas de Nyquist para un sistema (*a*) estable, y (*b*) inestable. *Nota*: En (*a*) el punto -1 + j0 no queda encerrado, mientras que en (*b*) si lo está.

13-3. PRUEBAS DE ESTABILIDAD

En 1931 Nyquist ideó una construcción gráfica, llamada luego *Diagrama de Nyquist*, para determinar si un amplificador realimentado tiene algún polo en el semi-plano derecho. El diagrama es una repre-

sentación gráfica en coordenadas de $Tj(\omega) \angle \theta(j\omega)$. Es decir, para cada frecuencia angular $-\infty < \omega < +\infty$ se calculan $T(j\omega)$ y $\theta(j\omega)$ y cada uno de estos valores es la coordenada de un punto de la curva.

En la Fig. 13-3 se representan dos diagramas de Nyquist; en cada uno de ellos la línea de trazo continuo corresponde a $\omega \geq 0$ y la de trazo discontinuo a $\omega < 0$. Sólo hay que calcular los valores de $T(j\omega)$ para $\omega \geq 0$. Siendo los coeficientes de $T(s)$ reales como deben ser en un sistema físico, $T(-j\omega) = T^*(j\omega)$. Es decir, $T(-j\omega)$ es la conjugada de $T(j\omega)$. Por tanto, las curvas de trazo discontinuo son la imagen especular de las obtenidas para $\omega \geq 0$.

Criterio de Nyquist

El criterio de Nyquist establece que el número de circunvalaciones en sentido dextrogiro alrededor del punto $-1 + j0$ es igual a la diferencia entre el número de ceros y el de polos de $F(s) = 1 + T(s)$ en el semi-plano derecho. Para tener estabilidad hay que asegurarse de que $F(s)$ no tenga ningún cero en el semi-plano derecho, es decir, que $A_F(s)$ no tenga polos en ese semi-plano. Puesto que $F = 1 + T$, los polos de F son idénticos a los de T, y si el amplificador sin realimentación es estable, $F(s)$ no tiene polos en el citado semi-plano derecho. Por tanto, en estas condiciones, el número de circunvalaciones alrededor de $-1 + j0$ deberá ser nulo para que el amplificador realimentado sea estable.

El número de circunvalaciones alrededor de $-1 + j0$ se determina trazando un radio vector y dibujando el lugar geométrico de los puntos para $-\infty < \omega < +\infty$ como se indica en la Fig. 13-3. En la Fig. 13-3*a* se inicia el proceso en el punto 1 ($\omega = -\infty$) procediendo sucesivamente a lo largo de los puntos numerados de forma que al llegar al punto 10, $\omega = +\infty$. Si el radio vector gira 360° alrededor de $-1 + j0$ existe una circunvalación. En la Fig. 13-3*b* no existe tal circunvalación, y para un sistema estable en lazo abierto, la ganancia $A_F(s)$ en lazo cerrado no tiene polos en el semi-plano derecho y por tanto es estable.

Lo anterior no es válido para el diagrama de la Fig. 13-3*b* en donde siguiendo el mismo proceso que en la Fig. 13-3*a* se tienen dos circunvalaciones alrededor de $-1 + j0$. Por tanto, $1 + T_2(s)$ tiene dos ceros en el semi-plano derecho por lo que $A_{F2}(s)$ es inestable ya que contiene dos polos en ese semi-plano.

Margen de fase

Los diagramas de Nyquist de la Fig. 13-3 están reproducidos en la Fig. 13-4 para $\omega \geq 0$, figurando también el círculo unidad correspondiente a $T(j\omega) = 1(0\text{ dB})$. La frecuencia angular en la que el diagrama de Nyquist y el círculo se cortan se denomina *frecuencia angular de cruce* ω_G porque $T(j\omega)$ es mayor que 1 para $\omega < \omega_G$ y $T(i\omega)$ es menor que 1 para $\omega > \omega_G$. Comparando los dos diagramas se observa que en ω_{G1}, $\angle T_1$ -180º, o sea $|\angle T_1| < 180º$ y el sistema es estable mientras que $\angle T_2(j\omega_{G2})$ - 180º ($|\angle T_2| > 180º$) corresponde a un sistema inestable. Por tanto es conveniente introducir el *margen de fase* $\varnothing_M$ definido como

$$\phi_M \equiv \angle T(j\omega_G) + 180° \qquad (13\text{-}11)$$

Obsérvese que en general $\angle T(j\omega_G)$ es un número negativo. Una alternativa al criterio de Nyquist, muy empleada en el diseño es: Un sistema en lazo cerrado es estable cuando el margen de fase es positivo ($\varnothing_M > 0$). Por tanto, $\angle T(j\omega_G)$ debe ser menos negativo que - 180°.

Margen de ganancia

En la Fig. 13-4, la frecuencia angular en la que el diagrama de Nyquist corta al eje real negativo

correspondiendo a $\angle T = 180°$, se define como la frecuencia angular de cruce $\omega_\varnothing$. Para $\omega > \omega_\varnothing$, $\angle T < -180°$ y $\angle T$ -180° para $\omega < \omega_\varnothing$. La magnitud de $T(j\omega_\varnothing)$ se emplea para definir el *margen de ganancia GM* como

$$GM = -20 \log T(j\omega_\phi) = -T(j\omega_\phi) \qquad \text{dB} \tag{13-12}$$

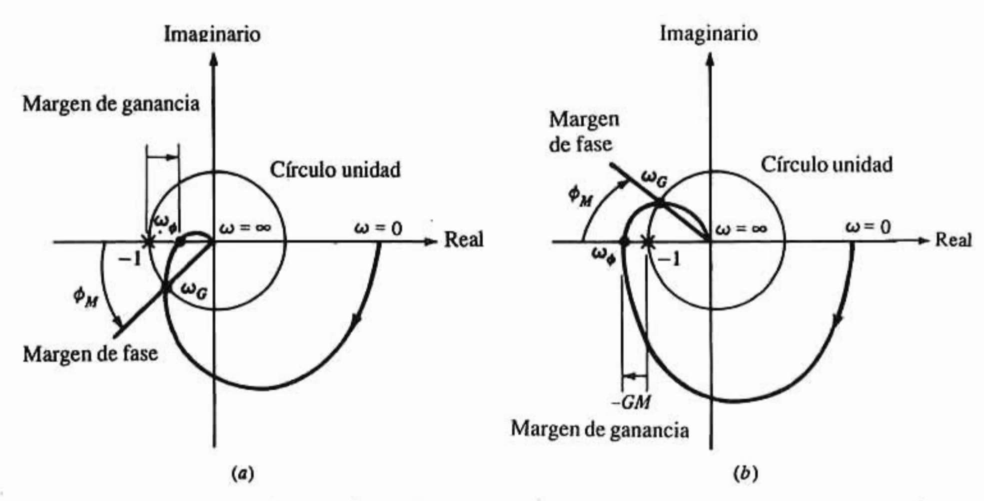


Figura 13-4. Parte del diagrama de Nyquist de la Fig. 13-3 para $\omega \geq 0$, utilizado para definir los márgenes de fase $\varnothing_M$ y de ganancia GM. En (*a*) $\varnothing_M < 0$ y GM > 0, y el sistema es estable, mientras que en el sistema inestable de (*b*), tanto $\varnothing_M$ como GM son negativos.

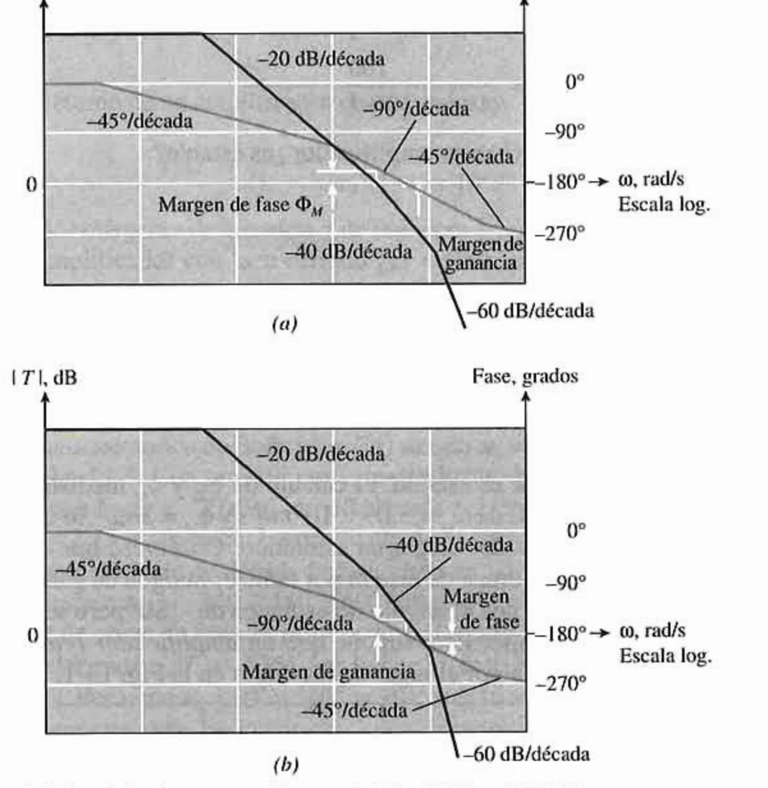


Figura 13-5. Diagramas asintóticos de Bode correspondientes a: (*a*) Fig. 13-4*a*, y (*b*) 13-4*b*.

Observemos la Fig. 13-4 que en un sistema estable, $T_1\ (j\omega_1) < 1$, y puesto que el logaritmo de un número inferior a la unidad es negativo, $GM_1 > 0$. Para un sistema inestable $T_2\,(j\omega_{\emptyset 2}) > 1$ y en consecuencia $GM_2 < 0$. Podemos llegar a la conclusión de que $GM > 0$ es una indicación alternativa de estabilidad. Sin embargo, para el diseño se emplea mucho menos que el margen de fase.

El diagrama de Bode

Frecuentemente es más conveniente expresar la información contenida en el diagrama de Nyquist en un diagrama de Bode ya que podemos alterar este diagrama si varía la situación de un polo (o cero) o el valor de T en la banda media. En particular el diagrama de Bode asintótico es extraordinariamente útil para los cálculos manuales realizados por los diseñadores de circuitos. Nuevamente se emplean simulaciones de cálculo para conseguir la precisión requerida del valor de los componentes en el diseño final.

Los diagramas asintóticos de Bode de la Fig. 13-5 corresponden a los diagramas de Nyquist de la Fig. 13-4[1]. En la Fig. 13-5, $T(j\omega)$ (en decibelios) está trazado con línea negra y la curva de fase en tono menos intenso. También se indican las frecuencias aproximadas de cruce de ganancia y de fase, el margen de fase y el cruce de ganancia. Obsérvese que el valor de 0 dB en la curva de magnitud y - 180º en la característica de fase están sobre la misma posición vertical. Esto es conveniente al esbozar el diagrama de Bode; en la mayor parte de sistemas, puesto que $\omega_G < \omega_\emptyset$, la estabilidad es evidente.

Ejemplo 13-1

La relación de retorno de un amplificador de dos polos es

$$T(s) = \frac{100}{(1 + s/10^6)(1 + s/10^7)}$$

(*a*) Determinar el margen de fase, (*b*) este amplificador ¿es estable?

Solución

(*a*) La Fig. 13-6 corresponde al diagrama asintótico de Bode, siendo $\omega_G = 10^{7.5} = 3{,}16\times10^7$ rad/s. Vemos en la curva de fase que $\angle T = -157{,}5º$ y valiéndonos de la Ec. (13-11) tendremos

$$\phi_M = -157.5 + 180 = 22.5°$$

como se indica en la Fig. 13-6.

(*b*) Siendo $\phi_M > 0$, el amplificador es estable. El cálculo de ω_G y ϕ_M mediante el diagrama de Bode real y comprobado por MICROCAP II da $\omega_G = 3{,}09 \times 10^7$ rad/s y $\phi_M = 20{,}2º$, lo que está en buen acuerdo con los valores obtenidos valiéndose del diagrama asintótico. Obsérvese que en el Ejemplo 13-1 no podemos identificar la frecuencia de cruce de fase ni por tanto el margen de ganancia. Esto es debido al hecho de que en un sistema de dos polos el ángulo no es nunca de -180º pero se acerca asintóticamente a ello a medida que ω tienda a infinito. Esto supone que *un amplificador realimentado de dos polos siempre es estable*, lo que se confirma por el lugar de las raíces en la Fig. 13-1.[2]

[1] Puesto que no se dan valores numéricos, los diagramas de Bode de la Fig. 13-5 representan una de las varias situaciones posibles.

[2] Es necesario prever que los polos adicionales motivados por elementos parásitos (capacidad de los encapsulados, inductancia de las conexiones, etc.) no afecten al funcionamiento y estabilidad del sistema.

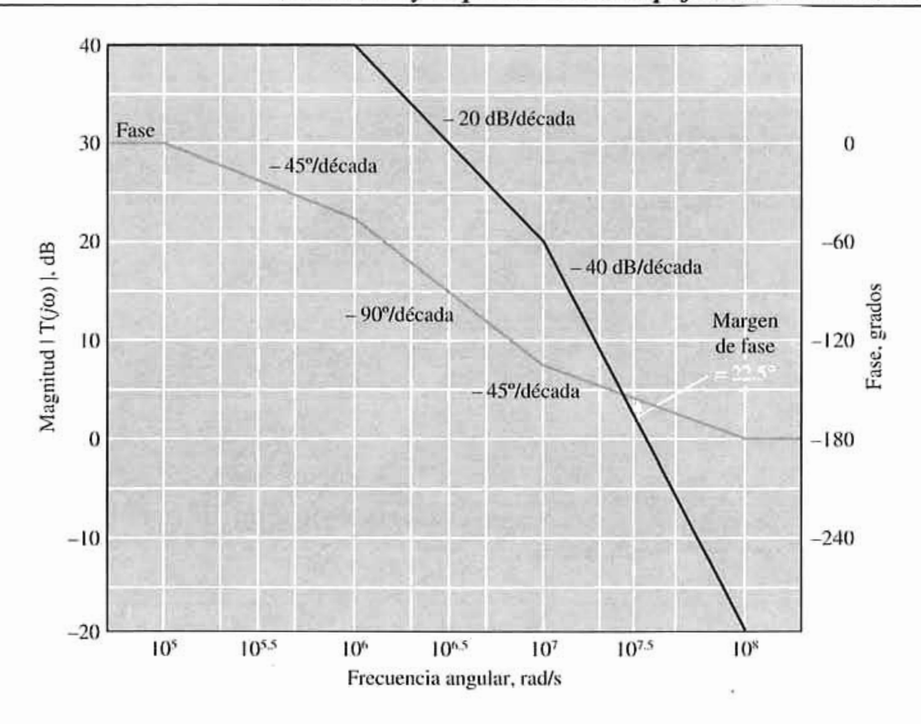


Figura 13-6. Diagrama asintótico de Bode para el ejemplo 13-1.

Ejemplo 13-2

La relación de retorno de un amplificador de tres polos es

$$T(s) = \frac{T_O}{(1 + s/\omega_1)(1 + s/10^7)(1 + s/10^8)}$$

(*a*) Determinar los márgenes de ganancia y de fase para $T_O = 10^4$ cuando: (1) $\omega_1 = 10^6$ rad/s, y (2) $\omega_1 =$ 100 rad/s. (*b*) El amplificador con lazo cerrado ¿es estable en los dos casos del apartado anterior? (*c*) repetir las dos partes anteriores para $\omega_1 = 10^6$ pero T_O reducido a 10.

Solución

(*a*) (1) El diagrama asintótico de Bode para $T(s)$ siendo $\omega_1 = 10^6$ rad/s, está representado por las curvas más negras de la Fig. 13-7. Con $\omega > 10^8$ rad/s, la pendiente de $T(j\omega)$ es de -60 dB/década y $T(j10^8) = 20$ dB. Así pues, ω_G tiene lugar a - 20 dB/ - 60 dB/década = 1/3 década ($10^{1/3}$) sobre 10^8 rad/s o $\omega_G = 10^8 \times 10^{1/3} = 10^{8,33}$ rad/s = $2,15 \times 10^8$ rad/s. La pendiente de la curva de fase es -45º/década para $10^8 \leq \omega \leq 10^9$ rad/s. Así, en una tercera parte de década la fase varía en -15° lo que hace que $\angle T(j10^{8,33}) =$ 240°. El valor de ϕ_M es por tanto: $\phi_M = -240 + 180 = 60º$ como se ve en la Fig. 13-7. De forma similar se obtiene la frecuencia angular de cruce de fase. Para $10^6 < \omega < 10^8$ rad/s, la pendiente de la característica de fase es -90°/década. A $\omega = 10^7$ rad/s, $\angle T = -135º$, por lo que ω_ϕ tiene lugar a - 45º/ - 90º/década = + 0,5 década ó $10^{0,5}$ sobre 10^7 rad/s. Por tanto $\omega_\phi = 10^7 \times 10^{0,5} = 10^{7,5} = 3,16 \times 10$ rad/s. El mismo valor que se lee en una curva cuidadosamente trazada. En la característica de magnitud, $T(j10^{7,5}) = 40$ dB, haciendo $GM = -40$ dB. (2) El diagrama de Bode para $\omega_1 = 100$ rad/s representado en la Fig. 13-8 da $\omega_G = 10^6$ rad/s y $\omega_\phi = 10^{7,5}$ rad/s. Los correspondientes márgenes de ganancia y de fase son: $GM = 40$ dB y $\phi_M = 90º$.

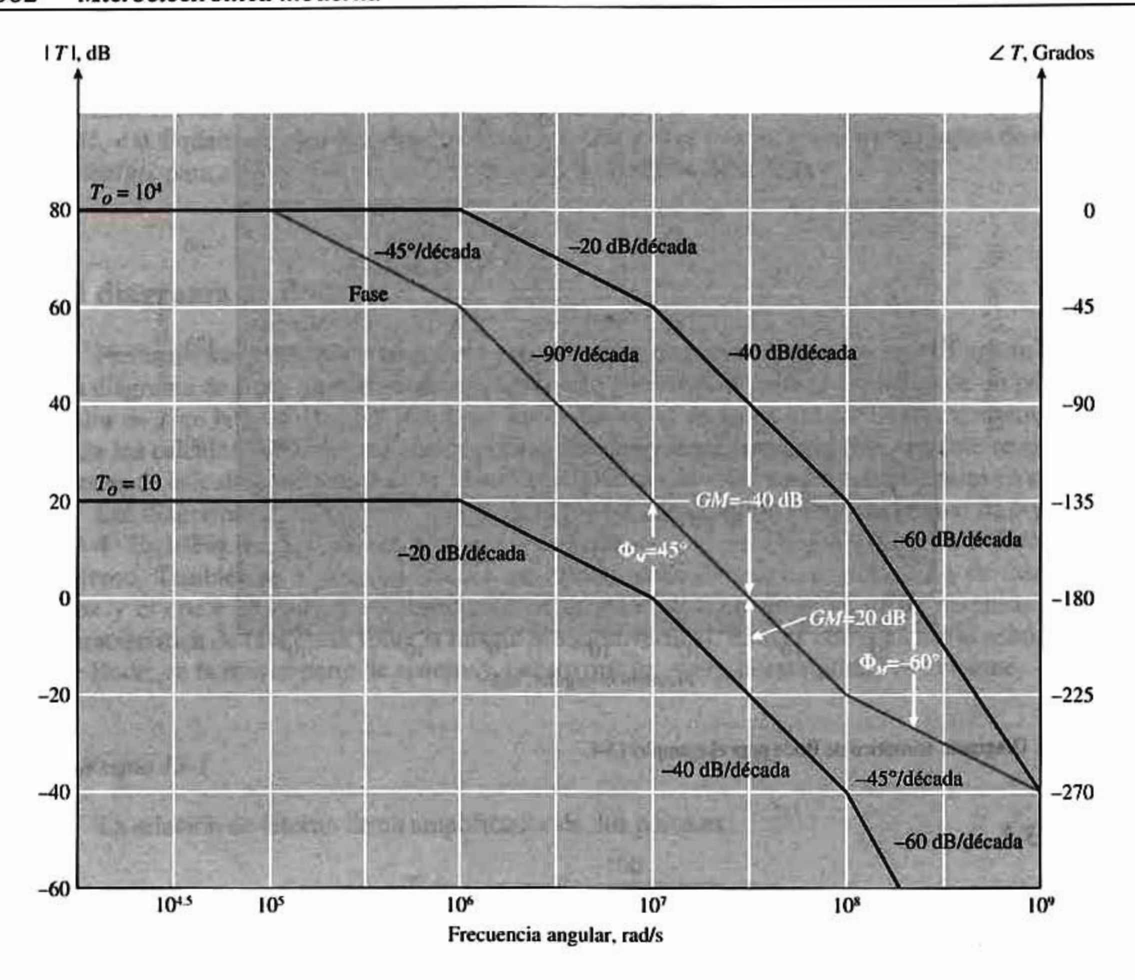


Figura 13-7. Diagrama asintónico de Bode del amplificador de tres polos del Ejemplo 13-2. Obsérvese que la característica de fase es la misma para ambos valores de T_o.

(*b*) El amplificador de la parte *a* apartado *1* es inestable (ϕ_M = - 60º) y el del apartado 2 es estable (ϕ_M = 90º). Nuevamente se comprueba la eficacia del diagrama asıntótico de Bode comparando los resultados obtenidos en la parte *a* con los obtenidos por cálculo. Con $\omega_1 = 10^6$ rad/s, los valores exactos son: $\omega_G = 2{,}09 \times 10^8$ rad/s, $\omega_\phi = 3{,}30 \times 10^7$ rad/s, ϕ_M = - 61,5º, y GM = - 38,4 dB. Cuando ω_1 = 100 rad/s, $\omega_G = 0{,}996 \times 10^{6}$ rad/s, $\omega_\phi = 3{,}16 \times 10^7$ rad/s, GM = 40,8 dB y ϕ_M = 83,8º.

(*c*) En la curva más inferior de la Fig. 13-7 se ve la magnitud del diagrama de Bode para T_O = 10. Puesto que la fase no se ve afectada por las variaciones de magnitud, la curva de fase es la misma que en la parte *a* apartado 1 como en la Fig 13-7. De estas características, los valores aproximados son $\omega_G = 10^7$ rad/s, $\omega_f = 10^{7.5}$ rad/s, ϕ_M = 45º y GM = 20 dB. Por tanto el amplificador es estable.

Comparando los resultados del Ejemplo 13-2 se pueden sacar varias conclusiones. El amplificador inestable con $T_O = 10^4$ y $\omega_1 = 10^6$ rad/s, se estabiliza reduciendo T_O o ω_1. La reducción de T_O ha ido acompañada de la correspondiente disminución de ω_G sin alterar $\omega_\varnothing$ con lo que el amplificador se estabiliza. No obstante éste es un método ineficaz de estabilización porque la disminuación de T_O reduce también ciertas ventajas (sensibilidad, distorsión, etc) derivadas de la realimentación negativa.

La disminución de ω_1 hace decrecer también el valor ω_G sin variar T_O. En esta situación $\omega_1 \ll \omega_2$ sin que haya cambio alguno en $\omega_\varnothing$. Esto es debido a que el polo dominante (ω_1) de $T(s)$ sólo puede introducir un retardo de fase máximo de 90º. Por tanto, $\omega_\varnothing$ debe ser debido al retraso de fase de 90º provocado por

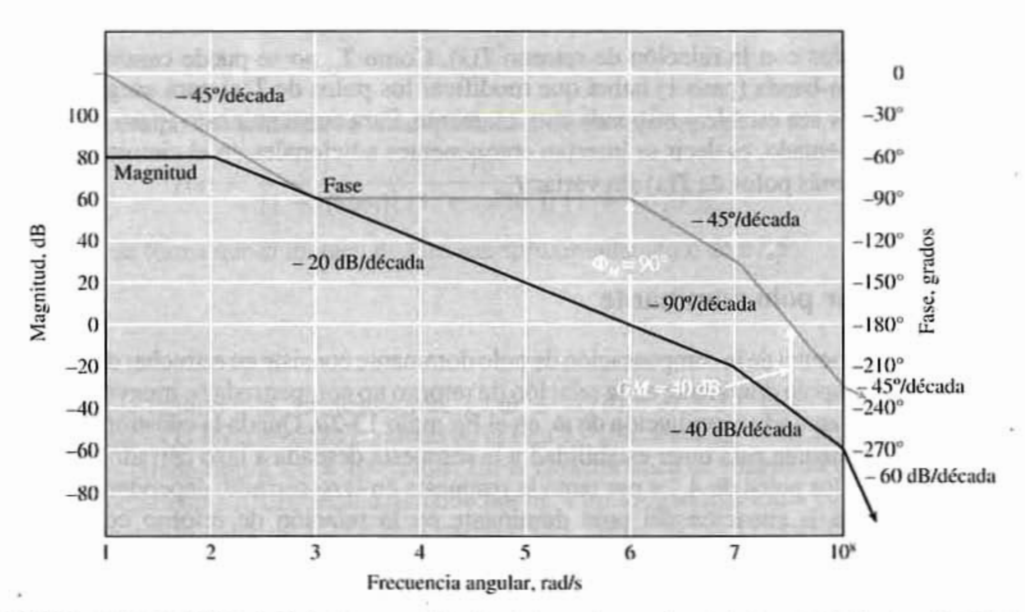


Figura 13-8. Diagrama asintónico de Bode de un amplificador de tres polos mostrando la compensación por estrechamiento de banda. Desplazando el polo dominante de T(s) hacia el origen se estabiliza el amplificador realimentado.

los polos no dominantes (ω_2 y ω_3). Si, como es en el caso del Ejemplo 13-2, $10\omega_1 \leq \omega_2/10$, el diagrama asintótico de Bode indica que los - 90° de desplazamiento de fase son provocados por el polo en $-\omega_1$ antes de la introducción de cualquier contribución del polo situado en $-\omega_2$. En casi todos los amplificadores prácticos, el margen de fase ϕ_M es por lo menos de 45º. En consecuencia el margen de fase se determina por la fase del polo en $-\omega_2$ (y quizás por los restantes polos no dominantes). Además, para $\phi_M \geq 45º$, $\omega_2 \geq \omega_G$ y la pendiente de la característica de magnitud es de = 20 dB/década para $\omega \leq \omega_G$. Bajo estas condiciones ω_1 y ω_G están relacionados por T_O y la especificación de ω_G y T_O determina el valor de ω_1 necesario para estabilizar el amplificador. Este es el fundamento de las técnicas de compensación que se tratan en la próxima sección.

13-4. COMPENSACIÓN

Podemos considerar que el proceso de diseño de un amplificador realimentado consta de tres pasos:

1.– Diseño del amplificador a la frecuencia correspondiente a la mitad de la banda para cumplir con la ganancia, desensibilidad, distorsión, nivel de impedancia, y otras especificaciones.
2.– Pruebas de estabilidad del amplificador.
3.– ¡Hacerlo funcionar! Es decir, asegurarse de que el amplificador es estable al mismo tiempo que cumple con las especificaciones nominales del diseño.

El capítulo 12 ha estado enfocado hacia el primero de estos pasos; el segundo de ellos ya ha sido tratado en las secciones anteriores de este capítulo. Ahora trataremos del crucial tercer paso.

En el capítulo 11 se demostró que para valores grandes de T_O el comportamiento del amplificador realimentado se aproxima al de una fuente gobernada ideal. Asimismo, se necesitan valores grandes de T_O para reducir la distorsión y controlar las variaciones de ganancia. Sin embargo los amplificadores realimentados son propensos a la inestabilidad para valores grandes de T_O. Aún en un sistema de dos polos, intrínsecamente estable, si T_O es grande, la respuesta que se obtiene (Sec. 13-5) puede no resultar satisfactoria. La respuesta del amplificador realimentado viene determinada por los polos de $A_F(s)$; estos

polos están relacionados con la relación de retorno $T(s)$. Como T_O no se puede cambiar debido a las exigencias en la media-banda (paso 1) habrá que modificar los polos de $T(s)$ para asegurar que a lazo cerrado el amplificador sea estable y responda correctamente. Para conseguir esto (paso 3) se *compensa* el amplificador realimentado, es decir se insertan componentes adicionales en el circuito que alteran la localización de uno o más polos de $T(s)$ sin variar T_O.

Compensación por polo dominante

El principio fundamental de la compensación de polo dominante consiste en estrechar deliberadamente la banda $T(s)$. O sea, el polo dominante en la relación de retorno no compensada se mueve acercándolo al origen en forma semejante a la disminución de ω_1 en el Ejemplo 13-2*a*. Queda la cuestión de dónde debe situarse este polo dominante para tener estabilidad y la respuesta deseada a lazo cerrado. En la próxima Sección veremos que los polos de A_F, y por tanto la respuesta en lazo cerrado, dependen del margen de fase. En consecuencia la situación del polo dominante en la relación de retorno compensada está relacionada al margen de fase pretendido.

Para aclarar el procedimiento consideremos una relación de retorno no compensada de la forma

$$T(s) = \frac{T_O}{[1 + (s/\omega_1)]\,[1 + (s/\omega_2)]\,[1 + (s/\omega_3)]} \tag{13-13}$$

Para estabilizar el amplificador, se desplaza ω_1 acercándolo al origen de forma que $10\,\omega_1 \le \omega_2/10$. Además, si suponemos que $\omega_3 \ge 10\,\omega_2$ la Fig. 13-9*a* es la característica de fase asintótica en las proximidades de ω_2. La porción horizontal de la curva en -90° para $\omega < \omega_2/10$ es la contribución de fase debida al polo dominante en $-\omega_1$. Eligiendo el margen de fase ($90^\circ \ge \phi_M \ge 45^\circ$) queda especificado ω_G como indica la Fig. 13-9*a*. Como ya quedó indicado en la Sec. 13-3, con $\phi_M \ge 45^\circ$, $\omega_G \le \omega_2$ y con $\omega \le \omega_G$ la pendiente de $T(j\omega)$ es de -20 dB/década. Ahora se puede determinar la situación de ω_1 mediante la característica asintótica de magnitud representada en la Fig. 13-9*b*. Puesto que ω_G es conocido se traza por ese punto una línea de pendiente -20 dB/década que se prolonga hacia atrás (frecuencias menores) hasta cortar la horizontal correspondiente a T_O. La frecuencia angular del polo dominante ω_1 es la del primer codo de $T(s)$, y por tanto esta intersección define el valor de ω_1. Obsérvese que ϕ_M viene determinado únicamente por la porción de la característica de fase debida al polo no dominante $-\omega_2$. A medida que ϕ_M decrece tanto ω_G como ω_1 crecen.

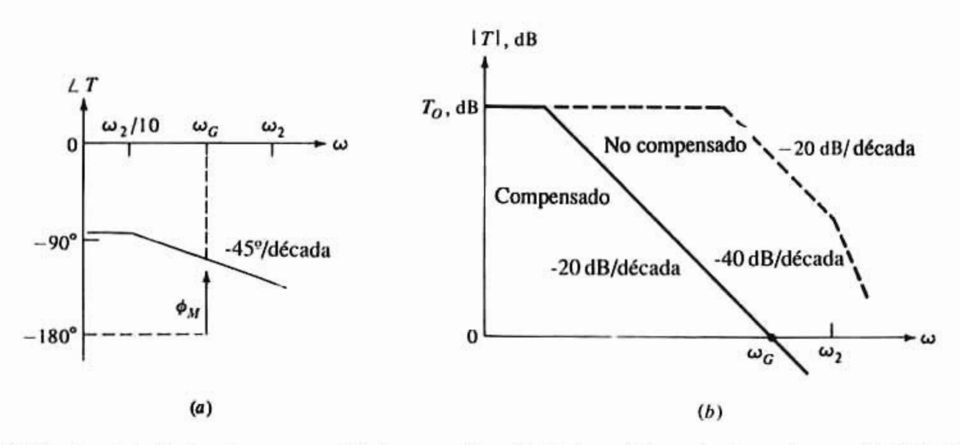


Figura 13-9. Mostrando la técnica de compensación. La especificación de ϕ_M en (*a*) permite determinar ω_G. En (*b*) la identificación de ω_G permite calcular ω_1.

Ejemplo 13-3

La relación de retorno compensada de un amplificador de un solo lazo es

$$T(s) = \frac{10^4}{[1 + (s/\omega_1)]\,[1 + (s/10^7)]\,[1 + (s/10^8)]}$$

Determinar ω_1 de forma que el margen de fase sea aproximadamente de 67,5°.

Solución

Supongamos que debido a la compensación, $10\,\omega_1 \leq \omega_2/10$ o $\omega_1 \leq 10^4$ rad/s. En consecuencia, la característica de fase es la línea de trazo continuo de la Fig. 13-10*a*. Para $\phi_M \approx 67{,}5°$, $\angle T(j\omega) = -112{,}5°$ y, como se ve en la citada figura, $\omega_G = 10^{6,5}$ rad/s. En la característica de magnitud de la Fig. 13-10*b* se traza una línea de pendiente -20 dB/década pasando por ω_G y prolongándose hasta cortar la horizontal de 80 dB, correspondiente al valor de T_O. De esta intersección $\omega_1 = 10^{2,5} = 316$ rad/s. Téngase en cuenta que los valores de ω_1 y ω_G sólo son aproximados ya que se basan en características asintóticas, siendo no obstante muy próximos a sus verdaderos valores. Los verdaderos valores de ω_G y ϕ_M para $\omega_1 = 316$ rad/s, son $3{,}03\times10^6$ rad/s, y 71,4° respectivamente.

La relación de retorno en este ejemplo es la misma que la del Ejemplo 13-2. Las líneas de trazos de la Fig. 13-10 corresponden a $\omega_1 = 10^6$ rad/s (Ejemplo 13-2*a*, parte 1) y muestran los efectos de la compensación sobre $T(s)$. Observemos que para $\omega_1 < \omega \leq \omega_G$, $T(j\omega)$ decrece significativamente respecto a los valores sin compensación. Recuérdese que la reducción de distorsión no lineal, desensibilidad, etc, depende de $|1 + T|$. Con esto no se obtienen tantos beneficios de la realimentación negativa como en el caso de un amplificador no compensado. Este es el precio que hay que pagar para estabilizar el amplificador.

Cancelación polo-cero

Un método alternativo de compensación que da el mismo resultado que el de polo dominante es el de *cancelación polo-cero*. En esta técnica se incluye en el amplificador una red que tenga una función de transferencia de un polo y un cero, de forma que la relación de retorno compensada $T_C(s)$ sea:

$$T_C(s) = T(s)\,\frac{1 + s/z_C}{1 + s/\omega_C}$$

En esta expresión $T(s)$ es la relación de retorno no compensada, y z_C y ω_C son las frecuencias angulares del cero y del polo respectivamente, de la red de compensación. El valor de z_C se elige para cancelar el polo de $T(s)$ más próximo al origen, y ω_C se elige para tener el margen de fase deseado. Empleando el valor de $T(s)$ del Ejemplo 13-2*a*, parte 1, la cancelación polo-cero requiere que $z_C = 10^6$ rad/s; es decir, debe cancelar el polo en $-\omega_1 = -10^6$ rad/s. Para tener $\phi_M = 67{,}5°$ como en el Ejemplo 13-3 eligiremos $\omega_C = 10^{2,5} = 316$ rad/s. Obsérvese que la relación de retorno compensada, para un valor dado de ϕ_M es la misma tanto si se emplea la compensación por polo dominante como si se emplea la cancelación polo-cero.

Un inconveniente de la cancelación polo-cero es el de la sensibilidad de los componentes. Es decir, que los valores de z_C y ω_C no vienen determinados necesariamente por los mismos elementos del circuito. Si estos elementos tienen distintas tolerancias, diferente edad, desiguales variaciones con la temperatura, etc, puede no llegar a conseguirse la cancelación deseada. El diagrama asintótico de Bode constituye una valiosa ayuda para el diseñador del circuito. En la compensación de un amplificador realimentado

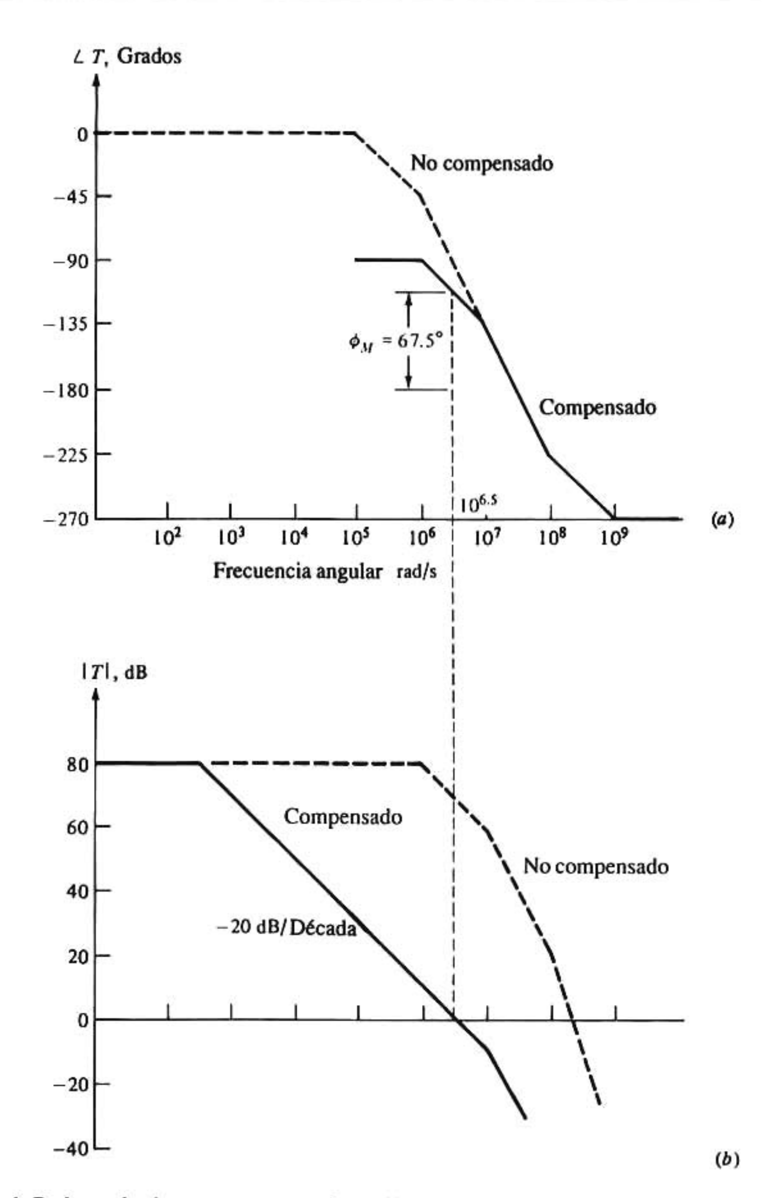


Figura 13-10. Diagrama de Bode empleado para compensar el amplificador del ejemplo 13-3.

proporciona el valor inicial de diseño de ω_1 y por tanto los valores de los componentes necesarios. No obstante, la característica asintótica es una aproximación de $T(s)$ y por tanto proporciona sólo valores aproximados. Para llegar al diseño final se emplea el análisis que veremos en próximas Secciones, juntamente con los correspondientes cálculos.

Una nota para el lector

En las Secciones anteriores nos hemos dedicado a la cuestión de la estabilidad considerando la respuesta en alta frecuencia. Este campo de frecuencias es del mayor interés para los circuitos integrados

amplificadores, ya que éstos van, en general, directamente acoplados. En circuitos de componentes discretos que empleen condensadores de acoplamiento y de paso se puede introducir suficiente desfase a bajas frecuencias para hacer la realimentación positiva. En consecuencia, se deben hacer pruebas de estabilidad a baja frecuencia, y si es necesario proveer la compensación adecuada.

13-5. RESPUESTA EN FRECUENCIA DE AMPLIFICADORES REALIMENTADOS.– FUNCIÓN DE TRANSFERENCIA DE DOBLE POLO

Las cuatro configuraciones de amplificadores realimentados emplean frecuentemente redes de realimentación resistivas. Si suponemos que la realimentación directa o ganancia A_D del sistema muerto es despreciable, la ganancia A_{OL} en lazo abierto y la relación de retorno T tienen los mismos polos. Esta condición se utilizó en la Sec. 13-1 para demostrar que el ancho de banda de un sistema de un polo aumenta por un factor $(1 + T_O)$. Además, aludimos al hecho de que la realimentación negativa mejora el ancho de banda en sistemas multipolo. En esta Sección estudiaremos la respuesta de una función de transferencia de dos polos y en la siguiente trataremos de sistemas de orden superior.

Consideremos que $A_{OL}(s)$ y $T(s)$ son las funciones de dos polos dados en las Ecs. (13-5) y (13-6). La ganancia $A_F(s)$ en lazo cerrado ha quedado establecida en la Ec. (13-7) y repetida en la (13-14) para mayor comodidad.

$$A_F(s) = \frac{A_{FO}}{1 + \dfrac{a_1 s}{1 + T_O} + \dfrac{a_2 s^2}{1 + T_O}} = \frac{A_{FO}}{1 + \dfrac{s}{1 + T_O}\left(\dfrac{1}{\omega_1} + \dfrac{1}{\omega_2}\right) + \dfrac{s^2}{(1 + T_O)\omega_1\omega_2}} \tag{13-14}$$

O bien

$$A_F(s) = \frac{A_{FO}}{1 + (s/\omega_o)(1/Q) + (s/\omega_o)^2} \tag{13-15}$$

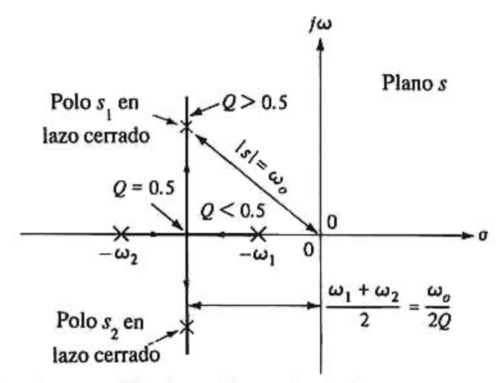


Figura 13-11. Lugar de las raíces de un amplificador realimentado de dos polos.

Siendo $A_{FO} = A_O/(1 + T_O)$ el valor de A_F en la mitad de la banda, y estando definidos ω_o y Q por

$$\omega_o \equiv \sqrt{\omega_1\omega_2(1 + T_O)} \qquad Q \equiv \frac{\omega_o}{\omega_1 + \omega_2} \tag{13-16}$$

Los polos de A_F vienen dados por

$$\frac{s}{\omega_o} = -\frac{1}{2Q} \pm \frac{1}{2Q}\sqrt{1 - 4Q^2} \tag{13-17}$$

o

$$s = -\frac{\omega_1 + \omega_2}{2} \pm \frac{\omega_1 + \omega_2}{2}\sqrt{1 - 4Q^2} \tag{13-18}$$

Obsérvese que cuando $T_O = 0$ (sin realimentación) $\omega_o = \sqrt{\omega_1\,\omega_2}$, $Q_{min} = \sqrt{\omega_1\,\omega_2}/(\omega_1 + \omega_2)$ y los polos de A_F están en $-\omega_1$ y en $-\omega_2$ los de A_{OL}. Evidentemente éste es el resultado correcto: sin realimentación, la ganancia del sistema debe ser $A_{OL}(s)$. El movimiento de los polos de A_F a medida que T_O aumenta en el lugar geométrico de las raíces está representado en la Fig. 13-1 y repetido en la 13-11. En la Ec. (13-17) se observa que los polos de A_F son reales, negativos y desiguales para $Q<0{,}5$, negativos, reales e iguales a $-(\omega_1 + \omega_2)/2$ para $Q = 0{,}5$, y complejos para $Q> 0{,}5$.

Modelo de circuito

Vamos a demostrar que la red de la Fig. 13-12 es análoga al amplificador realimentado de dos polos. La función de transferencia del circuito de dicha figura puede expresarse

$$\frac{V_o(s)}{V_s(s)} = \frac{1}{1 + s(L/R) + s^2LC} \tag{13-19}$$

Introduciendo[3]

$$\omega_o \equiv \frac{1}{\sqrt{LC}} \qquad Q \equiv R\sqrt{\frac{C}{L}} = \frac{R}{\omega_o L} = \omega_o RC \tag{13-20}$$

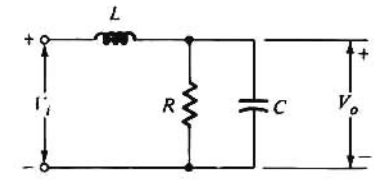


Figura 13-12. Circuito RLC equivalente a un amplificador de dos polos.

lleva a

$$\frac{V_o(s)}{V_i(s)} = \frac{1}{1 + (s/\omega_o)\,(1/Q) + (s^2/\omega_o^2)} = \frac{A_F(s)}{A_{FO}} \tag{13-21}$$

procediendo la segunda igualdad de la Ec. (13-15). Evidentemente, la Fig. 13-12 es un modelo de circuito de amplificador de dos polos, en el sentido de que ambos tienen las mismas respuestas en frecuencia y transitoria. Ahora pueden darse significados físicos a ω_o y a Q en relación al amplificador realimentado. Por analogía con los fenómenos de resonancia, se observa en la Ec. (13-20) que:

---

[3] Obsérvese que la conversión de V_s y sL a su equivalente de Norton demuestra que este circuito actúa como circuito resonante en paralelo.

ω_o = frecuencia angular de resonancia no amortiguada de oscilación ($R \rightarrow \infty$).
Q = factor de calidad a la frecuencia de resonancia.

Una consecuencia de la analogía que acabamos de ver es la de que *la respuesta de una red que contenga resistencias, condensadores e inductancias (circuitos RLC) puede conseguirsė empleando la realimentación con circuitos que contengan únicamente resistencias, capacidades y fuentes gobernadas (amplificadores de transistor).* Esto tiene gran importancia, ya que no se pueden fabricar inductancias en un circuito integrado. En circuitos de componentes discretos, el valor de L que se precisa es tan elevado que se evita su empleo debido al tamaño de la inductancia. La facultad de conseguir un funcionamiento RLC con el empleo de amplificadores, resistencias y capacidades constituye la base de los filtros activos (Sec. 16-8).

Respuesta en frecuencia

Si en la Ec. (13-21) s es sustituida por $j\omega$, esta expresión nos dará la respuesta en frecuencia del amplificador de dos polos realimentado. Es conveniente emplear el *factor de amortiguación k* en lugar de Q. Ambos están relacionados por

$$k \equiv \frac{1}{2Q} \tag{13-22}$$

Así, de las Ecs. (13-21) y (13-22) se obtiene

$$\left|\frac{A_F}{A_{FO}}\right| = \frac{1}{\sqrt{[1 - (\omega/\omega_o)^2]^2 + 4k^2(\omega/\omega_o)^2}} \tag{13-23}$$

y

$$\angle\frac{A_F}{A_{FO}} = -\operatorname{tg.}^{-1}\frac{2k(\omega/\omega_o)}{1 - (\omega/\omega_o)^2} \tag{13-24}$$

La Ec. (13-23) es la magnitud normalizada o característica de amplitud estando dada la característica de fase por la Ec. (13-24). Los picos de amplitud de la respuesta se obtienen igualando a cero la derivada de la cantidad sub-radical. Se encuentra un pico en

$$\omega = \omega_o\sqrt{1 - 2k^2} \tag{13-25}$$

cuya magnitud viene dada por

$$\left|\frac{A_F}{A_{FO}}\right|_{\text{pico}} = \frac{1}{2k\sqrt{1 - k^2}} \tag{13-26}$$

Obsérvese que si $2k^2 > 1$, o $k > 0{,}707$ o $Q < 0{,}707$, la magnitud de la respuesta no contendrá ningun pico. En la Fig. 13-13 se representa un conjunto de respuestas.

Para $(\omega/\omega_o) \ll 1$, la Ec. (13-24) muestra que la característica de fase es aproximadamente lineal viniendo su pendiente determinada por el valor de k. La característica de fase es $-90°$ en $\omega = \omega_o$ para todos los valores de k aproximándose a $-180°$ cuando $(\omega/\omega_o) \gg 1$.

Respuesta a un escalón

En esta Sección se ha probado que independientemente de la cuantía de la realimentación negativa

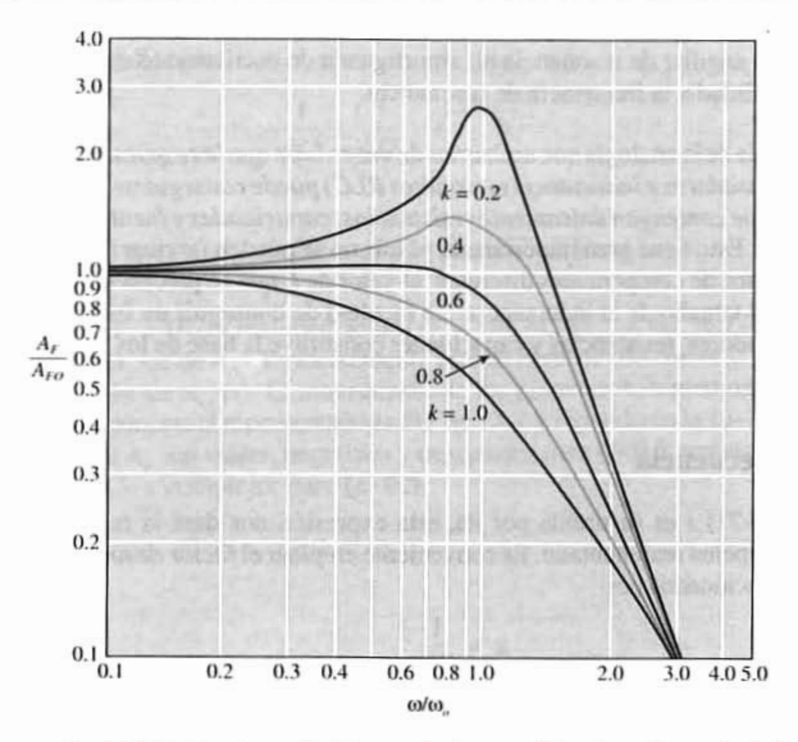


Figura 13-13. Gráfica normalizada de la respuesta amplitud-frecuencia de un amplificador realimentado de dos polos.

empleada, un amplificador de dos polos se mantiene estable (los polos están siempre en el semi-plano izquierdo *s*). No obstante, si la ganancia del lazo T_o es demasiado grande, la respuesta transitoria puede ser completamente insatisfactoria.

Por ejemplo, en la Fig. 13-14 se indica una posible respuesta a un escalón de tensión. Obsérvese que la salida supera en un 37% su valor final, oscilando antes de llegar al valor de régimen permanente. Esta respuesta tan violenta no es aceptable en casi ninguna aplicación. Los parámetros importantes de la forma de onda se indican en la Fig. 13-14 y se definen de la siguiente forma:

Tiempo de subida = tiempo que tarda la onda en pasar del 0,1 al 0,9 de su valor permanente.
Tiempo de retardo = tiempo que tarda la onda en pasar del 0 al 0,5 de su valor permanente.
Sobre valor o punta = valor de pico en exceso sobre el valor permanente.
Período de amortiguación = intervalo de tiempo para un ciclo de oscilación.
Tiempo de estabilización = tiempo para que la respuesta se estabilice dentro de un ± *P*% del valor permanente (*P* se especifica para cada aplicación en particular, por ej. $P = 0{,}1$).

Se obtiene la expresión analítica de la respuesta del amplificador a un escalón de amplitud *V* haciendo $V_i(s) = V/s$ en la Ec. (13- 21) y resolviendo por la transformada inversa de Laplace. Recordando que $Q = 1/2k$, los polos dados en la Ec. (13-18) pueden ponerse en la forma:

$$s = -k\omega_o \pm \omega_o\sqrt{k^2 - 1} \tag{13-27}$$

Si $k = 1$, los dos polos coinciden, correspondiendo al caso de *amortiguación crítica*. Si $k<1$ los polos son complejos conjugados correspondiendo al caso de sub-amortiguación en el que la respuesta es una senoide cuya amplitud decae con el tiempo. Si $k>1$ ambos polos son reales y negativos lo que corresponde

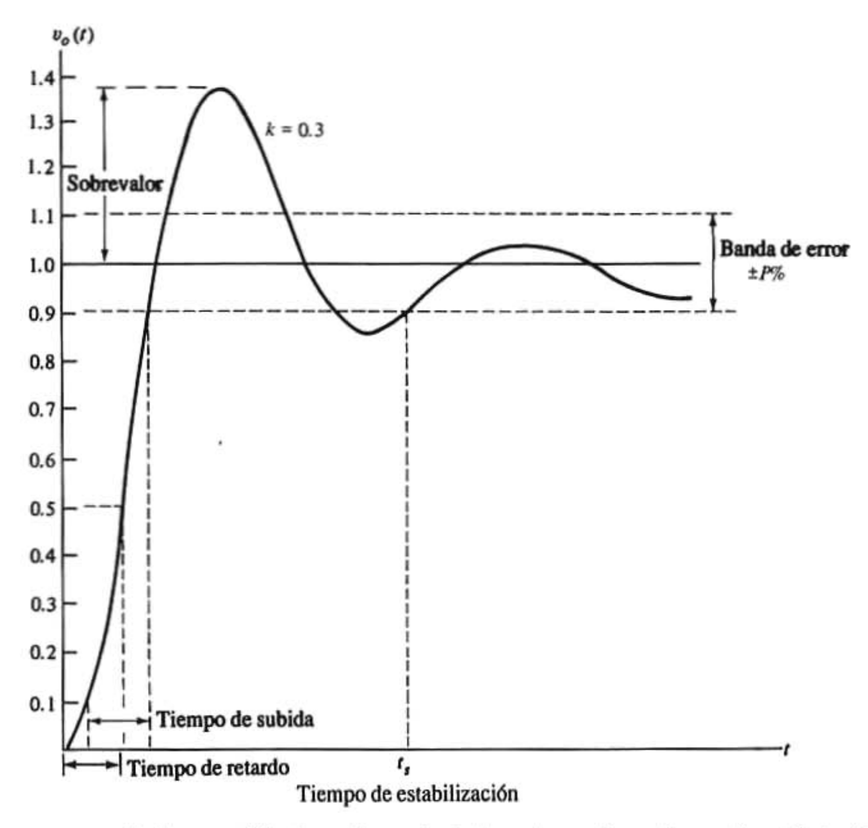


Figura 13-14. Respuesta a un escalón de un amplificador realimentado de dos polos con factor de amortiguación $k = 0{,}3$.

a un circuito sobre-amortiguado en el que la respuesta se va acercando a su valor final sin sufrir oscilaciones. En el caso de sub-amortiguación es conveniente introducir la frecuencia de amortiguación

$$\omega_d \equiv \sqrt{1 - k^2}\, \omega_o \tag{13-28}$$

y la respuesta $v_o(t)$ a un escalón de magnitud V en un amplificador de ganancia A_{FO} en la banda media, viene dada por las siguientes ecuaciones:

Con amortiguación critica, k=1

$$\frac{v_o(t)}{VA_{FO}} = 1 - (1 + \omega_o t)\epsilon^{-\omega_o t} \tag{13-29}$$

Sobreamortiguado, k>1

$$\frac{v_o(t)}{VA_{FO}} = 1 - \frac{1}{2\sqrt{k^2 - 1}}\left(\frac{1}{k_1}\epsilon^{-k_1\omega_o t} - \frac{1}{k_2}\epsilon^{-k_2\omega_o t}\right) \tag{13-30}$$

donde

$$k_1 \equiv k - \sqrt{k^2 - 1} \qquad \text{y} \qquad k_2 \equiv k + \sqrt{k^2 - 1}$$

Si $4\,k^2 \gg 1$, se puede aproximar la respuesta con

$$\frac{v_o(t)}{VA_{FO}} \approx 1 - \epsilon^{-\omega_o t/2k} \tag{13-31}$$

Subamortiguado, k<1

$$\frac{v_o(t)}{VA_{FO}} = 1 - \left(\frac{k\omega_o}{\omega_d}\,\text{sen}\ \omega_d t + \cos\ \omega_d t\right)\epsilon^{-k\omega_o t} \tag{13-32}$$

Estas ecuaciones están representadas en la Fig. 13-15 en coordenadas normalizadas $x \equiv t/T_o$ y $y \equiv v_o(t)/VA_{FO}$ siendo $T_o \equiv 2\pi/\omega_o$ el periodo no amortiguado. Si se iguala a cero la derivada de la Ec. (13- 32) se obtienen las posiciones $x = x_m$ y las magnitudes $y = y_m$ correspondientes al máximo y al mínimo. Los resultados son:

$$x_m = \frac{\omega_o t_m}{2\pi} = \frac{m}{2(1 - k^2)^{1/2}} \quad \cdot \quad y_m = \frac{v_o(t_m)}{VA_{FO}} = 1 - (-1)^m \epsilon^{-2\pi k x_m} \tag{13-33}$$

siendo m un número entero. Los máximos los da m impar y los mínimos m par. Mediante la Ec. (13-33) se puede trazar rápidamente la forma de la onda sub-amortiguada de salida. De la Ec. (13-33) se deduce que el sobrevalor viene dado por la expresión $[-\pi k m/(1 - k^2)^{1/2}]$.

Obsérvese que con una amortiguación fuerte (k grande o Q pequeño) el tiempo de subida t_r es muy largo. Al decrecer k (Q o T_o aumentando) disminuye t_r. En el caso de amortiguación crítica encontramos de la Fig.13-15 que $t_r = 0{,}53\ T_o = 3{,}33/\omega_o$. Si se aumenta la realimentación de forma que $k<1$ el tiempo de subida también decrece, pero esta mejora se obtiene a expensas de una vibración (oscilación) en la respuesta, que puede resultar inaceptable en algunas aplicaciones. Frecuentemente se especifica $k \geq 0{,}707$ ($Q \leq 0{,}707$) como respuesta satisfactoria lo que corresponde a un sobrevalor del 4,3% o menos. En general, el sobrevalor rara vez supera el 10%, así $k \geq 0{,}6$ ($Q \leq 0{,}83$).

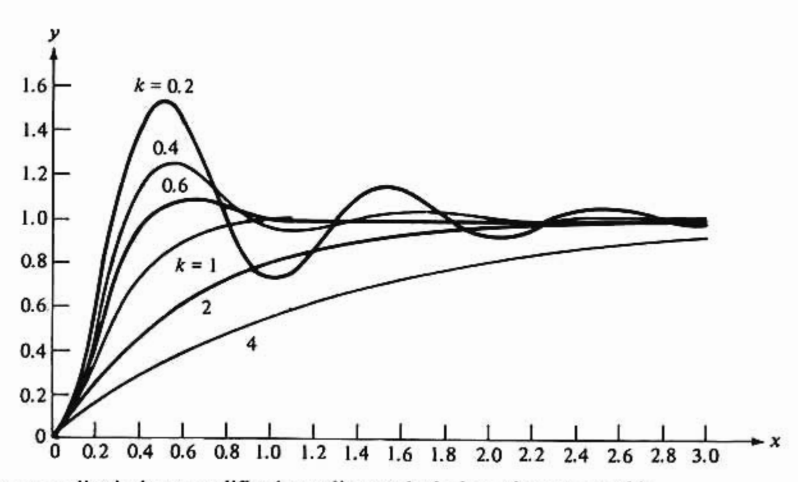


Figura 13-15. Respuesta normalizada de un amplificador realimentado de dos polos a un escalón.

13-6. MARGEN DE FASE DEL AMPLIFICADOR REALIMENTADO DE DOS POLOS

El diseño de un amplificador realimentado de dos polos requiere seleccionar las frecuencias de polo en lazo abierto para que den la respuesta deseada en lazo cerrado. El objetivo de esta selección es relacionar

la respuesta en lazo cerrado con el margen de fase y los valores de diseño de las dos frecuencias de polo en circuito abierto.

Conviene introducir el concepto de factor de separación de polos $n = \omega_2/\omega_1$. Con ello las Ec. (13-16) se convierten en

$$\omega_o = \omega_1\sqrt{n(1 + T_O)} \qquad Q = \frac{\sqrt{n(1 + T_O)}}{n + 1} \tag{13-34}$$

y los polos en lazo cerrado dados en la Ec. (13-18) se pueden expresar como

$$s = -\frac{\omega_1(1 + n)}{2}(1 \pm \sqrt{1 - 4Q^2}) \tag{13-35}$$

Para especificar el valor de Q (o de k) se emplea la respuesta en lazo cerrado mostrada en la característica de respuesta en frecuencia de la Fig. 13-13 o la respuesta a un escalón representada en la Fig. 13-15. Es decir, que basadas en la magnitud de los picos de frecuencia si los hay, o en el sobrevalor de la respuesta en frecuencia, si lo hay, estas curvas indican el valor de Q del circuito. Por tanto, puede emplearse la Ec. (13-34) para obtener el factor de separación de polos n. Resolviendo la ecuación cuadrática resultante tendremos

$$n \approx \frac{1 + T_O}{Q^2} \tag{13-36}$$

en donde se supone que $(1 + T_o)/Q^2 \gg 1$. Este supuesto es razonable ya que en la mayoría de las respuestas prácticas $Q^2 < 1$ y $(1 + T_o)$ es de por lo menos 10 para obtener la desensibilidad pretendida. En consecuencia, vemos que los polos en lazo abierto deben estar ampliamente separados. Por tanto, si bien el amplificador de dos polos es intrínsecamente estable, muy frecuentemente debe compensarse para alcanzar la respuesta en lazo cerrado deseada.

El margen de fase $\varnothing_M$ se deduce de $T(s)$ que puede expresarse

$$T(s) = \frac{T_O}{(1 + s/\omega_1)(1 + s/n\omega_1)} \tag{13-37}$$

La frecuencia angular de cruce de ganancia ω_G obtenida de la Ec. (13-37) haciendo $T(j\,\omega_G) = 1$, es:

$$\frac{\omega_G}{\omega_1} = \sqrt{\frac{n^2 + 1}{2}}\left[\sqrt{\frac{4n^2(T_O^2 - 1)}{(n^2 + 1)^2} + 1} - 1\right]^{1/2} \tag{13-38}$$

Con $n^2 \gg 1$, y $T_o^2 \gg 1$, como es el caso normal, y valiéndonos de la Ec. (13-36) podemos escribir la Ec. (13-38) como:

$$\frac{\omega_G}{\omega_1} = \frac{T_O}{Q^2\sqrt{2}}\left(\sqrt{4Q^4 + 1} - 1\right)^{1/2} = \frac{n}{\sqrt{2}}\left(\sqrt{4Q^4 + 1} - 1\right)^{1/2} \tag{13-39}$$

Observamos en la Ec. (13-39) que ω_G también está muy separada de ω_1 para los valores de T_o y de Q que normalmente se encuentran.

El margen de fase $\varnothing_M$ [dado en la Ec. (13-11)] para $T(s)$ de la Ec. (13-37) es:

$$\phi_M = -\,\mathrm{tg}\,\frac{\omega_G}{\omega_1} - \mathrm{tg}^{-1}\frac{\omega_G}{n\omega_1} + 180°$$

que puede ponerse en la forma

$$\begin{aligned}\phi_M &= \left(90 - \mathrm{tg}^{-1}\frac{\omega_G}{\omega_1}\right) + \left(90 - \mathrm{tg}^{-1}\frac{\omega_G}{n\omega_1}\right) \\ &= \mathrm{tg}^{-1}\frac{\omega_1}{\omega_G} + \mathrm{tg}^{-1}\frac{n\omega_1}{\omega_G}\end{aligned} \tag{13-40}$$

Puesto que $\omega_1 \ll \omega_G$, $\text{tg}^{-1}(\omega_1/\omega_G)$ corresponde a un ángulo muy pequeño que frecuentemente se puede despreciar, con lo que

$$\phi_M \approx \text{tg}^{-1}\frac{n\omega_1}{\omega_G} = \text{tg}^{-1}\frac{\omega_2}{\omega_G} \tag{13-41}$$

que sustituyendo la Ec. (13-39) resulta

$$\phi_M \approx \text{tg}^{-1}\sqrt{2}\,(\sqrt{4Q^4+1}-1)^{-1/2} \tag{13-42}$$

Obsérvese que la Ec. (13-41) expresa la misma relación comentada en la Sec. 13-4, es decir, que Ø_M viene determinado por ω_2 cuando los polos en lazo abierto están ampliamente separados.

La Ec. (13-15) se emplea para obtener el ancho de banda en lazo cerrado, ω_H, despejando ω_H cuando $A_F(j\omega_H) = A_{FO}/\sqrt{2}$, y

$$\left.\begin{aligned} \omega_H &= \frac{\omega_o}{Q}\sqrt{\frac{2Q^2-1}{2}}\left[1+\sqrt{1+\frac{4Q^4}{(2Q^2-1)^2}}\right]^{1/2} && Q^2 > 0.5 \\ &= \frac{\omega_o}{Q}\sqrt{\frac{1-2Q^2}{2}}\left[\sqrt{1+\frac{4Q^4}{(1-2Q^2)^2}}-1\right]^{1/2} && Q^2 < 0.5 \\ &= \omega_o && Q^2 = 0.5 \end{aligned}\right\} \tag{13-43}$$

Así, la especificación de ω_H y de Q determina el valor de ω_o necesario, y mediante la Ec. (13-34) se calcula ω_1. Empleando el factor de separación n se obtiene el valor de ω_2 requerido. En el siguiente Ejemplo se expone el proceso de diseño.

Ejemplo 13-4

Hay que diseñar un amplificador realimentado de dos polos con $T_o = 99$ y $\omega_H = 10^7$ rad/s. Determinar ω_1, ω_2 y Ø_M para los siguientes valores de $Q =$ (*a*) 0,316, (*b*) 0,500, (*c*) 0,707, (*d*) 0,833 y (*e*) 1,00.

Solución

(*a*) El factor de separación de polos n se obtiene de la Ec. (13-36).

$$n = \frac{1+T_O}{Q^2} = \frac{1+99}{(0.316)^2} = 1000$$

ω_o, según la Ec. (13-43) es

$$10^7 = \frac{\omega_o}{0.316}\sqrt{\frac{1-2(0.316)^2}{2}}\left[\sqrt{1+\frac{4(0.316)^4}{[1-2(0.316)^2]^2}}-1\right]^{1/2}$$
$$\omega_o = 2.85 \times 10^7 \text{ rad/s}$$

Empleando la Ec. (13-34) resulta

$$2.85 \times 10^7 = \omega_1\sqrt{1000(1+99)} \qquad \text{y} \qquad \omega_1 = 9.01 \times 10^4 \text{ rad/s}$$

por tanto $\omega_2 = n\omega_1 = 1000 \times 9.01 \times 10^4 = 9.01 \times 10^7$ rad/s.

El margen de fase, deducido de la Ec. (13-42) es

$$\phi_M \approx \tan^{-1} \sqrt{2}\,[\sqrt{4(0.316)^4 + 1} - 1]^{-1/2} = 84.3°$$

Los valores de ω_1, ω_2 y ϕ_M para cada uno de los valores dados de Q se hallan de la misma forma, y los valores obtenidos son los tabulados en la Tabla 13-1.

Tabla 13-1 Frecuencias de polo en lazo abierto y márgenes de fase del Ejemplo 13-4

Q	n	ω_o, *Mrad/s*	ω_o/ω_H	ω_1, *krad/s*	ω_2, *Mrad/s*	ϕ_M, *grados*
0.316	1000	28.5	2.85	90.1	90.1	84.3
0.500	400	15.5	1.55	77.7	31.1	75.3
0.707	200	10.0	1.00	70.7	14.14	65.5
0.833	144	8.71	0.871	72.6	10.4	59.2
1.000	100	7.86	0.786	78.6	7.86	51.8

Los datos de la Tabla 13-1 indican que para un valor dado de T_o, ω_1 no varía apreciablemente con Q, mientras que ω_2 y el factor de separación de polos lo hacen marcadamente. En el Ej.13-5 vemos las variaciones de actuación cuando T_o y ω_2 permanecen constantes.

Ejemplo 13-5

Se diseña un amplificador realimentado con $T_o = 99$ y $\omega_2 = 10^7$ rad/s. Determinar ω_1 y ω_H para los siguientes valores de Q: (*a*) 0,316, (*b*) 0,500, (*c*) 0,707, (*d*) 0,833 y (*e*) 1,00.

Solución

El factor de separación de polos depende únicamente de T_o y de Q. Por tanto los valores de n que figuran en la Tabla 13-1 son aplicables también a este problema. Para $Q = 0{,}316$, $n = 1000$ y

$$\omega_1 = \frac{\omega_2}{n} = \frac{10^7}{1000} = 10^4 \text{ rad/s}$$

Según la Ec. (13-34)

$$\omega_o = 10^4 \sqrt{1000(1 + 99)} = 3.16 \times 10^6 \text{ rad/s}$$

La relación ω_H/ω_o depende sólo del valor de Q [Ec. (13-34)]. Por tanto, también es aplicable a este problema la relación ω_o/ω_H dada en la Tabla 13-1, y para $Q = 0{,}316$

$$\frac{\omega_o}{\omega_H} = 2.85 \qquad \text{o} \qquad \omega_H = \frac{\omega_o}{2.85} = \frac{3.16 \times 10^6}{2.85} = 1.11 \times 10^6 \text{ rad/s}$$

Los demás valores determinados de igual forma, son los de la Tabla 13-2.

Los resultados anotados en la Tabla 13-2 indican que cuando ω_2 es fijo, ω_1 y el ancho de banda en lazo cerrado aumentan al aumentar Q (y decrecer k). Esto está representado gráficamente en la Fig. 13-13 en la que ω_H, frecuencia en la que $A_F/A_{FO} = 0{,}707$, aumenta al disminuir k. Obsérvese también que los valores de ω_o son simplemente $Q\omega_2$, lo que se confirma por la Ec. (13-34) ya que

$$\omega_o = \omega_1 \sqrt{n(1 + T_O)} = \frac{\omega_2}{n} \sqrt{n(1 + T_O)} = \omega_2 \sqrt{(1 + T_O)/n} = Q\omega_2$$

Tabla 13-2 Valores de ω_1 y de ω_H del Ejemplo 13-5

Q	ω_1, *krad/s*	ω_o, *Mrad/s*	ω_H, *Mrad/s*
0.316	10.0	3.16	1.11
0.500	25.0	5.00	3.23
0.707	50.0	7.07	7.07
0.833	69.4	8.33	9.56
1.00	100.00	10.00	12.7

13-7. RESPUESTA DEL AMPLIFICADOR REALIMENTADO DE TRES POLOS

Si A_{OL} y T son funciones de tres polos, la ganancia en lazo cerrado $A_F(s)$ viene dada por la Ec. (13-8). El lugar de las raíces en la Fig. 13-2 muestra el movimiento de los polos de A_F o medida que T_O aumenta desde cero. Vemos en dicha figura que los dos polos más próximos al origen ($-\omega_1$ y $-\omega_2$) se mueven uno hacia el otro a lo largo del eje real negativo, llegan a coincidir pasando luego a ser complejos. El tercer polo ($-\omega_3$) se mantiene en el eje real negativo pero alejándose del origen.

El movimiento de los tres polos indica que en un sistema estable, la respuesta es debida primeramente a los polos en lazo cerrado más cercanos al origen, es decir, los polos en lazo cerrado correspondiendo a los polos en lazo abierto en $-\omega_1$ y $-\omega_2$. En la Sec.13-4 demostramos que se obtiene un sistema estable con valores moderados y altos de T_O cuando ω_1 está ampliamente separado tanto de ω_2 como de ω_3. Si además ω_2 y ω_3 están separados por lo menos en dos octavas ($\omega_3 \geq 4\omega_2$) la realimentación hace que el tercer polo se separe de ω_1 y ω_2 en un grado aún mayor. En consecuencia, el sistema de tres polos se puede aproximar bastante bien a una función de dos polos que corresponda a los polos en lazo abierto en $-\omega_1$ y $-\omega_2$. Por tanto, los resultados hallados en la Sec.13-5 para la función de transferencia de dos polos pueden aplicarse al amplificador de tres polos. La precisión de esta aproximación[4] normalmente es suficiente para los cálculos de tanteo necesarios para obtener los primeros valores de diseño. Casi siempre los valores finales se basan en cálculos analíticos.

La aproximación de dos polos se emplea también en el análisis y diseño de amplificadores con más de tres polos. Si estos amplificadores han de ser estables se precisa una compensación estrechando $T(s)$. Consecuentemente, su respuesta está dominada por los dos polos más próximos al origen. Recuérdese que hemos empleado ya la aproximación de dos polos al caracterizar la respuesta en frecuencia de un amplificador en cascada. Cuando se consideró un amplificador de dos etapas en emisor o en fuente común (Sec. 11-1) ya observamos que contenía cuatro polos y dos ceros. Sin embargo, el cero y un polo introducidos por cada etapa quedaban muy alejados de los polos dominantes, y llegamos a la conclusión de que la representación de dos polos representaba adecuadamente la función de transferencia del amplificador.

13-8. ANÁLISIS APROXIMADO DE UN AMPLIFICADOR REALIMENTADO MULTI-POLO

En el caso general, la determinación de la respuesta exacta de un amplificador realimentado es tan

[4] Con $Q \leq 0{,}83$ la aproximación de dos polos da normalmente un error menor del 12% en la colocación de los polos en lazo cerrado.

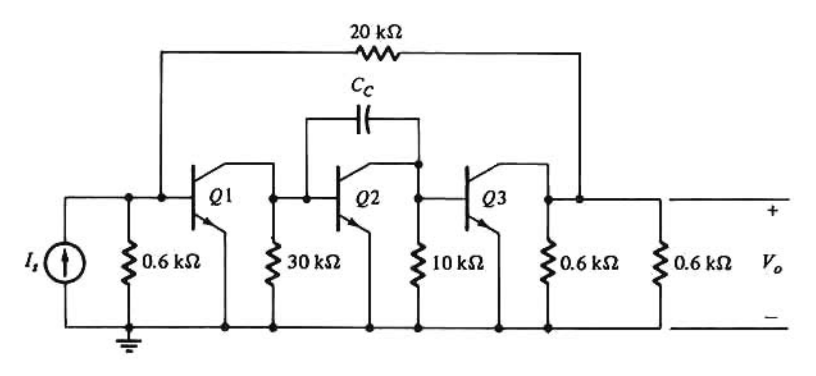


Figura 13-16. Triple en paralelo para el ejemplo 13-6. El condensador C_C se emplea para compensar el amplificador.

complicada que requiere el uso de computadores. Si los polos en lazo abierto están muy separados se puede emplear un simple método aproximado. Describiremos y justificaremos esta técnica con la siguiente argumentación.

Se ha demostrado que en un amplificador de tres polos, si las frecuencias de los polos de $T(s)$ son $\omega_1 = 10^7$, $\omega_2 = 7\times10^7$ y $\omega_3 = 1{,}8\times10^8$ rad/s, el sistema con lazo cerrado es inestable para $T_o \geq 31$. En este amplificador debe hacerse T_o notablemente inferior a 31 para que tenga una respuesta aceptable (Figs. 13-13 y 13-16). Si el amplificador realimentado debe cumplir con la condición de desensibilidad y de reducir la distorsión no lineal deben usarse frecuentemente valores de T_O notablemente altos (frecuentemente T_O>31). En consecuencia, como se ha descrito en la Sec. 3-4, el polo dominante en $T(s)$ debe desplazarse hacia el origen haciendo que ω_1 esté bastante separado de los restantes polos de la función de transferencia. Si además el primer polo no dominante en $s = -\omega_2$ queda separado de los restantes polos por lo menos dos octavas ($4\omega_2 \leq \omega_3$) tanto $T(s)$ como $A_{OL}(s)$ se pueden aproximar por la función de transferencia de dos polos. Así

$$T(s) \approx \frac{T_O}{1 + a_1 s + a_2 s^2} \qquad A_{OL} \approx \frac{A_O}{1 + a_1 s + a_2 s^2} \tag{13-44}$$

Como los dos polos más cercanos al origen están ampliamente separados, son aplicables las condiciones de polo dominante.

$$\omega_1 \approx \frac{1}{a_1} \qquad \omega_2 \approx \frac{a_1}{a_2} \tag{13-45}$$

Por tanto, el factor de separación de polos, $n = \omega_2/\omega_1$ es

$$n = \frac{a_1^2}{a_2} \tag{13-46}$$

y las Ecs. (13-34) pueden escribirse

$$\omega_o = \sqrt{\frac{1 + T_O}{a_2}} \qquad Q = \frac{\sqrt{a_2(1 + T_O)}}{a_1} \tag{13-47}$$

Para aproximar la respuesta de un amplificador realimentado multi-polo se utilizan las Ecs. (13-45) a (13-47) juntamente con los resultados del sistema de dos polos estudiados en las Sec.13-5 y 13-6. Se puede observar que en la Ec. (13-44) se supone que la red de realimentación es resistiva y que todos los ceros de la función de transferencia están suficientemente alejados de ω_2 para que su efecto sea despreciable. En la siguiente Sección veremos como a_1 y a_2, y por tanto la respuesta del amplificador, están relacionados con los elementos del circuito.

Margen de fase

Sustituyendo la Ec. (13-45) en la (13-41) se puede expresar la frecuencia angular del cruce de ganancia como

$$\omega_G \approx \frac{a_1}{a_2 \tan \phi_M} \tag{13-48}$$

Análogamente, con $T_O \gg 1$ y $\omega_G \gg 1/a_1$, $\omega_1 \approx \omega_G/T_O$ sen $\varnothing_M$ y

$$n = \frac{\omega_2}{\omega_1} \approx T_O \operatorname{sen} \phi_M \ \ \operatorname{tg}\ \phi_M \tag{13-49}$$

Puesto que $n \approx T_o/Q^2$, de la Ec. (13-49) se deduce

$$Q \approx \frac{1}{\sqrt{\operatorname{sen} \varnothing_M \operatorname{tg.} \ \varnothing_M}} \tag{13-50}$$

que claramente muestra la relación entre Q y el margen de fase. Todas estas expresiones son sólo aproximadas; para un cálculo más ajustado del margen de fase se debe tener en cuenta el pequeño desfase introducido por los restantes polos no dominantes (ω_3, ω_4, etc). En la Tabla 13-1 se indica la relación entre $\varnothing_M$ y Q. Recordemos que $Q =$ 0,5 (amortiguación crítica) da dos polos idénticos en el eje real. Así, con $\varnothing_M$>76,3° se cuenta con que los polos en lazo cerrado estén sobre el eje real negativo, mientras que $\varnothing_M$<76,3° da polos complejos. Cuando Q = 0,707 vemos en la Fig. 13-13 que la respuesta en amplitud no acusa ningún pico. Esta situación corresponde a $\varnothing_M$ = 65,5°.

Hemos visto ya en este capítulo que en los amplificadores prácticos lo más corriente es que $\varnothing_M$>45°. Mediante las Ecs. (13-50) y (13-42) hallamos que $Q \approx 1{,}18$ para $\varnothing_M$ = 45°. La curva de la Fig. 13-16 indica que $k = 1/2Q = 0{,}42$ da un sobrevalor de cerca del 20% y la respuesta en amplitud (Fig. 13-13) acusa un moderado valor de pico. Evidentemente, cualquier aumento posterior de Q (disminución de k) dará una respuesta inaceptable.

El polo dominante

Un amplificador realimentado puede diseñarse de forma que la función de transferencia en lazo cerrado tenga un polo dominante. Este es el caso frecuente en Amp-Op comerciales (ver Sec. 14-8). En la Tabla 13-1 observemos que $\varnothing_M$ = 84,3° corresponde a $Q = 0{,}316 = 1/\sqrt{10}$, o $Q^2 = 0{,}1$. Sustituyendo este valor en la Ec. (13-35) tendremos los polos en lazo cerrado $s = -\,0{,}113\ \omega_1(1 + n)$ y $S_2 = -\,0{,}887\ \omega_1(1 + n)$. Estos polos están separados entre sí de casi tres octavas y podemos llegar a la conclusión de que existe la condición de polo dominante para $Q \leq 0{,}316$ ($Q^2 \leq 0{,}1$). También se puede decir cuando $\varnothing_M$ tiende a 90°, la respuesta en lazo cerrado se puede aproximar con un polo dominante único.

Se puede conseguir un margen de fase de aproximadamente 90° sólo si los polos en lazo abierto están muy separados entre sí (n muy elevado). En estas condiciones tanto $A_{OL}(s)$ como $T(s)$ pueden representarse por una función de transferencia de un solo polo, el situado en $s \approx -\ 1/a_1 = -\ 1/\omega_1$. Por tanto, la ganancia en lazo cerrado puede expresarse como la función de un polo en la Ec. (13-2) y, $\omega_H \approx \omega_1 T_O = T_O/a_1$ para $T_O \gg 1$. Ahora vamos a determinar la situación de los polos no dominantes de la respuesta en lazo cerrado, suponiendo que son aplicables las condiciones de polo dominante. El examen de las Ecs. (13-5) y (13-7) para un sistema de dos polos señala que si $A_F(s)$ tiene un polo dominante, también A_{OL} debe tener uno ($\omega_2 \gg \omega_1$). De ahí que en el sistema en lazo abierto $\omega_1 \approx 1/a_1$ y $\omega_2 \approx a_2/a_1$. Las frecuencias angulares de los polos en lazo cerrado son (aproximadamente) $1/a'_1 = (1 + T_O)/a_1 = (1 + T_O)\omega_1$ y $a'_1/a'_2 = a_1/a_2 = \omega_2$ De este análisis se deduce que cuando la respuesta en lazo cerrado acusa un polo dominante, los polos no

dominantes están situados aproximadamente en las mismas frecuencias que los no dominantes del amplificador en lazo abierto.

13-9. DETERMINACIÓN APROXIMADA DE LOS POLOS EN LAZO ABIERTO

Las argumentaciones desarrolladas en las anteriores secciones de este capítulo se han basado en el supuesto que las frecuencias de los polos, tanto de la gananacia A_{OL} en lazo abierto como de la relación de retorno T, son conocidas. Tal como se describió en la Sec.11-9, el cálculo preciso de los polos de un amplificador multietapa es difícil y engorroso. Ciertamente, la determinación precisa de los polos en lazo abierto y cerrado de un amplificador realimentado multietapa sólo se puede conseguir valiéndose de computadores.

Como ya se indicó, la información relativa a la respuesta en lazo abierto debe conocerse antes de la fabricación (para pruebas de estabilidad y control del comportamiento en lazo cerrado). El diseñador de un amplificador realimentado necesita más información que los valores escuetos de los polos en lazo abierto. El diseñador de un circuito debe poder relacionar la selección de valores de los elementos específicos con las condiciones de funcionamiento. Por ejemplo, en nuestros comentarios sobre el circuito en emisor común de una etapa, de los Capítulos 10 y 11, admitimos que la ganancia en tensión A_{VO} se puede aumentar aumentando la resistencia de colector R_C. Para mantener el mismo punto de operación, y por tanto los mismos valores de los parámetros del BJT de pequeña señal, un incremento ΔR_C de R_C debe ir acompañado de un aumento de la tensión de suministro V_{CC} de $\Delta R_C I_{CQ}$. Además al crecer R_C decrece el ancho de banda. Por tanto, el diseñador se enfrenta con tener que elegir entre la ganancia, el ancho de banda y el consumo de potencia. Análogamente, en un amplificador realimentado debe saber cuáles son las etapas que introducen polos más próximos al origen, para lograr una compensación eficaz y poder predecir la respuesta en lazo cerrado. El objetivo de esta sección es aproximar los polos de la respuesta en lazo abierto y relacionarlos con los valores de los elementos específicos.

Las aproximaciones que adoptaremos para alcanzar este objetivo se basan en los siguientes puntos:

1. Cuando se emplea realimentación resistiva, los polos de A_{OL} y de T son idénticos.
2. Se emplea el análisis aproximado de la Sec. 12-7 para determinar los polos de A_{OL} y por tanto de T.
3. Para aproximar la respuesta en lazo cerrado sólo se necesitan las dos frecuencias angulares de polo más pequeñas ω_1 y ω_2
4. Estas frecuencias se pueden aproximar calculando los coeficientes a_1 y a_2 de la función de transferencia, empleando el método descrito en la Sec. 11-9.

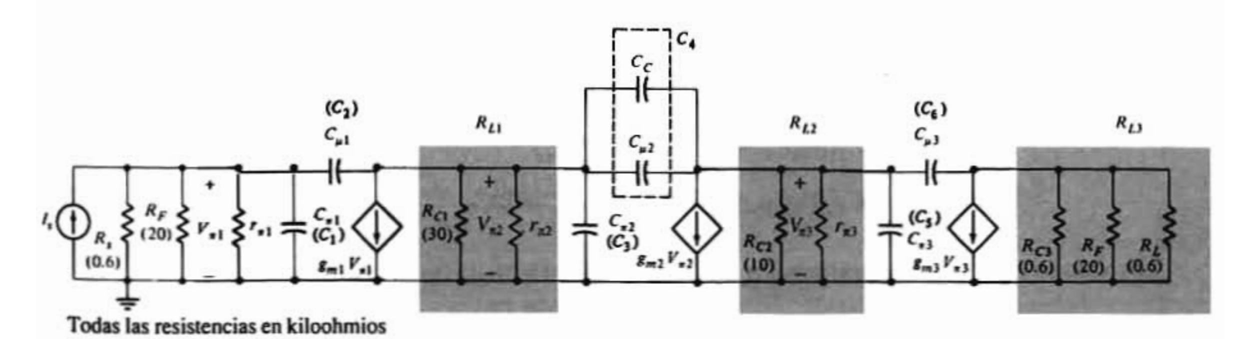


Figura 13-17. Circuito equivalente de alta frecuencia del amplificador sin realimentación para el triple en paralelo del Ejemplo 13-6. Está incluido el efecto de carga de R_F tanto a la entrada como a la salida.

5. Basándonos en valores estimados de ω_1 y ω_2 se predice el funcionamiento en lazo cerrado.
6. Los resultados aproximados se comparan con el análisis de computador.

Al hacer el análisis supondremos que se cumplen todos los requerimientos del diseño en la mitad de la banda. Por tanto, se conocen todos los parámetros del dispositivo y los valores de las resistencias. Además, los ceros de la función de transferencia tales como los introducidos por ejemplo por C_μ, se suponen suficientemente alejados de ω_1 y ω_2 para poder despreciar sus efectos. En los dos ejemplos que siguen se expone el método de análisis.

Ejemplo 13-6

El triple en paralelo de la Fig. 13-16 está diseñado con $C_C = 55$ pF y con los parámetros de los transistores dados en la Tabla 13-3. Determinar: (*a*) las frecuencias angulares aproximadas ω_1 y ω_2 en lazo abierto, y (*b*) los polos aproximados en lazo cerrado. Con los resultados de la parte (*a*): (*c*) estimar el margen de fase del diagrama asintótico de Bole, (*d*) Estimar el margen de fase a partir del valor de Q, y (*e*) Comparar los resultados de las partes (*c*) y (*d*). Se supone que en todos los transistores $r_b = 0$ y $r_o \rightarrow \infty$.

Tabla 13-3 Parámetros de los transistores para el triple en paralelo de la Fig. 13-7.

	Parámetro				
Transistor	r_π, kΩ	g_m, m℧	β_o	C_π, pF	C_μ, pF
$Q1$	25	4.0	100	1.6	0.5
$Q2$	10	10	100	4.0	0.5
$Q3$	2.5	40	100	10.0	0.5

Solución

Este amplificador es el empleado en el ejemplo 12-6 de la Sec. 12-10.

(*a*) Según los resultados de ese ejemplo, $T_O = 202$. En la Fig. 13-17 se representa el circuito equivalente del amplificador en lazo abierto incluido el efecto de carga de $R_F = 20\ k\Omega$. Siguiendo el método descrito en la Sec. 11-9 y haciendo $C_{\pi 1} = C_1$, $C_{\mu 1} = C_2$, $C_{\pi 2} = C_3$, $C_{\mu 2} + C_C = C_4$, $C_{\pi 3} = C_5$ y $C_{\mu 3} = C_6$, podemos determinar que los coeficientes a_1 y a_2 son

$$a_1 = R_{11}^0 C_1 + R_{22}^0 C_2 + R_{33}^0 C_3 + R_{44}^0 C_4 + R_{55}^0 C_5 + R_{66}^0 C_6$$

$$\begin{aligned} a_2 = {} & R_{11}^0 C_1 (R_{22}^1 C_2 + R_{33}^1 C_3 + R_{44}^1 C_4 + R_{55}^1 C_5 + R_{66}^1 C_6) \\ & + R_{22}^0 C_2 (R_{33}^2 C_3 + R_{44}^2 C_4 + R_{55}^2 C_5 + R_{66}^2 C_6) \\ & + R_{33}^0 C_3 (R_{44}^3 C_4 + R_{55}^3 C_5 + R_{66}^3 C_6) \\ & + R_{44}^0 C_4 (R_{55}^4 C_5 + R_{66}^4 C_6) + R_{55}^0 C_5 R_{66}^5 C_6 \end{aligned}$$

Los valores (en $k\Omega$) de las resistencias necesarias para el cálculo de a_1 y a_2 son:

$$R_{L1} = R_{C1} \| r_{\pi 2} = 30 \| 10 = 7.5$$

$$R_{L2} = R_{C2} \| r_{\pi 3} = 10 \| 2.5 = 2.0$$

$$R_{L3} = R_{C3}\|R_F\|R_L = 0.60\|20\|0.60 = 0.296$$

$$R_{11}^0 = R_s\|R_F\|r_{\pi 1} = 0.60\|20\|25 = 0.569$$

$$R_{22}^0 = R_{11}^0(1 + g_{m1}R_{L1}) + R_{L1}$$

$$= 0.569(1 + 4.0 \times 7.5) + 7.5 = 25.1$$

$$R_{33}^0 = R_{L1} = 7.5$$

$$R_{44}^0 = R_{33}^0(1 + g_{m2}R_{L2}) + R_{L2} = 7.5(1 + 10 \times 2.0) + 2.0 = 159.5$$

$$R_{55}^0 = R_{L2} = 2.0$$

$$R_{66}^0 = R_{55}^0(1 + g_{m3}R_{L3}) + R_{L3} = 2.0(1 + 40 \times 0.296) + 0.296 = 25.9$$

$$R_{22}^1 = R_{L1} = 7.5 \qquad R_{33}^1 = R_{33}^0 = 7.5 \qquad R_{44}^1 = R_{44}^0 = 159.5$$

$$R_{55}^1 = R_{55}^0 = 2.0 \qquad R_{66}^1 = R_{66}^0 = 25.9$$

$$R_{33}^2 = R_{L1}\|\frac{1}{g_{m1}}\|R_{11}^0 = 7.5\|0.25\|0.569 = 0.174$$

$$R_{44}^2 = R_{33}^2(1 + g_{m2}R_{L2}) + R_{L2} = 0.174(1 + 10 \times 2.0) + 2.0 = 5.65$$

$$R_{55}^2 = R_{55}^0 = 2.0 \qquad R_{66}^2 = R_{66}^0 = 25.9$$

$$R_{44}^3 = R_{L2} = 2.0 \qquad R_{55}^3 = R_{55}^0 = 2.0$$

$$R_{66}^3 = R_{66}^0 = 25.9$$

$$R_{55}^4 = R_{L2}\|\frac{1}{g_{m2}}\|R_{33}^0 = 2.0\|0.10\|7.5 = 0.094$$

$$R_{66}^4 = R_{55}^4\,(1 + g_{m3}R_{L3}) + R_{L3} = 0.094(1 + 40 \times 0.296) + 0.296 = 1.50$$

$$R_{66}^5 = R_{L3} = 0.296$$

Se invita al lector a comprobar estos valores.
Sustituyendo los valores de resistencia y de capacidad en las expresiones de a_1 y a_2 tendremos:

$$a_1 = 156.0 + 159.5C_C = 156.0 + 159.5 \times 55 = 8928 \text{ ns}$$

$$a_2 = 1757 + 657.1C_C = 1794 + 657.1 \times 55 = 37{,}900 \text{ (ns)}^2$$

de donde

$$\omega_1 = \frac{1}{a_1} = \frac{1}{8928} = 0.1120 \times 10^6 \text{ rad/s;}$$

$$f_1 = \frac{\omega_1}{2\pi} = \frac{0.112 \times 10^6}{2\pi} = 17.83 \text{ kHz}$$

$$\omega_2 = \frac{a_1}{a_2} = \frac{8928}{37{,}900} = 235.5 \times 10^6 \text{ rad/s;}$$

$$f_2 = \frac{\omega_2}{2\pi} = \frac{235.5 \times 10^6}{2\pi} = 37.47 \text{ MHz}$$

(*b*) La separación de los polos en circuito abierto es

$$n = \frac{\omega_2}{\omega_1} = \frac{a_1^2}{a_2} = \frac{(8928)^2}{37{,}900} = 2103$$

Así, de las Ecs. (13-47)

$$Q = \frac{\sqrt{2103(1 + 202)}}{2103 + 1} = 0.3105$$

Y de la Ec. (13-35)

$$s = \frac{-0.112(2103 + 1)}{2}[1 + \sqrt{1 - 4(0.3105)^2}]$$

o

$$s_1 = -2.555 \times 10^7 \text{ rad/s} \qquad s_2 = -2.102 \times 10^8 \text{ rad/s}$$

La separación de polos en lazo cerrado es:

$$\left|\frac{s_2}{s_1}\right| = \frac{2.102 \times 10^8}{2.552 \times 10^7} = 8.24$$

Puesto que esto es más de tres octavas se aplican las condiciones de polo dominante. Vimos en la Ec. (13-3) que en estas condiciones el polo dominante en lazo cerrado era

$$\omega_H = |s_1| = (1 + T_O)\omega_h = (1 + T_O)\omega_1$$

o

$$|s_1| = (1 + 202) \times 0.112 \times 10^6 = 2.274 \times 10^7 \text{ rad/s}$$

Evidentemente los dos valores son aproximadamente iguales.

Además en la Sec. 13-1 se observó que el polo no dominante prácticamente no se ve afectado por la realimentación cuando se cumplen las condiciones de polo dominante. La comparación entre $|s_2|$ y ω_2 apoya esta conclusión.

(*c*) A partir de los resultados de la parte (*a*) podemos escribir

$$T(s) = \frac{T_O}{[1 + (s/\omega_1)][1 + (s/\omega_2)]}$$

$$= \frac{202}{\{1 + [s/(0.112 \times 10^6)]\}\{1 + [s/(2.354 \times 10^8)]\}}$$

En la Fig. 13-18*a* vemos el diagrama asintótico de Bole para $T(j\omega)$ y en él observamos que $\varnothing_M = 90°$.

El diagrama asintótico de Bole de $T(j\omega)$ de la Fig. 13-18*b* incluye los efectos del tercer polo del sistema. Empleando la extensión del método de la Sec.11-9 se puede demostrar que

$$a_3 = 1704 + 417.5C_C = 1704 + 417.5 \times 55 = 24{,}670 \text{ (ns)}^3$$

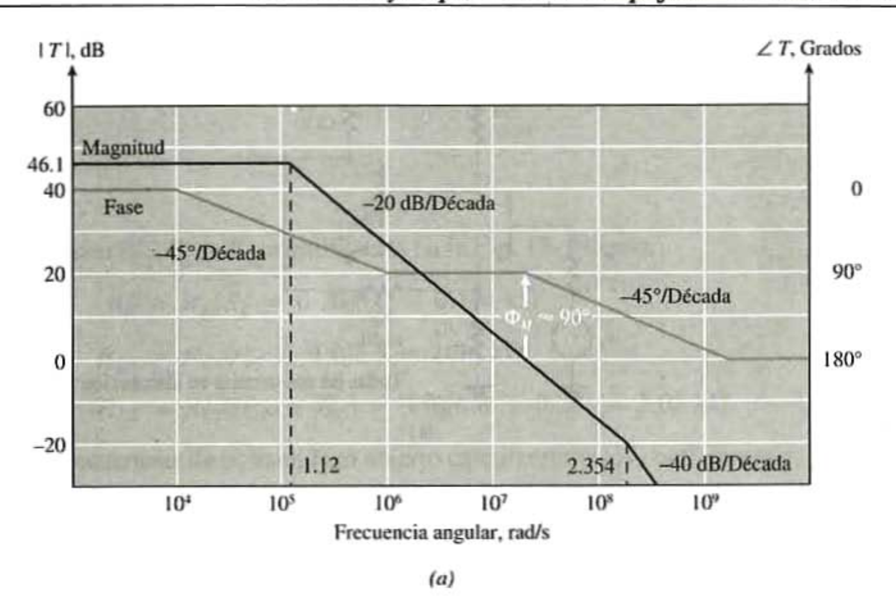
y

$$\omega_3 = \frac{a_2}{a_3} = \frac{37{,}930}{24{,}670} = 1.538 \times 10^9 \text{ rad/s}$$

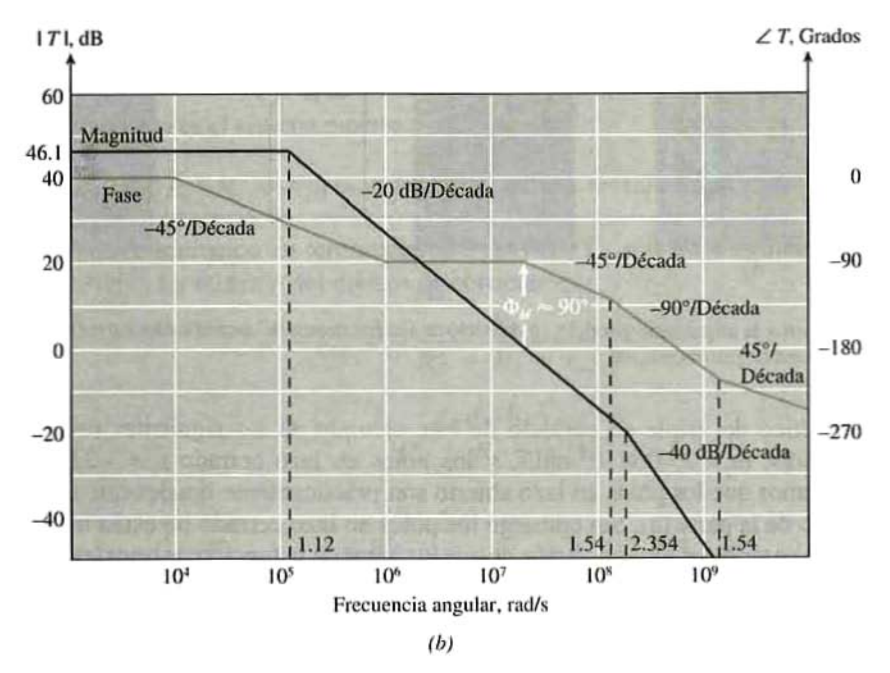
Obsérvese que la inclusión del tercer polo no cambia $\varnothing_M$.

(*d*) El margen de fase se determina mediante la Ec. (13-42).

$$\phi_M = \tan^{-1} \sqrt{2}\,[\sqrt{4(0.3106)^4 + 1} - 1]^{-1/2} = 84.5°$$



(a)



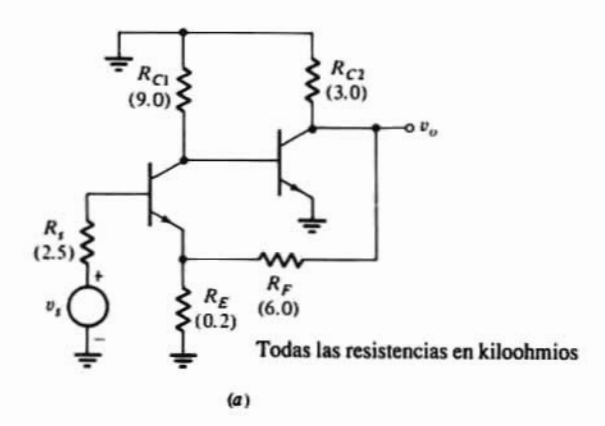
(b)

Figura 13-18. Diagramas asintóticos de Bode para el Ejemplo 13-6. (*a*) la aproximación de dos polos, (*b*) la inclusión del tercer polo.

(*e*) Los resultados de las partes (*c*) y (*d*) pueden compararse favorablemente. La diferencia se atribuye al pequeño error introducido por la aproximación asintótica de la característica de fase. Con $\omega_G = 2.263 \times 10^7$, la contribución de ω_2 es

$$\theta_2 = -\tan^{-1}\frac{\omega_G}{\omega_2} = \frac{2.354 \times 10^6}{2.263 \times 10^7} = -5.5^\circ$$

que es exactamente la diferencia entre los resultados de las partes (*c*) y (*d*).



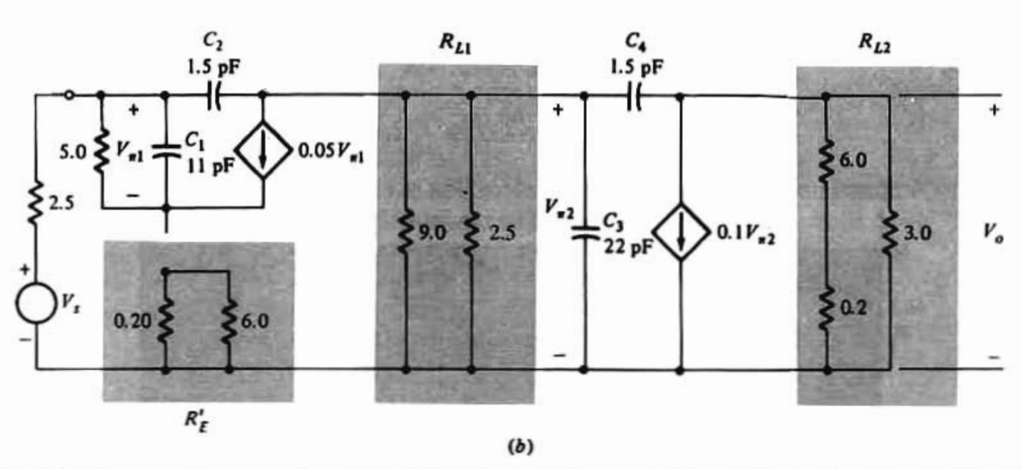


Figura 13-19. (*a*) Esquema de un par serie-paralelo. (*b*) Modelo de alta frecuencia del amplificador sin realimentación, incluyendo el efecto de carga de la red de realimentación.

El cálculo analítico del triple en paralelo de este ejemplo da los siguientes resultados: $T_o = 202$, $\omega_1 = 0{,}1120\times10^6$ rad/s, $\omega_2 = 2.406\times10^8$ rad/s, y los polos en lazo cerrado $s_1 = -2{,}87\text{x}10^7$ rad/s, $s_2 = -1{,}76\text{x}10^8$ rad/s. Vemos que los polos en lazo abierto son prácticamente iguales que los hallados con el cálculo aproximado de la parte (*a*). Sin embargo los polos en lazo cerrado no están tan separados como los calculados. Esto se atribuye a la suposición de que los ceros de la función de transferencia tenían efecto nulo. Con $C_4 = C_{\mu 2} + C_C = 0{,}5 + 55 = 55{,}5$ pF, la segunda etapa introduce un cero en $s = +g_{m2}/C_4 = +10/55{,}5 = 1{,}80\times10^8$ rad/s. (Sec. 11-5). Naturalmente este cero tiene una frecuencia angular menor que ω_2. La inclusión de este cero en la expresión de T_O da un margen de fase de 77,5° ya que ese cero produce un desfase adicional de 7°. Tal como se vio en el lugar de las raíces de la Fig. 13-1 y en nuestros anteriores comentarios, al reducirse $\emptyset_M$ se incrementa Q y por tanto los polos en circuito cerrado se aproximan entre sí como indica también el cálculo. En la próxima Sección estudiaremos más detalladamente la técnica de compensación (C_C) empleada en este ejemplo.

Ejemplo 13-7

El circuito de la Fig. 13-19*a* corresponde al par serie-paralelo analizado en el Ejemplo 12-8. En la Fig. 13-19*b* está representado el circuito equivalente aproximado del amplificador sin realimentación. (*a*)

Determinar los polos en lazo abierto y cerrado. (*b*) Esbozar el diagrama asintótico de Bode y fijar el margen de fase.

Solución

(*a*) Las resistencias R'_E, R_{L1} y R_{L2} identificadas en la Fig. 13-19*b* son:

$$R'_E = R_E \| R_F = 0.20 \| 6.0 = 0.194 \text{ k}\Omega$$

$$R_{L1} = R_{C1} \| r_{\pi 2} = 9.0 \| 2.5 = 1.96 \text{ k}\Omega$$

$$R_{L2} = R_{C2} \| (R_F + R_E) = 3.0 \| (6.0 + 0.20) = 2.02 \text{ k}\Omega$$

Para tener las frecuencias de polo en lazo abierto calcularemos los coeficientes a_1 y a_2 por el método de la Sec. 11-9, o sea:

$$a_1 = R_{11}^0 C_1 + R_{22}^0 C_2 + R_{33}^0 C_3 + R_{44}^0 C_4$$

$$a_2 = R_{11}^0 C_1 (R_{22}^1 C_1 + R_{33}^1 C_3 + R_{44}^1 C_4) + R_{22}^0 C_2 (R_{33}^2 C_3 + R_{44}^2 C_4) + R_{33}^0 C_3 R_{44}^3 C_4$$

$R_{11}{}^0$ y $R_{22}{}^0$ son las resistencias equivalentes vistas por las capacidades en la etapa conteniendo realimentación local. Por tanto, para calcular estos valores nos valdremos de la fórmula de la impedancia de Blackman.

Para $R_{11}{}^0$: La Fig. 13-20*a* es el sistema muerto en el que

$$R_{11D}^0 = r_{\pi 1} \| (R_s + R'_E) = 5.0 \| (2.5 + 0.194) = 1.75 \text{ k}\Omega$$

Evidentemente, cortocircuitando los terminales de C_1 se hace $T_{SC} = 0$. Para calcular T_{OC} se emplea el circuito de la Fig. 13-20*b*. La relación del divisor de corriente da

$$I_\pi = -g_{m1} V_\pi x \frac{R'_E}{R'_E + R_s + r_{\pi 1}}$$

$$V_\pi = I_\pi r_{\pi 1} = \frac{-g_{m1} r_{\pi 1} R'_E V_\pi}{(R'_E + R_s + r_{\pi 1})}$$

de donde

$$T_{OC} = \frac{-V_\pi}{V_\pi} = \frac{\beta_o R'_E}{R'_E + R_s + r_{\pi 1}} = \frac{125 \times 0.194}{0.194 + 2.5 + 5.0}$$

$$= 3.15$$

así

$$R_{11}^0 = \frac{R_{11D}^0}{1 + T_{OC}} = \frac{1.75}{1 + 3.15} = 0.422 \text{ k}\Omega$$

Para $R_{22}{}^0$: en la Fig. 13-20*a* hallamos

$$R_{22D}^0 = R_{L1} + R_s \| (r_{\pi 1} + R'_E) = 1.96 + 2.5 \| (5.0 + 0.194) = 3.65 \text{ k}\Omega$$

T_{OC}, deducido de la Fig. 13-20*b* es

$$T_{OC} = 3,15$$

Para calcular T_{SC} cuando se cortocircuita C_2 emplearemos el circuito de la Fig. 13-20*c*. Admitiendo que R_s y R_{L1} están en paralelo, tendremos:

$$I_\pi = -g_{m1}V_\pi \frac{R'_E + R_s \| R_{L1}}{R'_E + (R_s \| R_{L1})} \qquad \text{y} \qquad V_\pi = I_\pi V_{\pi 1}$$

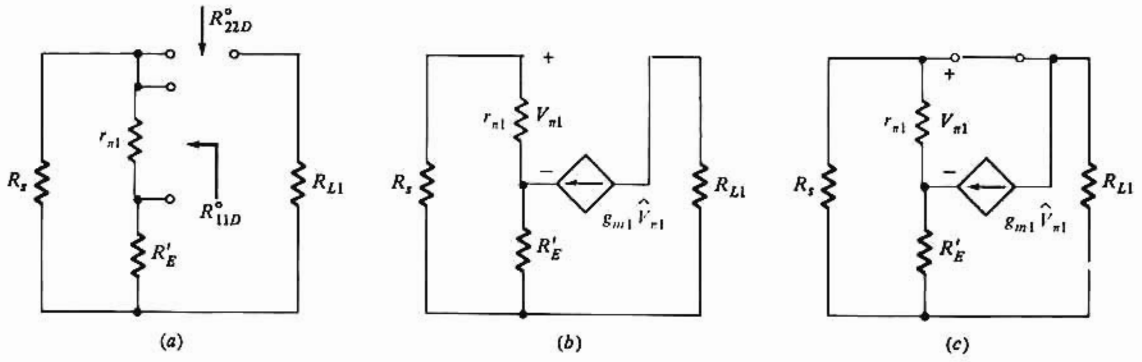


Figura 13-20. Circuitos empleados para calcular R°_{22} mediante la relación de impedancias de Blackman. (*a*) Para el sistema pasivo, (*b*) para el cálculo de T_{OC}, (*c*) para calcular T_{SC}.

Combinando estas ecuaciones:

$$T_{SC} = -\frac{V_\pi}{V_\pi} = \frac{\beta_o[R'_E + R_s \| R_{L1}]}{r_\pi + R'_E + (R_s \| R_{L1})} = \frac{125[1.94 + 2.5 \| 1.96]}{5.0 + 0.194 + (2.5 \| 1.96)} = 25.7$$

Luego

$$R^0_{22} = R^0_{22D} \frac{1 + T_{SC}}{1 + T_{OC}} = 3.65 \frac{1 + 25.7}{1 + 3.15} = 23.4 \text{ k}\Omega$$

En la etapa en emisor común que contiene C_3 y C_4 las resistencias son:

$$R^0_{33} = R_{L1} = 1.96 \text{ k}\Omega \qquad \text{y} \qquad R^0_{44} = R^0_{33}(1 + g_{m2}R_{L2}) + R_{L2}$$
$$= 1.96(1 + 50 \times 2.02) + 2.02 = 202 \text{ k}\Omega$$

Las demás resistencias se hallan de la siguiente forma: Cortocircuitando C_1 se tiene

$$R^1_{22} = R_{L1} + R'_E \| R_s = 1.96 + 0.194 \| 2.5 = 2.14 \text{ k}\Omega$$

$$R^1_{33} = R^0_{33} = 1.96 \text{ k}\Omega \qquad R_{44} = R_{44} = 202 \text{ k}\Omega$$

Cortocircuitando C_2

$$R^2_{33} = R_{L1} \| R_s \| \left(R'_E + \frac{1}{g_m} \right) = 1.96 \| 2.5 \| (0.194 + 0.020) = 0.179 \text{ k}\Omega$$

El cálculo de $R_{44}{}^2$ es similar al de $R_{44}{}^0$ excepto que se sustituye $R_{33}{}^0$ por $R_{33}{}^2$.
Entonces

$$R^2_{44} = R^2_{33}(1 + g_{m2}R_{L2}) + R_{L2} = 0.179(1 + 50 \times 2.02) + 2.02 = 20.3 \text{ k}\Omega$$

Cortocircuitando C_3 se elimina toda la parte izquierda del circuito; por tanto

$$R_{44}^{3} = R_{IL2} = 2{,}02 \text{ k}\Omega$$

Con los valores de capacidad dados en la Fig. 13-19*b* y los calculados de las resistencias obtendremos

$$a_1 = 0.422 \times 11 + 23.4 \times 1.5 + 1.96 \times 22 + 202 \times 1.5 = 385.9 \text{ ns}$$

$$a_2 = 0.422 \times 11(2.14 \times 1.5 + 1.96 \times 22 + 202 \times 1.5) +$$

$$23.4 \times 1.5(0.179 \times 22 + 20.3 \times 1.5) + 1.96 \times 22 \times 2.02 \times 1.5$$

$$= 2959 \text{ (ns)}^2$$

Los polos en lazo abierto tienen las frecuencias angulares $\omega_1 = 1/a_1 = 2{,}59\times10^6$ rad/s, y $\omega_2 = a_1/a_2 = 1{,}30\times10^8$ rad/s. En el Ejemplo 12-8 se obtuvo el valor de $T = 24{,}9$. De las Ecs. (13-47) y (13-35) resulta

$$Q = \frac{\sqrt{2959(1 + 24.9)}}{385.9} = 0.717$$

$$s = \frac{-2.59 \times 10^6(50.3 + 1)}{2}(1 \pm \sqrt{1 - 4Q^2})$$

$$= -6.64 \times 10^7 (1 \pm j1.03) \text{ rad/s}$$

En las ecuaciones anteriores se emplea el valor de $n = \omega_2/\omega_1 = 1{,}30\times10^8/2{,}59\times10^6 = 50{,}3$.

Obsérvese que el valor de $Q = 0{,}717$ es cercano a 0,707 con el que no existen picos en la respuesta de amplitud. Por tanto podemos decir que la respuesta en amplitud de un par serie-paralelo prácticamente no

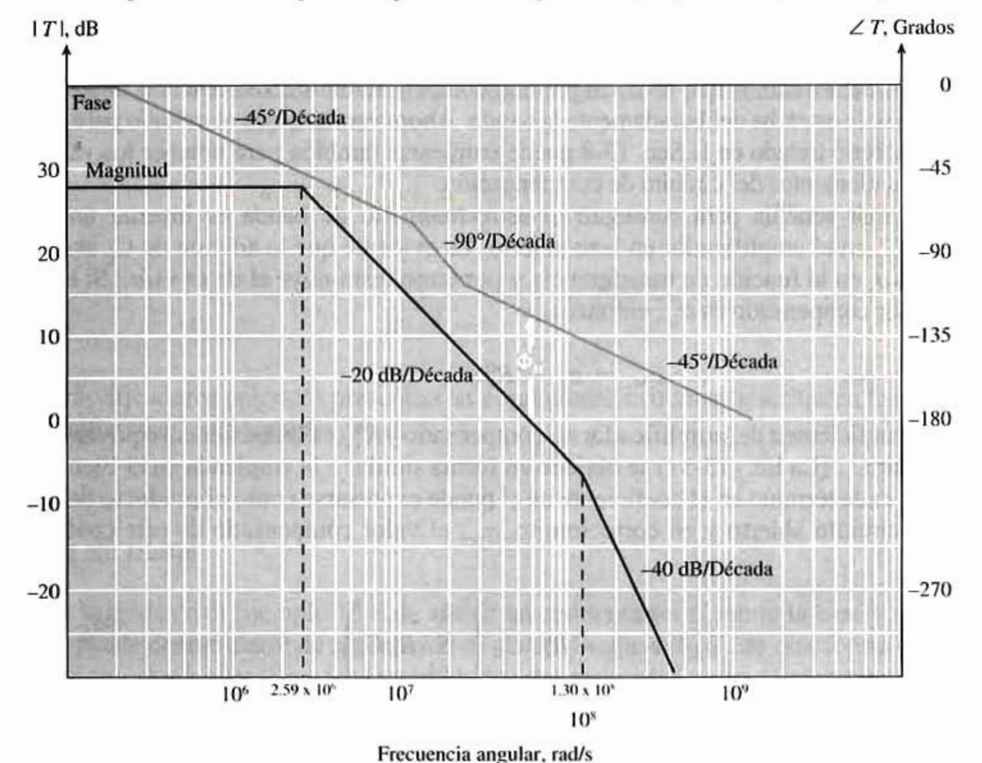


Figura 13-21. Diagrama asintótico de Bode de $T(j\omega)$ para el Ejemplo 13-7.

tiene picos. Asimismo, la respuesta a un escalón tiene poco sobrevalor (<3%).

(*b*) En la Fig. 13-21 está trazado el diagrama asintótico de Bode para

$$T(s) = \frac{24.9}{(1 + s/2.59 \times 10^6)(1 + s/1.30 \times 10^8)}$$

El margen de fase señalado en la Fig. 13-21 es $\varnothing_M = 60{,}5°$. Si se emplea la Ec. (13-42), $\varnothing_M = 65{,}0°$. La diferencia entre ambos resultados se atribuye a errores en la aproximación asintótica de la característica de fase en la Fig. 13-21. El error de fase debido al polo en $-\omega_2$ es de unos 5° (aproximadamente la diferencia entre ambos valores).

El análisis y cálculo del circuito de la Fig. 13-19 nos da

$$\omega_1 = 2.64 \times 10^6 \text{ rad/s} \qquad \omega_2 = 1.27 \times 10^8 \text{ rad/s}$$

$$s = -6.59 \times 10^7 (1 \pm j\,1.035) \text{ rad/s}$$

Los valores aproximados no difieren más del 3% de los valores reales, lo que demuestra la eficacia de los cálculos aproximados como herramientas para el diseño.

13-10. MÁS SOBRE LA COMPENSACIÓN

Se ha demostrado en Secciones anteriores que para conseguir una determinada respuesta en lazo cerrado el polo dominante $-\omega_1$ de $T(s)$ ha de estar ampliamente separado del siguiente polo en ω_2. Frecuentemente se debe compensar el amplificador básico para alcanzar la separación de polos requerida. En la Sec. 13-4 demostramos que se consigue una compensación efectiva cuando al amplificador sin realimentación se le estrecha deliberadamente la banda. Ahora veremos que el método para aproximar los polos en lazo abierto tratado en la Sec. 13-8 puede emplearse también para obtener los valores iniciales de diseño de los elementos del circuito de compensación.

La técnica más sencilla para conseguir el estrechamiento de banda es insertar un condensador compensador C_C en el amplificador en lazo abierto. Es evidente que la adición de C_C aumenta el valor del coeficiente a_1 en la función de transferencia y por tanto disminuye el de $\omega_1 \approx 1/a_1$. Si el coeficiente s del amplificador compensado es a_{1C}, entonces

$$a_{1C} = a_1 + R^0_{CC} C_C \tag{13-51}$$

donde a_1 es el coeficiente s del amplificador no compensado y R^0_{CC} es la resistencia equivalente en circuito abierto vista por C_C. [La Ec. (13-51) se obtiene en forma similar a la empleada en el Ejemplo 13-6.]

Puesto que cada término en el coeficiente de s^2 puede expresarse como el producto de una constante de tiempo en circuito abierto y en cortocircuito, a_{2C}, el valor compensado de este coeficiente, puede escribirse

$$a_{2C} = a_2 + R^0_{CC} C_C \left(\sum_{\substack{i=1 \\ i \neq C}}^{N} R^C_{ii} C_i \right) \tag{13-52}$$

En la Ec. (13-52) $R^C_{ii} C_i$ es la constante de tiempo del condensador C_i cuando C_C está cortocircuitado. Obsérvese que en el Ejemplo 13-6 hemos expresado a_{1C} y a_{2C} en la forma de las Ecs. (13-51) y (13-52).

Valiéndonos de la Ec. (13-46) el factor de separación de polos n viene dado por

$$n = \frac{T_O}{Q^2} = \frac{a_1^2}{a_2} = \frac{(a_1 + R^0_{CC}C_C)^2}{a_2 + R^0_{CC}C_C\left(\sum_{\substack{i=1\\i\neq C}}^{N} R^C_{ii}C_i\right)} \tag{13-53}$$

Puesto que se conocen n, a_1 a_2 y las resistencias en circuito abierto y en cortocircuito, resolviendo la Ec. (13-53) tendremos el valor de diseño inicial de C_C necesario para obtener la separación de polos deseada.

Examinemos los dos extremos resultantes de la compensación capacitiva simple. Para estrechar significativamente la banda del amplificador es evidente que $R^0{}_{CC}\,C_C$ de la Ec. (13-51) ha de ser mucho más grande que a_i (si $a_{1C} \geq 10a_1$ como es necesario para desplazar $\omega_{1C} \approx 1/a_{1C}$ a una década más próxima al origen que ω_1, $R^0{}_{CC}C_C\,0 \geq 9a_1$). Por tanto podemos emplear la aproximación $a_1 \approx R^0{}_{CC}C_C$. En el primer caso consideremos que

$$R^0_{CC}C_C\left(\sum_{\substack{R=1\\i\neq C}}^{N} R^C_{ii}C_i\right) \gg a_2$$

Entonces

$$\omega_{1C} \approx \frac{1}{R^0_{CC}C_C} \qquad \omega_{2C} = \frac{a_{1C}}{a_{2C}} \approx \frac{1}{\sum\limits_{\substack{i=1\\i\neq C}}^{N} R^C_{ii}C_i} \tag{13-54}$$

Observemos que según la Ec. (13-54) ω_{2C} es independiente de C_C y por tanto constante. Así, C_C se puede obtener directamente de la Ec. (13-54). El valor de ω_{1C} empleado se puede calcular a partir del factor de separación de polos n o de la técnica del diagrama asintótico de Bode presentada en la Sec. 13-4.

En el segundo caso extremo suponemos que

$$a_2 \gg R^0_{CC}C_C\left(\sum_{i=1}^{N} R^C_{ii}C_i\right)$$

y por tanto

$$\omega_{1C} \approx \frac{1}{R^0_{CC}C_C} \qquad \omega_{2C} \approx \frac{R^0_{CC}\,C_C}{a_2} \tag{13-55}$$

Algunos amplificadores prácticos presentan las condiciones extremas descritas en las Ecs. (13-54) y (13-55). Sin embargo esto no siempre es así.

Separación de polos

La técnica seguida en el Ejemplo 13-6 de añadir un condensador C_C entre la base y el colector de la etapa interior puede denominarse de *separación de polos*. Empleando C_C de esta forma se beneficia del efecto multiplicador de Miller (Sec. 11-5) resultando unas capacidades que pueden fabricarse realmente en un chip. Se puede demostrar que este tipo de compensación hace que $\omega_{1C} < \omega_1$ y $\omega_{2C} > \omega_2$. Así ω_{1C} se desplaza desde ω_1 hacia el origen (estrechando la banda) y ω_{2C} se mueve desde ω_2 alejándose del origen, y de ahí nace la voz de «separación de polos». Obsérvese que esta separación resulta evidente en la situación descrita por la Ec. (13-55).

Ejemplo 13-8

Determinar C_C cuando $Q^2 = 0{,}1$ en el amplificador del Ejemplo 13-6.

Solución

En el Ejemplo 13-6 se calcularon a_{1C} y a_{2C} como

$$a_{1C} = 156.0 + 159.5C_C \qquad a_{2C} = 1794 + 657.1C_C$$

Para que $Q^2 = 0{,}1$, siendo $T_O = 202$, la Ec. (13-36) dice que

$$n = \frac{T_O + 1}{Q^2} = \frac{202 + 1}{0.1} = 2030$$

Valiéndonos de la Ec. (13-53) tendremos

$$2030 = \frac{(156.0 + 159.5C_C)^2}{1794 + 657.1C_C}$$

y resolviendo la ecuación cuadrática resultante se llega a $C_C = 54{,}8$ pF. En el Ejemplo 13-6 se halló que para $C_C = 55$ pF, $Q^2 = 0{,}0966$. Como n crece y Q decrece al aumentar C_C se espera una leve reducción de Q^2 para un ligero incremento de C_C. Obsérvese que en la expresión de a_{1C}, un valor de $C_C > 30$ pF da $a_{1C} \approx 159{,}5\ C_C$ y $a_{2C} \approx 651{,}7\ C_C$. Por tanto

$$\omega_{2C} \approx \frac{a_{1C}}{a_{2C}} = \frac{159.5C_C}{651.7C_C} = 2.447 \times 10^8 \text{ rad/s}$$

y

$$\omega_{1C} = \frac{\omega_{2C}}{n} = \frac{2.447 \times 10^8}{2030} = 0.120 \times 10^6 \text{ rad/s}$$

Despejando C_C

$$C_C = \frac{a_{1C}}{159.5} = \frac{1}{159.5\omega_{1C}} = \frac{1}{159.5 \times 0.120 \times 10^6} = 52.2 \text{ pF}$$

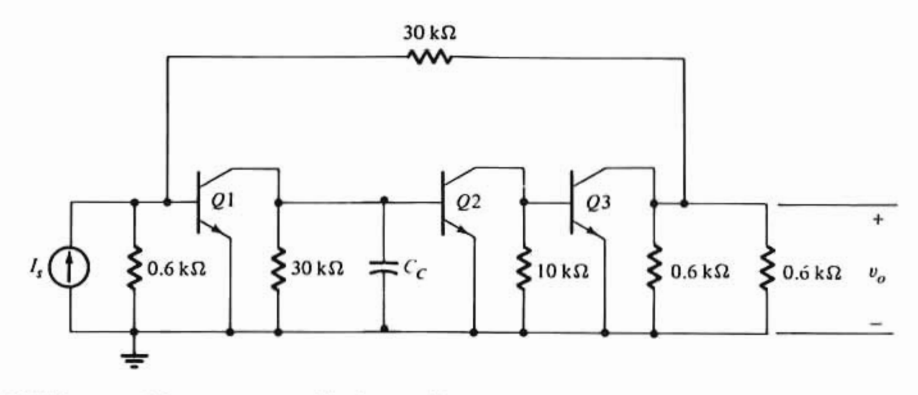


Figura 13-22. Triple en paralelo con compensación de capacidad en paralelo.

Todos estos resultados son casi iguales a los valores reales obtenidos. Por tanto podemos llegar a la conclusión de que esta situación es muy aproximadamente la del primer caso extremo antes comentado.

Compensación por capacidades en paralelo

Un inconveniente potencial de la separación de polos es que el cero en $s = g_{m2}/(C_C + C_{\mu2})$ también se acerca al origen afectando al margen de fase y a los polos en lazo cerrado (Ejemplo 13-6). Una técnica de compensación alternativa consiste en añadir una capacidad C_C en la entrada de la segunda etapa, como en la Fig. 13-22. Como C_C está derivado a tierra, el cero introducido por la segunda etapa permanece en $g_{m2}/C_{\mu2}$ y su efecto sobre el margen de fase es despreciable. Con los valores de los componentes del Ejemplo 13-6, las Ecs. (13-51) y (13-5) se convierten en

$$a_{1C} = 156.0 + 7.5C_C \quad \text{ns} \qquad a_{2C} = 1794 + 262.46C_C \quad (\text{ns})^2$$

Resolviendo la Ec. (13-53) con $n = 2030$ tendremos $C_C = 9430$ pF. Evidentemente este valor es mucho más grande que el obtenido en el Ejemplo 13-6. Además no se puede fabricar en un chip una capacidad de 9430 pF lo que hace que esta técnica sea impracticable en el diseño de circuitos integrados.

Un segundo inconveniente de este método consiste en que mientras provee la separación de polos adecuada, decrece el ancho de banda en lazo cerrado. Tomando $C_C = 9430$ pF se tiene

$$a_{1C} = 70.89\ \mu\text{s} \qquad a_{2C} = 2.477\ (\mu\text{s})^2$$

de donde

$$\omega_{1C} = 1.410 \times 10^4\ \text{rad/s} \qquad \omega_{2C} = 2.864 \times 10^7\ \text{rad/s}$$

Ambos valores son inferiores a los correspondientes al Ejemplo 13-6.

En consecuencia $\omega_o = \sqrt{(1 + T_o)\ \omega_1\ \omega_2}$ es menor con compensación por capacidad en paralelo, y tal como nos da la Ec. (13-43), se reduce el ancho de banda. También podemos observar que $\omega_{2C} < \omega_2$ cuando se emplea esta técnica y no se produce la separación de polos.

Análisis del lugar de las raíces (opcional)

Los polos del amplificador en lazo abierto compensado vienen dados por

$$1 + a_{1C}s + a_{2C}s^2 = 0$$

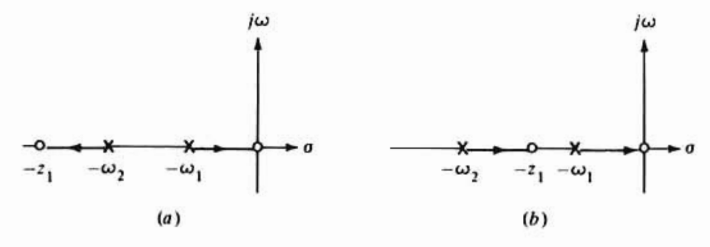


Figura 13-23. Lugar de las raíces mostrando (*a*) separación de polos, y (*b*) estrechamiento de banda de ambos polos. Se da la situación (*a*) cuando se emplea la compensación por efecto Miller, y la situación (*b*) cuando se emplea la de capacidad en paralelo.

Sustituyendo las Ecs. (13-51) y (13-52) se llega, después de algunas manipulaciones algébricas a

$$\frac{R^0_{CC}\, C_C s \left(1 + s \sum_{\substack{i=1 \\ i \neq C}}^{N} R^C_{ii}\, C_i\right)}{1 + a_1 s + a_2 s^2} = \frac{R^0_{CC} C_C\, s(1 + s/z_1)}{(1 + s/\omega_1)(1 + s/\omega_2)} = -1 \tag{13-56}$$

Supongamos que $z_1 > \omega_2$. En la Fig. 13-23*a* se señala el lugar de los polos al ir variando C_C. Evidentemente hay separación de polos, siendo esta la situación existente en los Ejemplos 13-6 y 13-8. Alternativamente, supongamos ahora que $\omega_1 < z_1 < \omega_2$ indicando la Fig. 13-23*b* el lugar de las raíces. Obsérvese que tanto ω_{1C} como ω_{2C} son menores que sus correspondientes valores en el amplificador no compensado. Frecuentemente la compensación por capacidad en paralelo conduce a esta situación con disminución del ancho de banda.

Resumen

Los pasos a seguir para el análisis y diseño de un amplificador realimentado se pueden resumir de la siguiente forma:

1. Empleando los valores de los componentes necesarios para satisfacer las especificaciones en el centro de la banda, aproximar $A_{OL}(s)$ y $T(s)$ usando los métodos descritos en la Sec. 13-8.
2. Prueba de estabilidad como se indica en la Sec. 13-3.
3. Compensar el amplificador para tener aproximadamente la respuesta deseada en lazo cerrado. Para predecir la respuesta en lazo cerrado se emplea la aproximación de dos polos las Secs. 13-5 y 13-6, y los métodos descritos aquí y en la Sec. 13-4 proporcionan las bases para la compensación.
4. Emplear cálculo simulado para obtener la respuesta en lazo cerrado y la función de transferencia en lazo abierto.
5. Comparar la respuesta del punto anterior con los valores previstos.
6. Ajustar los valores de los componentes para reducir la diferencia entre las respuestas reales y las previstas.
7. Repetir los puntos 4, 5 y 6 hasta obtener los valores finales de diseño.

REFERENCIAS

1 Sedra, A.S., y K.C. Smith: "Microelectronic Circuits," Holt, Nueva York, 1981.

2 Gray, P.R., y R.G. Meyer: "Analysis and Design of Analog Integrated Circuits," John Wiley and Sons, Nueva York, 1984.

3 Blecher, F.H.: Design Principles in Single Loop Transistor Feedback Amplifiers, *IRE Trans. Circuit Theory*, vol. CT-4, nº 5, Septiembre 1957.

4 Ghausi, M.S.: "Electronic Devices and Circuits: Discrete and Integrated," Holt, Nueva York, 1985.

5 Grebene, A.B.: "Bipolar and MOS Analog Integrated Circuits," John Wiley and Sons, Nueva York, 1984.

6 Bode, H.W.: "Network Analysis and Feedback Amplifier Design," D. Van Nostrand Company, Princeton, N.J., 1945.

7 Schilling, D., y C. Belove: "Electronic Circuits Discrete and Integrated," McGraw-Hill Book Company, Nueva York, 1985.

8 Soclof, S.: "Analog Integrated Circuits," Prentice- Hall, Englewood Cliffs, N.J., 1985.

9 Nyquist, H.: Regeneration Theory, *Bell System Tech. J.*, vol. 11, pp. 126-147, Enero 1932.

10 Thornton, R.D., C.L. Searle, D.O. Pederson, R.B. Adler, y E.J. Angelo, Jr: "Multistage Transistor Circuits," SEEC Committee Series, vol. 5, pp. 108-118, John Wiley and Sons, Nueva York, 1965.

TEMAS DE REPASO

13-1. Considerar un amplificador realimentado con función de transferencia de un polo solo.
(*a*) ¿Cuál es la relación entre la frecuencia superior de 3 dB con y sin realimentación?
(*b*) Repetir la parte (*a*) para la frecuencia inferior de 3 dB.
(*c*) Repetir la parte (*a*) para el producto ganancia-ancho de banda.

13-2. Considerar un amplificador realimentado con función de transferencia de doble polo.
(*a*) Esbozar, sin demostración, el lugar geométrico de los polos en el plano s después de la realimentación.
(*b*) ¿Por qué el amplificador es estable independientemente de la cuantía de realimentación negativa?

13-3. (*a*) Indicar (sin demostrar) un circuito que tenga la misma función de transferencia que el amplificador realimentado de doble polo.
(*b*) Esbozar la respuesta a un escalón tanto con sub-amortiguación como con sobre-amortiguación.

13-4. Definir, para la respuesta de un amplificador de dos polos sub-amortiguado: (*a*) tiempo de subida, (*b*) tiempo de retardo, (*c*) sobrevalor o punta, (*d*) periodo de amortiguación (*e*) tiempo de estabilización.

13-5. (*a*) Esbozar, sin demostración, el lugar geométrico de los polos de un amplificador de tres polos después de añadir la realimentación.
(*b*) Indicar dónde el amplificador se hace inestable.

13-6. Consideremos un amplificador múltiple con $|s_1| < |s_2| < |s_3| < \ldots < |s_n|$. Bajo qué circunstancias la respuesta con realimentación viene determinada por
(*a*) s_1 y s_2, y (*b*) por s_1 solamente.

13-7 (*a*) Definir la estabilidad.
(*b*) Para que haya estabilidad ¿dónde deben estar los polos de $A_f(s)$?

13-8. (*a*) Explicar el criterio de Nyquist.
(*b*) Dibujar el diagrama de Nyquist de un sistema estable.
(*c*) Repetir la parte (*b*) para un sistema inestable.

13-9. (*a*) Definir el margen de fase $Ø_M$
(*b*) Señalar $Ø_M$ sobre los diagramas de los Temas 13-8*b* y 13-8*c*.

13-10. (*a*) Definir el margen de ganancia.
(*b*) Señalar el margen de ganancia en los diagramas de los Temas 13-8*b* y 13-8*c*.

13-11. (*a*) Dibujar los diagramas de Bode correspondientes a los temas 13-8*b* y 13-8*c*.
(*b*) Identificar los margenes de ganancia y de fase en los diagramas de Bode del apartado anterior.

13-12. ¿Qué se entiende por compensación?

13-13. Explicar con la ayuda del diagrama de Bode, cómo puede compensarse un amplificador.

13-14. Describir el método mediante el que se pueden determinar los dos primeros polos dominantes de un amplificador en lazo abierto.

13-15. (*a*) Si la respuesta en lazo cerrado muestra un polo dominante, ¿debe la respuesta en lazo abierto tener un polo dominante? Explíquese.
(*b*) Comentar el punto anterior.

13-16. Describir la separación de polos.

13-17. Comparar los métodos de compensación del polo dominante por efecto Miller o por capacidad en paralelo.

13-18. (*a*) ¿Qué se entiende por realimentación positiva?

(*b*) ¿Cómo están relacionados A_F y A en un amplificador con realimentación positiva?

(*c*) Si $T = -1$ ¿Cuál es la ganancia A_F?

14

Características del amplificador operacional

El amplificador operacional (Amp-Op) es el más empleado de los circuitos integrados analógicos. En este capítulo describiremos las propiedades de los Amp-Op prácticos y relacionaremos estas características con las técnicas del diseño de circuitos integrados analógicos. Siendo el Amp-Op un circuito multietapa que casi siempre emplea la realimentación, las materias tratadas en este capítulo van unidas a muchos de los conceptos discutidos en los Capítulos 10 a 13.

14-1. ESTRUCTURA DEL AMPLIFICADOR OPERACIONAL

El Amp-Op introducido en la Sec. 10-21 es una fuente de tensión de dos entradas gobernadas por tensión, cuya tensión de salida es proporcional a la diferencia entre las dos tensiones de entrada. En la Sec. 10-21 se describieron las características del Amp-Op y su empleo en los amplificadores inversores y no inversores básicos. La respuesta en frecuencia de estos amplificadores se comentó en la Sec. 11-13. En la Tabla 14-1 se resumen los datos del Amp-Op ideal y del práctico.

Tabla 14-1. Características del Amp-Op

Propiedad	*Ideal*	*Práctico (típico)*
Ganancia en lazo abierto	Infinita	Muy alta ($\gg 10^4$)
Ancho de banda en lazo abierto	Infinita	Polo dominante ($\approx$ 10 Hz)
Relación de rechazo del modo común	Infinita	Alta ($\geq$ 70 dB)
Resistencia de entrada	Infinita	Alta ($\geq$ 10 MΩ)
Resistencia de salida	Cero	Baja (<500 Ω)
Corrientes de entrada	Cero	Baja (<0,5 μA)
Tensiones y corrientes offset	Cero	Baja (<10 mV, <0,2 nA)

Vamos a examinar algunas de las razones que abonan los valores listados en la Tabla 14-1. Puesto que las etapas del Amp-Op básico son amplificadores realimentados, es deseable tener una ganancia en lazo abierto elevada (y por tanto una relación de retorno alta) para asegurar una dependencia exclusiva de la ganancia en lazo cerrado respecto a las resistencias de realimentación R_1 y R_2 (véase la Fig. 10-42). Análogamente, la mayor parte de Amp-Op se diseñan para una función de transferencia que contenga un polo dominante. En estas condiciones, los productos del ancho de banda por las ganancias en lazo abierto y en lazo cerrado son iguales. Así, para una ganancia en lazo cerrado dada, el ancho de banda queda prontamente determinado.

Para asegurar que la señal de salida sea proporcional a la diferencia entre las tensiones de entrada es necesaria una elevada relación de rechazo del modo común. Con un valor alto de ésta, las señales del modo común que frecuentemente contienen componentes en continua afectan poco a la salida del amplificador.

Para aproximarse a las características de un amplificador de tensión ideal, el Amp-Op debe tener una resistencia de entrada alta y una de salida baja. La corriente en cada una de las dos entradas es idealmente nula. Estas corrientes en continua forman parte de las corrientes de polarización de la etapa de entrada y, puesto que los circuitos integrados invariablemente están directamente acoplados, deben ser pequeñas para evitar interacciones no deseadas con la fuente de señal.

En un circuito integrado «ideal» podemos compaginar exactamente las características del transistor con los valores de los componentes. Independientemente de cuan sofisticada sea la técnica de fabricación, en la práctica real es imposible una compaginación exacta. Las tensiones y corrientes «offset»[1] son índice del desequilibrio del circuito, que evidentemente debe ser bajo.

Estructura de dos etapas

La mayoría de los Amp-Op disponibles en el mercado emplean la estructura de la Fig. 14-1. Esta configuración en cascada, se denomina corrientemente *amplificador operacional de dos etapas* porque únicamente el amplificador diferencial y la etapa de ganancia contribuyen a la ganancia de tensión global. El amplificador diferencial se emplea como etapa de entrada para proveer las entradas inversora y no inversora, la alta relación de rechazo del modo común, y la gran resistencia de entrada, así como la ganancia de tensión. La baja resistencia de salida del Amp-Op se logra por la etapa seguidora de emisor de salida. El desplazador de nivel ajusta las tensiones en continua de forma que la señal de tensión de salida queda con referencia a tierra. Se necesita ajustar los niveles en continua porque las etapas de ganancia están directamente acopladas. Como sea que no se pueden construir en un chip condensadores de capacidad elevada, los circuitos integrados quedan virtualmente directamente acoplados. La etapa de ganancia interior es un amplificador de tensión de gran ganancia que se emplea para tener una gran ganancia en lazo abierto.

En el párrafo anterior vemos que las etapas de entrada y de salida deben relacionar el Amp-Op con el mundo exterior, es decir, que deben servir de intermediarios entre las fuentes de las señales de entrada y el amplificador y entre el amplificador y la carga. Al diseñar las etapas de entrada y de salida, a veces hay que sacrificar la ganancia para conseguir una relación apropiada con el exterior. En estos casos se aumenta la ganancia de la etapa amplificadora interior de forma que la amplificación total satisfaga las exigencias del diseño.

Dedicaremos las cuatro secciones siguientes a la descripción de cada una de las cuatro etapas de la estructura de la Fig. 14-1, enfocadas hacia las etapas BJT; los Amp-Op FET se verán en la Sec. 14-10. En los problemas ilustrativos de esta sección se emplean los datos numéricos del Amp-Op tipo 741, introducido en 1966 por Fairchild Semiconductor, Inc., actualmente lo fabrican muchos constructores. 741 emplea la estructura en dos etapas de la Fig. 14-1, y probablemente es el Amp-Op más extensamente usado.



Figura 14-1. Arquitectura de un Amp-Op de dos etapas.

[1] Se trata de tensiones y corrientes «desplazadas» o «descentradas» respecto a una posición central. No existiendo una denominación comúnmente aceptada en castellano, respetamos el vocablo original «offset» (*N. del T.*).

14-2. LA ETAPA DE GANANCIA CON CARGA ACTIVA

La etapa interior del Amp-Op debe tener una ganancia de tensión alta. En la Sec. 10-10 se demostró que la ganancia de una etapa BJT depende de la resistencia de colector empleada y del valor de β_o del transistor. Frecuentemente en esta etapa se emplean transistores compuestos de alto β_o tales como el par Darlington Colector común-Emisor común en cascada (Sec. 10-17). Sin embargo no puede fabricarse convenientemente en un chip una resistencia de colector elevada, y aun cuando no fuera éste el caso, los niveles de tensión resultantes no son practicables. Por ejemplo, a través de una resistencia de 100 kΩ conduciendo una corriente continua de 1 mA existe una caída de tensión de 100 V, por lo que se necesitaría un suministro de potencia a más de 120 V para obtener señales de salida de 20 V de pico a pico. Evidentemente esto no es conveniente.

Para solventar esta limitación se emplean *cargas activas*. Una carga activa es una fuente de corriente cuya resistencia de salida se emplea en lugar de la de colector como se ve en la Fig. 14-2. La fuente de corriente (carga activa) de esta figura está formada por un par de transistores laterales *pnp* $Q3$ y $Q4$ (Sec. 5-3). El empleo de transistores *pnp* determina el sentido apropiado de la corriente de colector en el transistor *npn* $Q1$ y proporciona la gran resistencia de salida. Puesto que casi toda la corriente está en la fuente y no en la resistencia de salida, queda solventada la necesidad de tensiones de suministro altas. También es evidente que la resistencia de salida de la fuente es, en el modelo de pequeña señal, la resistencia de colector.

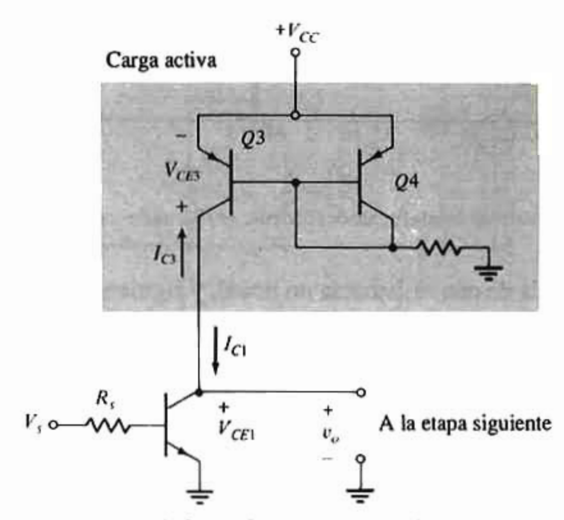


Figura 14-2. Etapa en emisor común en la que la fuente de corriente se emplea como carga activa.

La recta de carga

Para demostrar la efectividad de la carga activa tracemos la recta de carga sobre las características de salida de $Q1$. Supongamos que la fuente de corriente está diseñada para dar una corriente de 1 mA, y que el transistor *pnp* tiene una tensión Early $V_A = 100$ V. La tensión de realimentación es de 15 V. Según las leyes de Kirchhoff

$$-I_{C3} = I_{C1} \quad \text{y} \quad V_{CE1} = V_{CC} - V_{CE3} = 15 - V_{CE3} \tag{14-1}$$

La característica tensión-corriente de la fuente de corriente representada en la Fig. 14-3*a* refleja la

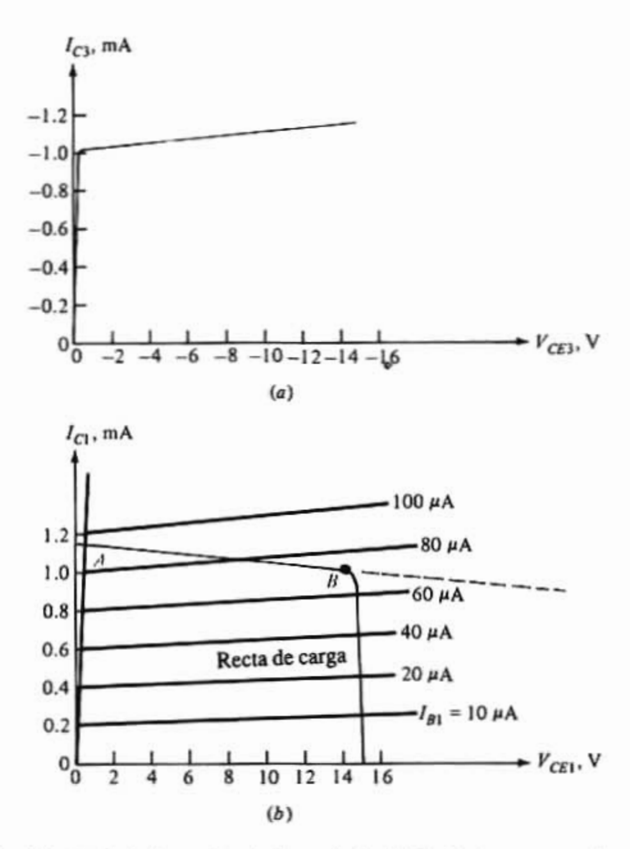


Figura 14-3. (*a*) Característica tensión-corriente de una fuente de corriente. (*b*) Recta de carga cuando se emplea como carga activa.

tensión Early. La curva de la *a* es la de una resistencia no lineal, y siguiendo el método descrito en la Sec. 4-11 se puede construir la recta de carga de la Fig. 14-3*b*. La recta casi horizontal entre A y B corresponde a la gran resistencia $r_O = V_A/I_{C3} = 100/1 = 100\ \text{k}\Omega$. Efectivamente si se prolonga la recta de cargas (línea de trazos) cortará el eje V_{CE1} en $V_A = 100$ V. Así pues, para tener la misma recta de carga (entre A y B) utilizando una resistencia de colector se necesitará una tensión de alimentación de 100 V. Observando la Fig. 14-3*b* se ve que un pequeño cambio en I_{B1} produce un gran cambio en V_{CE1}, y por tanto se ha conseguido una gran ganancia.

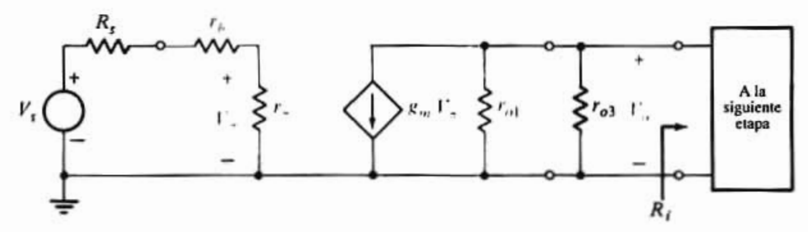


Figura 14-4. Circuito equivalente a baja frecuencia del de la Fig. 14-2.

Modelo de pequeña señal

En la Fig. 14-4 se representa el modelo de pequeña señal de la etapa que contiene $Q1$ y la carga activa.

Puesto que la resistencia de colector r_{o3} de un transistor *pnp* frecuentemente es de valor comparable al de la resistencia de salida r_{o1} del transistor *npn*, ambas deberán incluirse en el modelo. La carga efectiva en esta etapa es la combinación en paralelo de r_{o1}, y R_{o3} y la resistencia de entrada R_i de la siguiente etapa. Obsérvese que R_i también ha de ser grande para minimizar la carga. De no ser éste el caso, la ventaja de la carga activa se ve contrarrestada, y la ganancia de la etapa reducida. En la Fig. 14-1 la carga de la etapa de ganancia es la resistencia de entrada del seguidor de emisor. Esta gran resistencia de entrada ayuda a reducir el efecto de la carga en esta etapa.

Ejemplo 14-1

La Fig. 14-5 representa el esquema simplificado de la etapa de ganancia del Amp-Op 741. La fuente de señal y la resistencia de fuente representada comprende el equivalente de Thèvenin del amplificador diferencial que sirve de entrada a la etapa de ganancia. El transistor *pnp* Q13B es parte de

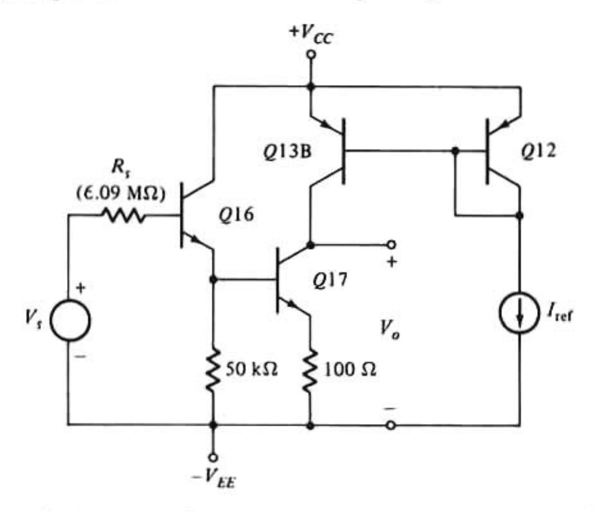


Figura 14-5. Etapa de ganancia de un Amp-Op de tipo 741. Los transistores Q16 y Q17 forman un conjunto Colector-común, Emisor-común (CC-CE), y los Q13B y Q12 son la carga activa. La combinación V_s -R_s representa el equivalente de Thèvenin de la etapa diferencial.

la carga activa de la fuente de corriente en la etapa. Los transistores están numerados correspondiéndose con el diagrama del circuito del amplificador completo de la Fig. 14-19. Los transistores están polarizados a I_{C16} = 16 μA e $I_{C17} = I_{C13B}$ = 550 μA. Todos ellos tienen β_o = 250 y las tensiones Early son 100 y 50 V para dispositivos *npn* y *pnp* respectivamente. Supongamos r_b = 0 para todos los BJT.

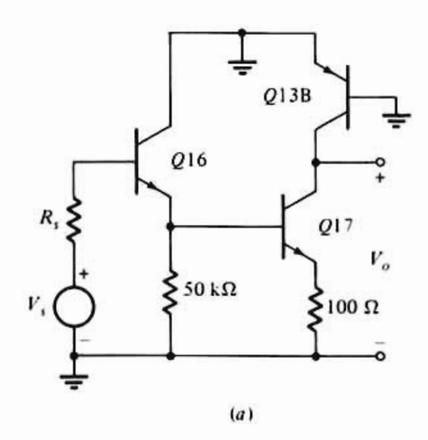
Determinar la ganancia de tensión V_o/V_s, la resistencia de entrada R_{i2} y la de salida R'_{o2} en esta etapa.

Solución

La etapa de ganancia es una cascada Colector común-Emisor común. El diagrama esquemático del circuito de pequeña señal es el de la Fig. 14-6*a*. El modelo incremental del circuito está representado en la Fig. 14-6*b*. Siguiendo el proceso descrito en la Sec. 10- 16 hallaremos primeramente la ganancia A_{V1} del seguidor de emisor (etapa en colector común). Mediante la Tabla 10-3 tendremos

$$A_{V1} = \frac{(250 + 1)50}{6090 + 391 + (250 + 1)50} = 0.659$$

empleándose $r_\pi = \beta_o/g_m = \beta_o V_T/I_{C16} = 250 \times \frac{25}{16} = 391$ kΩ.



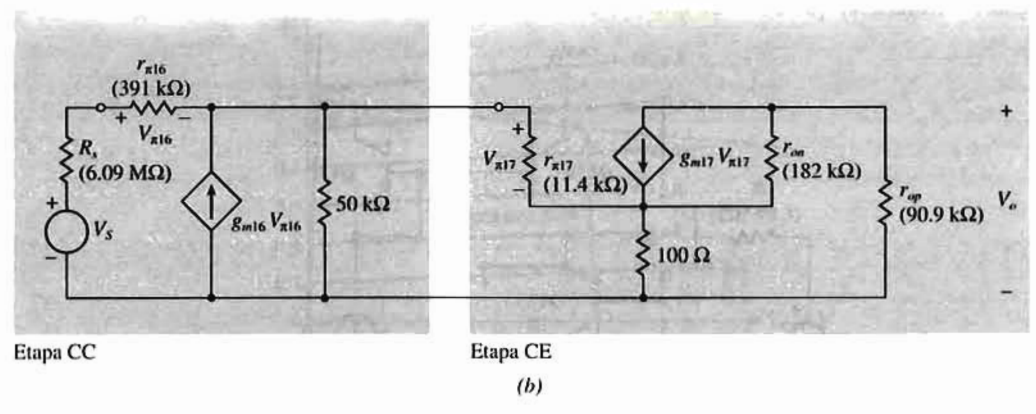


Figura 14-6. (*a*) Representación en alterna de la Fig. 14-5, (*b*) el circuito equivalente de pequeña señal de (*a*) válido a bajas frecuencias.

La resistencia de salida de esta etapa (que actúa como resistencia de fuente de la etapa en emisor común) es, según la Ec. (10-52)

$$R_o = 50 \parallel \frac{6090 + 391}{250 + 1} = 17.0 \text{ k}\Omega$$

Véase que r_o de Q16 es $\frac{100}{16}$ = 6.25 MΩ y 6.25 MΩ ∥ 50 kΩ ≈ 50 kΩ.

La resistencia efectiva de colector para la etapa en emisor común es el valor de r_o del transistor *pnp* de carga, o

$$R_C = r_{op} = \frac{50}{0.55} = 90.9 \text{ k}\Omega$$

La resistencia de salida r_{on} del transistor *npn* $Q17$ es

$$r_{on} = \frac{100}{0.55} = 181.8 \text{ k}\Omega$$

Mediante la ecuación de la ganancia dada en la Tabla 10-3 para una etapa en emisor común con resistencia de emisor, se llega a

$$A_{V2} = \frac{-250 \times 90.9 \| 181.8}{17.0 + 11.4 + 0.1 + 250 \times 181.8 \times 0.1/(181.8 + 90.9)} = -334$$

La ganancia total de la etapa es

$$A_2 = A_{V1}A_{V2} = 0.659\,(-334) = -220$$

La resistencia de salida de la cascada Colector común-Emisor común es la resistencia de salida de la etapa en emisor común. Con los resultados de la Tabla 10-3*B* se obtiene

$$R'_{o2} = 90.9 \parallel \left[181.8 \left(1 + \frac{250 \times 0.1}{17.0 + 11.4 + 0.1} \right) \right] = 71.8 \text{ k}\Omega$$

La resistencia de entrada R_{i2} es la resistencia vista mirando la etapa en colector común. La resistencia de emisor efectiva de esta etapa es de 50 kΩ en paralelo con la resistencia de entrada R_x de la etapa en emisor común. Así, de la Tabla 10-3 tenemos

$$R_x = 11.4 + (250 + 1)0.1 \doteq 36.5 \text{ k}\Omega$$

y

$$R_E = 50 \parallel 36.5 = 21.1 \text{ k}\Omega$$

por tanto

$$R_{i2} = 391 + (250 + 1)21.1 = 5.69 \text{ M}\Omega$$

Limitaciones de las fuentes de corriente *pnp*

Los transistores *pnp* tienen valores de β_F más bajos, menor corriente admisible y tensiones Early V_A inferiores que en los transistores *npn*, y en consecuencia la actuación de las fuentes de corriente *pnp* es algo inferior a la de las *npn*. Los valores más bajos de V_A se traducen en una resistencia de salida inferior. Esta limitación puede superarse empleando una fuente de corriente Widlar, Wilson o cascodo, cada una de las cuales tiene una resistencia de salida mayor que la de una puerta simple.

Para compensar las otras dos limitaciones normalmente se emplean ciertos circuitos técnicos. Uno de tales circuitos es la fuente de corriente compuesta *pnp-npn* representada en la Fig. 14-7. La fuente básica está formada por los transistores *pnp* *Q*3 y *Q*4 mientras que los transistores *npn* *Q*1 y *Q*2 actúan como

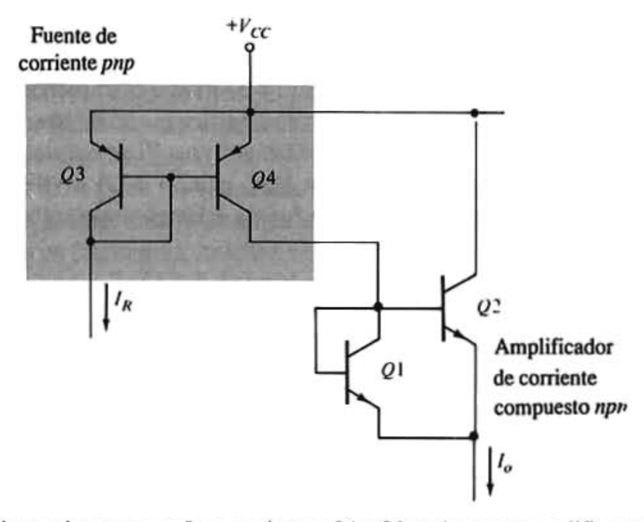


Figura 14-7. Fuente de corriente mixta *pnp-npn*. Los transistores Q1 y Q2 actúan como amplificadores de corriente.

amplificador de corriente. Si la relación entre las áreas de los emisores de $Q2$ y $Q1$ es A_2/A_1, entonces tendremos

$$I_o \approx I_R \left(1 + \frac{A_2}{A_1}\right) \tag{14-2}$$

supuesto que los transistores *npn* tengan $\beta_F \gg A_2/A_1$ (Prob. 14-4). La consecuencia de la Ec. (14-2) es la de que se puede incrementar la corriente de salida, pero sólo $Q1$ y $Q2$ conducen la mayor corriente. Por ejemplo supongamos que $I_R \approx 100\ \mu$A, que es un límite práctico para un transistor lateral *pnp* y que hacemos $A_2/A_1 = 4$ entonces $I_o = 500\ \mu$A. Sin embargo, $Q2$ que es el transistor *npn* de mayor área conducirá la mayor parte de esta corriente ($\approx 400\ \mu$A).

Recientes adelantos en la tecnología permiten fabricar transistores *npn* y *pnp* con características complementarias. La fabricación de tales dispositivos resulta más cara ya que precisa de varios procesos adicionales. Analog Devices, Inc., emplea esta tecnología en la fabricación de algunos de sus Amp-Op u otros productos analógicos integrados.

14-3. LA ETAPA DIFERENCIAL

En la Fig. 14-8 se representa la estructura básica de una etapa de amplificador diferencial integrado. El elemento activo en la citada figura es un BJT (o FET) o una etapa compuesta tal como una configuración cascodo o un par Darlington (Sec. 10-17). La etapa de entrada diferencial tiene tres características importantes que son: la relación de rechazo del modo común, la resistencia diferencial de entrada R_{id}, y la ganancia A_{DM} del modo diferencial.

La relación de rechazo del modo común (CMRR)

La relación de rechazo del modo común de una etapa diferencial BJT se dedujo en la Ec. (10-30) repetida por conveniencia en la Ec. (14-3)

$$CMRR = 1 + 2g_m R_E \tag{14-3}$$

en donde se ha supuesto que $r_\pi \gg R_s$ y $\beta_o \gg 1$. La Ec. (14-3) indica claramente que para que el CMRR sea grande, lo ha de ser también R_E. En la Fig. 14-8, R_E se identifica como resistencia de salida de la fuente de corriente empleada en la polarización de los elementos activos. Si se emplea una fuente de corriente simple y el elemento activo es un BJT, entonces $R_E = V_A/I_O$ y $g_m = I_o/2V_T$. (Recuérdese que cada mitad del par diferencial acarrea la mitad de la corriente de fuente.) Empleando estos valores en la Ec. (14-3) tendremos

$$CMRR = 2\left(\frac{I_O}{2V_T}\right)\left(\frac{V_A}{I_O}\right) = \frac{V_A}{V_T} \tag{14-4}$$

En un transistor *npn* con $V_A = 100$ V, CMRR = 100 V/25 mV = 4000 o CMRR = 72 dB. Esta es (aproximadamente) la relación de rechazo del modo común mínima aceptable anotada en la Tabla 14-1. Para aumentar esta relación debe aumentarse la tensión Early efectiva, es decir, la resistencia de salida de la fuente de corriente. Los Amp-Op con relaciones de rechazo del modo común comprendidas entre 80 y 90 dB emplean normalmente fuentes de corriente Wilson, Widlar o cascodo.

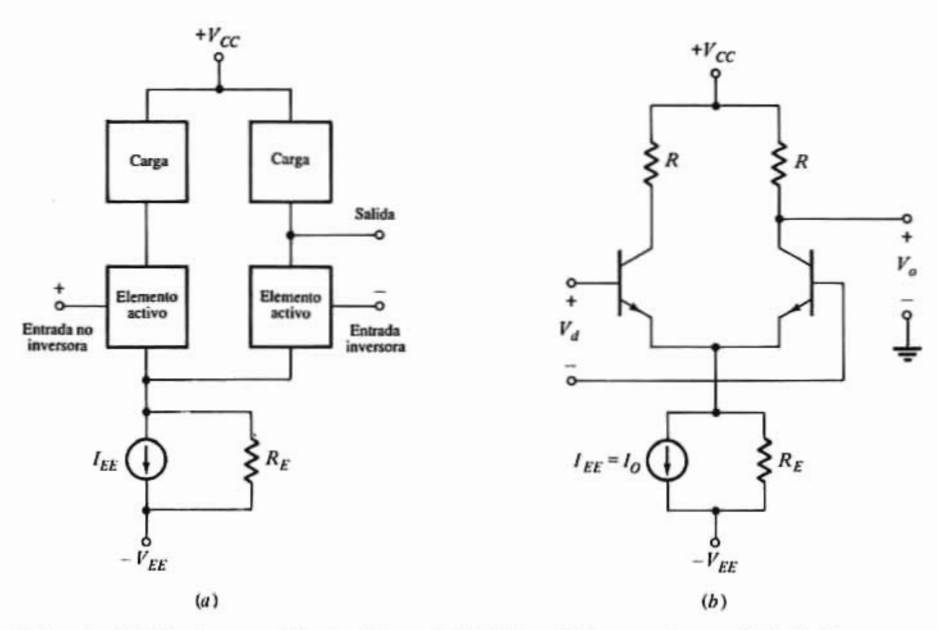


Figura 14-8. (*a*) Topología básica de un amplificador diferencial. (*b*) Disposición en emisor acoplado de (*a*).

Resistencia de entrada R_{id}

La resistencia de entrada diferencial R_{id} de la etapa diferencial es la resistencia de entrada del Amp-Op. Para aproximar la entrada de una fuente de tensión ideal gobernada por tensión, R_{id} debe ser grande. La resistencia diferencial de entrada es

$$R_{id} \approx 2r_\pi = \frac{2\beta_o}{g_m} = \frac{2\beta_o V_T}{I_C} \tag{14-5}$$

En la Ec. (14-5) observamos que una R_{id} elevada requiere corrientes de polarización más bien pequeñas. Por ejemplo, para un transistor con $\beta_o = 250$ y siendo $R_{id} = 1$ MΩ se necesita una corriente de colector $I_C = 12{,}5$ μA.

Para aumentar R_{id} se emplean corrientemente dos técnicas: emplear etapas de entrada FET y emplear en el par diferencial transistores de β elevado. El uso de etapas diferenciales FET, que se verán en la Sec. 14-10, (procesos BIFET y BIMOS) dan unas resistencias de entrada superiores a 10^{12} Ω. Esta técnica se emplea en el Amp-Op Analog Devices AD5449.

Cuando el valor efectivo de β_o de los elementos activos se incrementa con el uso de un par Darlington con transistor compuesto, la impedancia de entrada aumenta apreciablemente. No obstante, otras limitaciones, como la respuesta en frecuencia, muchas veces excluyen las etapas de entrada del par Darlington. El empleo de transistores super-β (Sec. 5-3) en el par diferencial da una alta resistencia de entrada a los niveles de corriente habitualmente tratados. Para un transistor super- β ($\beta_o = 5000$) polarizado a $I_C = 12{,}5$ μA, $R_{id} = 20$ MΩ. Evidentemente, de una reducción de corriente resulta un aumento en R_{id}.

La ganancia en el modo diferencial A_{DM}

Puesto que la etapa de entrada del Amp-Op es una de las dos etapas de ganancia conviene hacer que

la ganancia en el modo diferencial A_{DM} sea alta. En consecuencia, también en estas etapas se emplean cargas activas. De la Ec. (10-86) se deduce

$$|A_{DM}| = \left|\frac{v_o}{v_{DM}}\right| = \frac{\beta_o R_L}{r_\pi} = g_m R_L \tag{14-6}$$

Recordando que $v_{DM} = V_d/2$ [Ec. (10-91)] podemos expresar la tensión de salida diferencial del amplificador como

$$V_o = \frac{g_m R_L}{2} V_d \tag{14-7}$$

siendo R_L la combinación en paralelo de la resistencia R_C de la carga activa y la resistencia de salida r_o del elemento activo. De la expresión de g_m en función de la corriente de polarización resulta

$$|V_o| = \frac{I_C}{2V_T}|V_d| = \frac{I_O}{4V_T}|V_d| \tag{14-8}$$

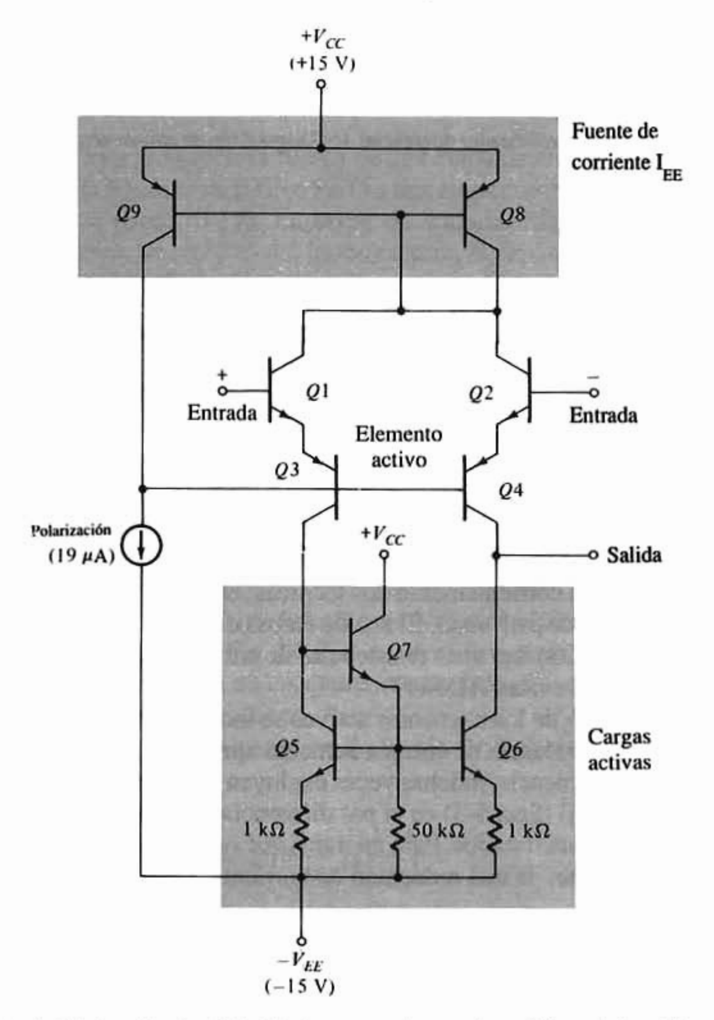


Figura 14-9. Etapa de entrada del Amp-Op tipo 741. El elemento activo en el par diferencial está formado por los transistores conectados CC-CB Q1-Q3 y Q2-Q4.

Esta última ecuación pone de manifiesto que la transconductancia eficaz de una etapa diferencial es la cuarta parte de la de un BJT único polarizado por una corriente de colector I_o.

Ejemplo 14-2

La Fig. 14-9 corresponde a la etapa de entrada del Amp-Op 741. Las combinaciones de transistores *npn-pnp* $Q1$ y $Q3$ y $Q2$ y $Q4$ forman el elemento activo del par diferencial. Las cargas activas las proporcionan las fuentes de corriente de tres transistores $Q5$, $Q6$ y $Q7$. Los transistores $Q8$ y $Q9$ forman una fuente de corriente *pnp* que se emplea para la polarización de base y asegurar que los transistores permanezcan en su región activa cuando no haya ninguna señal de entrada aplicada. Los transistores del $Q1$ al $Q6$ están polarizados a $I_C = 9{,}5\ \mu$A, y todos ellos tienen $\beta_o = 250$. Las tensiones Early son de 100 y de 50 V en los transistores *npn* y *pnp* respectivamente.

Determinar la ganancia V_o/V_d, la resistencia de entrada diferencial R_{id}, y la resistencia de salida R_o. Empléese la representación esquemática de pequeña señal de la etapa diferencial de la Fig. 14-10.

Solución

Para analizar este circuito resulta conveniente el método de obtener el equivalente de Norton de la etapa. La conversión del equivalente de Norton al equivalente de Thèvenin dará la resistencia de salida y la ganancia de tensión. En la Fig. 14-10, y de acuerdo con la ley de Kirchhoff, $I_o = I_{C4} + I_{C6}$. El elemento activo compuesto $Q2$ y $Q4$ puede considerarse como un seguidor de emisor ($Q2$) excitando $Q4$ conectado como una etapa en base común, es decir, un circuito cascodo. Esto se pone de manifiesto en el circuito equivalente de la Fig. 14-11*a*. La resistencia de entrada de la etapa en base común es $r_{\pi4}/(1 + \beta_o) \approx 1/g_{m4}$ y puede representarse el seguidor de emisor por su equivalente de Thèvenin $-V_d/2$ en serie con $1/g_{m2}$ como

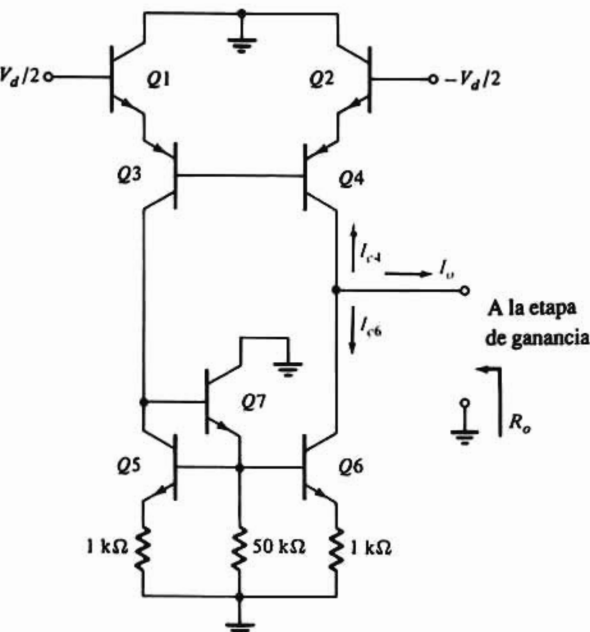


Figura 14-10. Representación de pequeña señal de la etapa diferencial de un Amp-Op de tipo 741. La carga activa es la fuente de corriente con ganancia (Q5, Q6 y Q7).

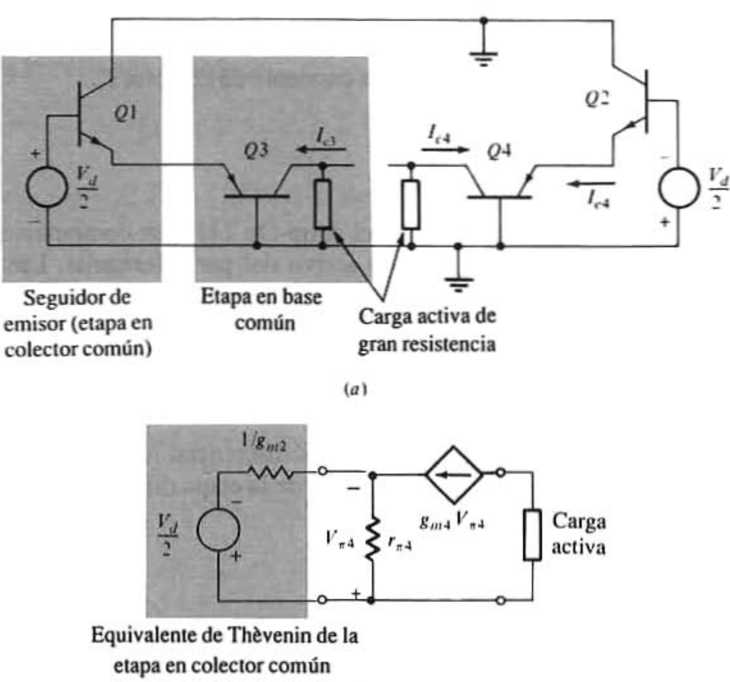


Figura 14-11. (*a*) Otro trazado del circuito de la Fig. 14- 10 para mostrar las conexiones CC-CB. (*b*) Circuito equivalente de la parte del amplificador en base común. La etapa en colector común se ha sustituido por su equivalente de Thèvenin $V_d/2$ en serie con $1/g_{m2}$. (*Nota*: se ha empleado el concepto del semi-circuito presentado en la Sección 10-19).

se ve en la Fig. 14-11*b*. Obsérvese que en la condición de circuito abierto ($R_{EL}\to\infty$) la ganancia de la etapa en colector común es la unidad, y que con $R_s = 0$ su resistencia de salida es $r_{\pi2}/(1 + \beta_o)\approx 1/g_{m2}$.La corriente I_{c4} es, según la ley de Kirchhoff para el lazo

$$I_{c4} = -\frac{-V_d/2-}{1/g_{m2} + 1/g_{m4}} = \frac{-g_m V_d}{4}$$

ya que g_{m2} y g_{m4} son iguales porque $|I_{C2}|$ D= $|I_{C4}|$. Suponiendo $\beta_o \gg 1$, $C_{C4} = -I_{E4} = g_m V_d/4$. Por la simetria del circuito, $I_{C3} = g_m V_d/4$, y siendo I_{C3} la corriente en la carga activa tendremos $I_{C6} = I_{C3} = g_m V_d/4$. Por tanto, la corriente de salida I_o es

$$I_o = \frac{g_m V_d}{4} + \frac{g_m V_d}{4} = \frac{g_m V_d}{2}$$

Haciendo operaciones

$$g_m = \frac{9.5}{25} = 0.38 \text{ m℧} \qquad \text{y} \qquad I_o = 0.19V_d \quad \text{mA}$$

Tal como se ve en la Fig. 14-10 la resistencia de salida de la etapa es la combinación en paralelo de las resistencias de salida R_{o4} y R_{o6} de $Q4$ y $Q6$ respectivamente. La resistencia de salida de la etapa en colector común ($Q2$) actúa como resistencia de emisor Q4 como se aprecia en la Fig. 14-12. Ambas resistencias R_{o4} y R_{o6} vienen dadas por

$$R_o = r_o\left(1 + \frac{\beta_o R_E}{r_\pi + R_E}\right)$$

ya que $R_s = r_b = 0$. Los valores paramétricos necesarios para el cálculo de R_{o4} y R_{o6} son

$$g_{m2} = g_{m4} = g_{m6} = \frac{I_c}{V_T} = \frac{9.5}{25} = 0.38 \text{ m℧} \qquad \frac{1}{g_{m2}} = \frac{1}{0.38} = 2.63 \text{ k}\Omega$$

$$r_{o4} = \frac{V_A}{I_C} = \frac{50}{9.5} = 5.26 \text{ M}\Omega \qquad r_{o6} = \frac{100}{9.5} = 10.5 \text{ M}\Omega$$

$$r_{\pi 4} = r_{\pi 6} = \frac{\beta_o}{g_{m2}} = \frac{250}{0.38} = 658 \text{ k}\Omega$$

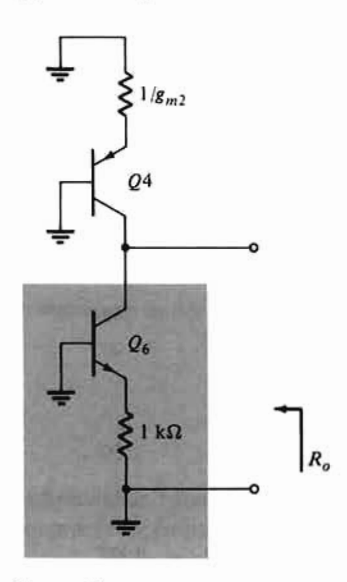
Así

$$R_{o4} = 5.26\left(1 + \frac{250 \times 2.63}{658 + 2.63}\right) = 10.5 \text{ M}\Omega$$

$$R_{o6} = 10.5\left(1 + \frac{250 \times 1}{658 + 1}\right) = 14.5 \text{ M}\Omega$$

y

$$R_o = R_{o4} \parallel R_{o6} = 10.5 \parallel 14.5 = 6.09 \text{ M}\Omega$$



Carga activa

Figura 14-12. Representación de alterna de la etapa diferencial empleada para poder calcular la resistencia de salida R_o.

La tensión equivalente de Thèvenin es

$$V_o = I_o R_o = 0.19 V_d \times 6090 = 1157 V_d$$

Con lo que la ganancia de la etapa de entrada diferencial es

$$A_1 = \frac{V_o}{V_d} = 1157$$

La resistencia de entrada del modo diferencial de esta etapa R_{id} es el doble que la resistencia de entrada de la etapa seguidora de emisor $Q2$ [véase la Ec. (14-5)]. La resistencia de emisor de esta etapa es $1/g_{m4}$, la entrada a la etapa en base común ($Q4$). Por tanto

$$R_{id} = 2\left(r_{\pi 2} + \frac{\beta_{o1} + 1}{g_{m4}}\right) \approx 2(r_{\pi 2} + r_{\pi 4})$$

O sea

$$R_{id} = 2\ (658 + 658) = 2.63\ \mathrm{M\Omega}$$

La ganancia global de las dos primeras etapas es $A_1A_2 = 220\times\ 1157 = 2{,}54\times10^5$. Este valor es la ganancia en lazo abierto del Amp-Op ya que tanto la etapa de desplazamiento de nivel como la de salida seguidora de emisor tienen prácticamente una ganancia de tensión unidad. Normalmente los fabricantes especifican el valor mínimo de la ganancia en lazo abierto en 2×10^5. Las diferencias que puedan darse se atribuyen a las tolerancias de elaboración en las corrientes de polarización, β_o y tensiones Early del transistor. Además, los efectos parásitos relacionados con el sustrato tienden a rebajar la ganancia del amplificador. En la Tabla 14-2 se resumen los datos del tipo 741 así como los de otros Amp-Op que se estudian en este capítulo.

Tabla 14-2. Datos típicos de algunos tipos de Amp-Op

	Tipo 741 (2 etapas)	LM 118 (3 etapas)	LM 108 Super b	AD 611 (BIFET)	AD 507K (banda ancha)
— Tensión offset de entrada (mV)	≤5	≤4	≤2	≤0.5	≤5
— Corriente de polarización (nA)	≤500	≤250	≤2	≤0.025	≤15
— Corriente offset (nA)	≤200	≤50	≤0.4	≤0.010	≤15
— Ganancia en lazo abierto (dB)	106	100	95	98	100
— CMRR (dB)	80	90	95	80	100
— Resistencia de entrada (MΩ)	2	5	100	10^6	300
— Ritmo de variación (V/µs)	0.5	≥50	0.2	13	35
— Frecuencia de ganancia unidad (MHz)	1	15	1	2	35
— Frecuencia de plena potencia (kHz)	10	1000	4	200	600
— Tiempo de estabilización (µs)	1.5	4	1	3	0.9

14-4. DESPLAZAMIENTO DE NIVEL

Puesto que no se pueden emplear condensadores de acoplamiento (si el amplificador ha de trabajar con continua) se hace necesario desplazar la tensión de una etapa antes de aplicar su salida a la etapa siguiente. También se necesita un desplazamiento de nivel para que la salida sea muy próxima a cero en el estado de reposo (sin señal de entrada). La resistencia de entrada de la etapa de desplazamiento de nivel debe ser elevada para evitar carga a la etapa de ganancia. Asimismo es conveniente que la resistencia de

salida sea baja para excitar apropiadamente la etapa de salida. Un seguidor de emisor (Fig. 14-13) puede servir de compensador y al mismo tiempo de desplazador de tensión. Si la salida V_o se toma en el emisor, el cambio de nivel será $V_o - V_i = -V_{BE} \approx -0{,}7$ V. Si no es suficiente esta variación se deberá tomar la salida en la unión de dos resistencias en la rama del emisor como se ve en la Fig. 14-13*a*. Entonces el desplazamiento de tensión se ve acrecentado por la caída a través de R_1. Esta disposición tiene el inconveniente de que la tensión de señal sufre una atenuación $R_2/(R_1 + R_2)$. Esta dificultad se evita sustituyendo R_2 por una fuente de corriente I_o como en la Fig. 14-13*b*. El desplazamiento de nivel será ahora $V_o - V_i = -(V_{BE} + I_o R_1)$ y no hay atenuación en alterna para una fuente de corriente de resistencia muy alta.

La Fig. 14-13*c* representa otro desplazador de tensión en el que se emplea un diodo de avalancha. Entonces $V_o - V_i = -(V_{BE} + V_Z)$. También puede emplearse en lugar del diodo Zener un cierto número de diodos *pn* polarizados en directo. Si la resistencia dinámica del diodo Zener (o de la cadena de diodos) es pequeña comparada con R_2 puede despreciarse la atenuación de la señal.

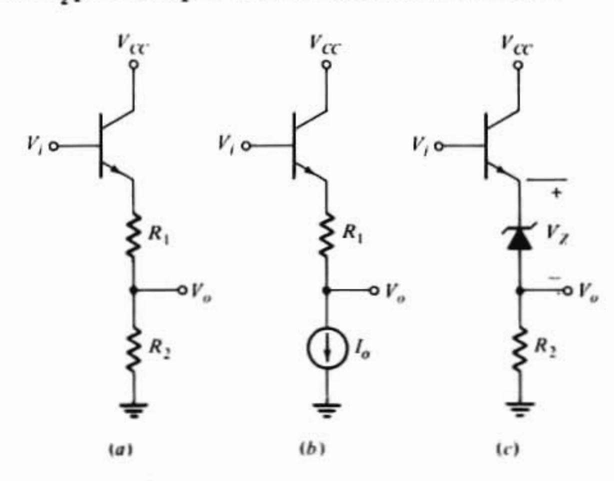


Figura 14-13. Desplazadores de nivel empleando un seguidor de emisor.

El multiplicador V_{BE}

En la Fig. 14-14*a* puede verse una interesante fuente de tensión fabricada fácilmente en forma monolítica. Si la corriente de base puede despreciarse frente a la corriente en R_3 y R_4 el circuito actúa como un «multiplicador de V_{BE}» debido a

$$V = \frac{V_{BE}}{R_4}(R_3 + R_4) = V_{BE}\left(1 + \frac{R_3}{R_4}\right) \tag{14-9}$$

Esta fuente de tensión se emplea en lugar de R_1 de la Fig. 14-13*a* tal como se ve en la Fig. 14-14*b*. El cambio de nivel en continua $V_i - V_o$ se puede expresar

$$V_i - V_o = V_{BE}\left(2 + \frac{R_3}{R_4}\right) \tag{14-10}$$

La ganancia de tensión para pequeña señal, supuesto que $\beta_o \gg 1$ es

$$A_V = \frac{v_o}{v_i} \approx \frac{g_{m2}R_2}{1 + g_{m2}R_2 + g_{m2}(R_3 + R_4)/(1 + g_{m1}R_4)} \approx 1 \tag{14-11}$$

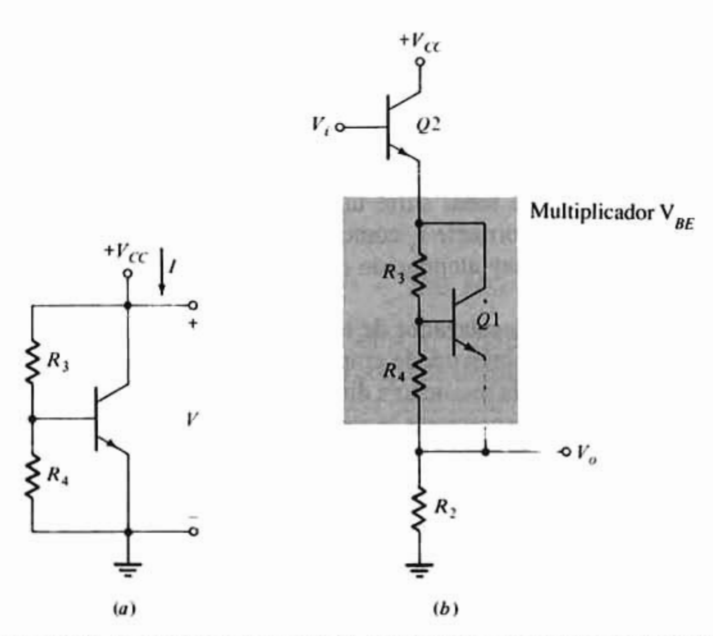


Figura 14-14. (*a*) Un multiplicador V_{BE} es una fuente de tensión V. (*b*) El circuito anterior empleado como desplazador de nivel.

para $g_{m2}R_2 \gg 1$ y $R_2 \gg (R_3 + R_4)/(1 + g_{m1}R_4)$. El circuito de la Fig. 14-14*b* tiene la ventaja de que el desplazamiento de nivel en continua depende de la relación R_3/R_4 que se controla con precisión y que se alcanza con ganancia unidad. El mayor inconveniente del circuito es que la dependencia respecto a la temperatura de $V_o - V_i$ es la misma que para B_{BE} (- 2,2 mV /ºC). La etapa elevadora del Amp-Op tipo 741 normalmente es un simple seguidor de emisor.

14-5. ETAPAS DE SALIDA

La etapa de salida de un Amp-Op debe ser capaz de suministrar la corriente de carga, y su resistencia de salida debe ser baja. A su vez, esta etapa debe proveer un recorrido grande de la tensión de salida;

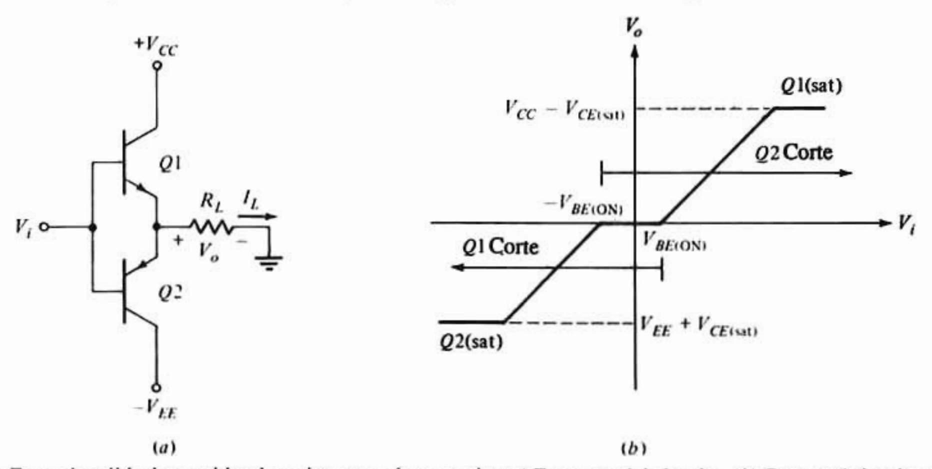


Figura 14-15. Etapa de salida de seguidor de emisor complementario. (*a*) Esquema del circuito. (*b*) Característica de transferencia de tensión. El tramo horizontal de la característica en las proximidades del origen introduce distorsión de cruce.

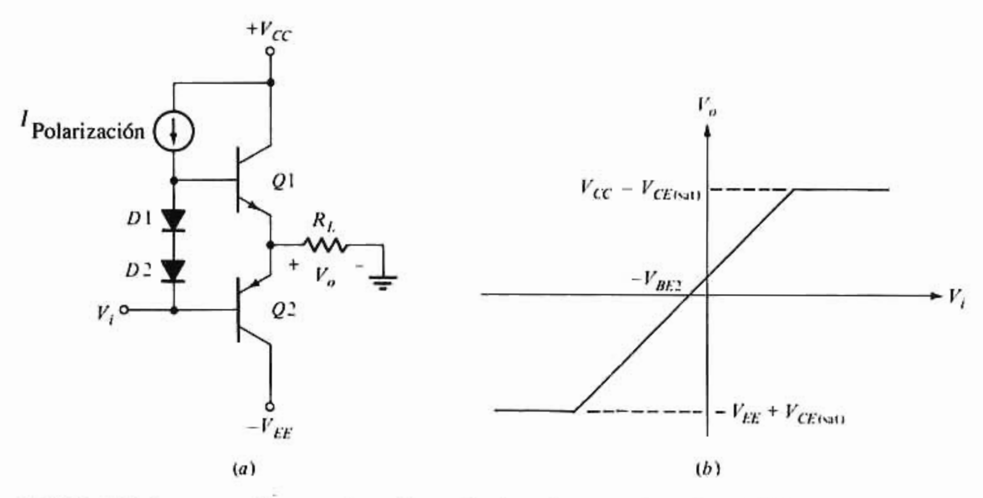


Figura 14-16. (*a*) Diodos conectados en serie en el seguidor de emisor complementario. (*b*) En la característica de transferencia de tensión no se acusa distorsión de cruce. Sin embargo, cuando $V_i = 0$, V_o no es nulo, sino igual a $-V_{BE2}$.

idealmente la tensión de salida de pico a pico debe aproximarse a la tensión total de suministro $V_{CC} + V_{EE}$. En la Fig. 14-15*a* está representada una configuración común en la etapa de salida que posee estas condiciones y que constituye un *seguidor de emisor complementario*. Si la señal de entrada V_i se hace positiva, el transistor *npn* $Q1$ actúa como fuente de la corriente de alimentación de la carga R_L y el transistor *pnp* $Q2$ se corta. Contrariamente, si V_i se hace negativa $Q1$ se corta y $Q2$ actúa como sumidero para absorber corriente de la carga, es decir para disminuir I_L. Por tanto, si V_i es una senoide, $Q1$ conduce la carga durante el semiciclo positivo y $Q2$ durante el semiciclo negativo. Como cada transistor conduce durante sólo la mitad del tiempo, el recorrido de la tensión de salida es el doble del que se puede alcanzar con un seguidor de emisor de una sola etapa.

Con el circuito de la Fig. 14-15*a* existe una dificultad fundamental debida a que la tensión de salida se mantiene virtualmete nula hasta que $V_i = V_{BE(ON)}$. Este fenómeno se denomina *distorsión de cruce* que

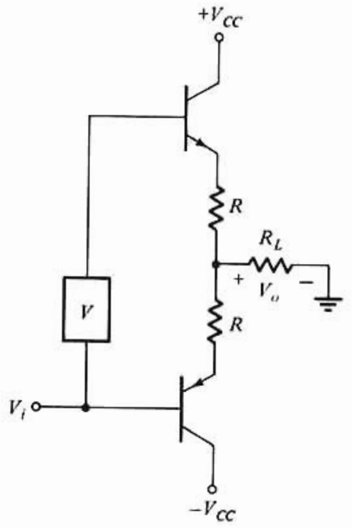


Figura 14-17. Empleo de un multiplicador V_{BE} (el recuadro señalado V) para eliminar la distorsión de cruce en el seguidor de emisor complementario

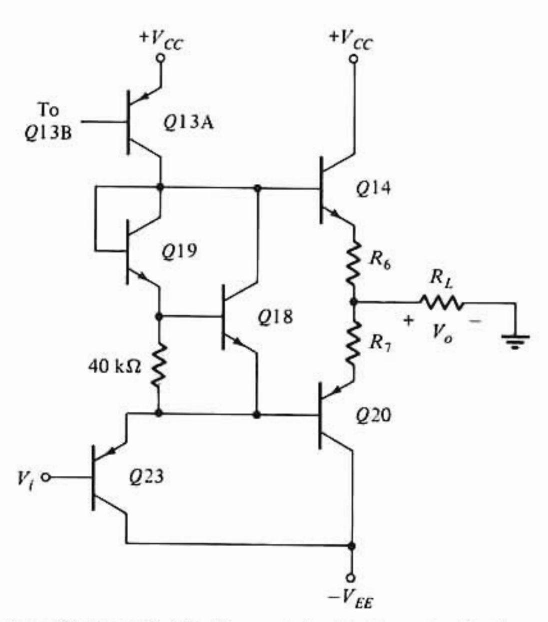


Figura 14-18. Etapa de salida de un Amp-Op tipo 741. (No figura el circuito de protección.)

$+V_{CC}$ $Q14$ $Q12$ $Q9$ $Q8$ $Q13A$ $Q13B$ $Q15$ 27 Ω Salida 27 Ω $Q19$ $Q18$ $Q21$ Entrada + Entrada − $Q1$ $Q2$ C_c 40 kΩ 39 kΩ $Q3$ $Q4$ $Q20$ $+V_{CC}$ B A $Q23$ $Q7$ $+V_{CC}$ $Q16$ $Q5$ $Q6$ $Q17$ $Q11$ A adjust offset A adjust offset $Q22$ $Q24$ 5 kΩ 1 kΩ 50 kΩ 1 kΩ 50 kΩ 100 Ω 50 kΩ $-V_{EE}$

Red de polarización | Amplificador diferencial | Etapa de ganancia *CC-CE* | Desplazamiento de nivel | Etapa de salida

Figura 14-19. Diagrama esquemático del Amp-Op tipo 741.

se puede observar en la característica de transferencia representada en la Fig 14-15. (En realidad, la salida deja de ser cero para $V_i \approx V_{BE}$ (cut.in) $V_\gamma \approx 0{,}5$V. Sin embargo, la corriente en el transistor es tan pequeña que la tensión de salida resulta despreciable.)

Prácticamente se puede eliminar la distorsión de cruce aplicando una tensión de polarización $V > 2\,V_\gamma$ entre las dos bases, de forma que exista una pequeña corriente en los transistores en estado de reposo. Una técnica habitual consiste en emplear un par de diodos *pn* conectados en serie como se indica en la Fig 14-16. Es corriente fabricar los diodos D1 y D2 como diodos BJT (Sec. 5-6). La característica de transferencia del circuito de la Fig. 14-16*a* es la de la Fig. 14-16*b* en la que se puede ver que prácticamente se ha eliminado la distorsión de cruce. Sin embargo, la característica no pasa por el origen y con $V_i = 0$, $V_o \neq 0$. Recordando que V_i se obtiene de la etapa elevadora de nivel, tendremos $V_o = 0$ con señal de entrada cero haciendo que el valor de reposo V_i sea aproximadamente igual a $-V_{BE2}$.

Para eliminar la distorsión de cruce se emplea también el circuito de la Fig. 14-17. El bloque rotulado *V* es el circuito multiplicador V_{BE} de la Fig. 14-14*b* que se emplea en lugar de los diodos D1 y D2 en la Fig. 14-16*a*. La tensión de salida de este bloque está diseñado para aplicar aproximadamente 1,1 V entre las dos bases. Así, ambos *Q*1 y *Q*2 conducen ligeramente por debajo de las condiciones de reposo.

Las etapas de salida de las Figs. 14-16*a* y 14-17 se emplean ambas en Amp-Op tipo 741 fabricados comercialmente. La configuración básica de la etapa de salida está representada en la Fig. 14-18. Los transistores *Q*14 y *Q*20 forman el seguidor de emisor complementario. Las pequeñas resistencias R_6 y R_7 limitan la corriente de salida. En lugar de los diodos D1 y D2 se emplea el par Darligton *Q*18 y *Q*19. Esta disposición es preferible a la de dos diodos BJT conectados en serie ya que el par Darlington puede fabricarse en menos espacio. La fuente de corriente de la Fig. 14-16*a* está formada en parte por *Q*13B. La Fig. 14-19 es el esquema completo del circuito del Amp- Op de tipo 741.

14-6. TENSIONES Y CORRIENTES OFFSET

En Secciones anteriores hemos visto que el Amp-Op ideal está perfectamente equilibrado, es decir que $V_o = 0$ cuando $V_1 = V_2 = 0$. Pero un Amp-Op real acusa un desequilibrio debido a desajuste en los transistores de entrada. Este desajuste da lugar a unas corrientes de polarización desiguales en los terminales de entrada y a unas tensiones base-emisor también desiguales (Fig. 14-20). Frecuentemente, para equilibrar el amplificador se requiere una tensión offset de entrada aplicada entre los dos terminales de entrada.

En esta Sección trataremos de los errores en corrientes y tensiones en continua que representan desviaciones respecto al ideal y que puedan ser medidas. Además, describiremos las especificaciones más

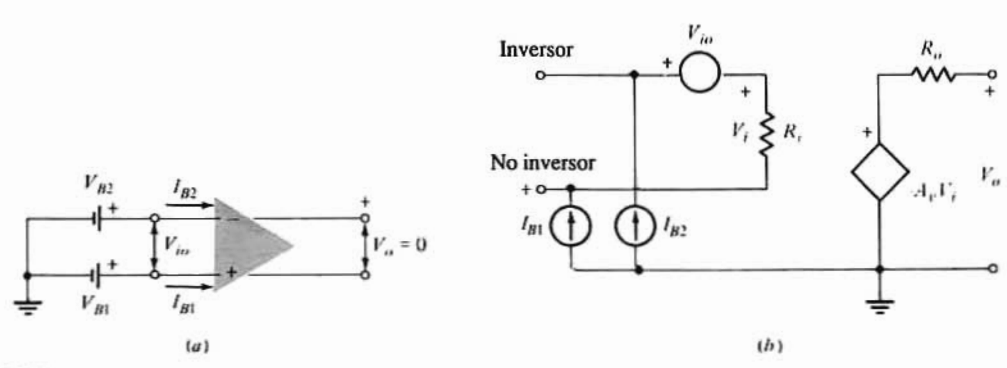


Figura 14-20. (*a*) Corrientes de polarización de entrada I_{B1} e I_{B2} y la tensión offset V_{io}. (*b*) Circuito equivalente del Amp-Op mostrando las corrientes de polarización y la tensión offset.

importantes en el funcionamiento de los Amp-Op. El modelo idealizado de Amp-Op (Fig. 10-41) debe modificarse para incluir la tensión offset y las corrientes de polarización como se ha representado en la Fig. 14-20*b*.

Las principales especificaciones empleadas para describir el funcionamiento del Amp-Op, son las siguientes:

-*Corriente de polarización de entrada*: La corriente de polarización de entrada es la semisuma de las corrientes separadas que entran en los dos terminales de entrada de un amplificador equilibrado como en la Fig. 14-20. Puesto que la etapa de entrada es del tipo de la Fig. 14-9, la corriente de polarización de entrada será $I_B = (I_{B1} + I_{B2})/2$ cuando $V_o = 0$.

-*Corriente offset de entrada*: La corriente offset de entrada I_{i0} es la diferencia entre las corrientes separadas que entran en los terminales de un amplificador equilibrado. Como se aprecia en la Fig. 14-20, tendremos $I_{i0} \equiv I_{B1} - I_{B2}$ cuando $V_o = 0$.

-*Variación de la corriente offset de entrada*: La variación de la corriente offset de entrada $\Delta I_{io}/\Delta T$ es la relación entre el cambio de dicha corriente y la variación de temperatura.

-*Tensión offset de entrada*: La tensión offset de entrada V_{io} es la tensión que debe aplicarse entre los terminales de entrada para equilibrar el amplificador.

-*Variación de la tensión offset de entrada*: Es la relación $\Delta V_{io}/\Delta T$ entre el cambio de la tensión offset de entrada y la variación de temperatura.

-*Tensión offset de salida*: Es la diferencia entre las tensiones en continua existentes en los dos terminales de salida (o entre el terminal de salida y tierra si hay una sola salida) cuando los dos terminales están a tierra.

-*Recorrido del modo común de entrada*: Es el campo de la señal de entrada de modo común dentro del cual el amplificador diferencial se mantiene lineal.

-*Recorrido de entrada diferencial*: Es la máxima diferencia de señal que puede aplicarse con seguridad entre los terminales de entrada de un Amp-Op.

-*Recorrido de la tensión de salida*: Es la máxima variación de salida que se puede conseguir sin tener una distorsión significativa (con resistencia de carga dada).

-*Ancho de banda a plena potencia*: Es la frecuencia máxima a la cual se obtiene una senoide cuya magnitud sea el recorrido de la tensión de salida.

-*Relación de rechazo de la alimentación (PSRR)*: Es la relación entre la variación de la tensión offset de entrada y la correspondiente variación de tensión de una fuente de alimentación, manteniéndose constantes las tensiones de las demás fuentes de potencia.

-*Ritmo de variación*: Es la evaluación del tiempo de cambio de la tensión de salida del amplificador en lazo cerrado con señales grandes.

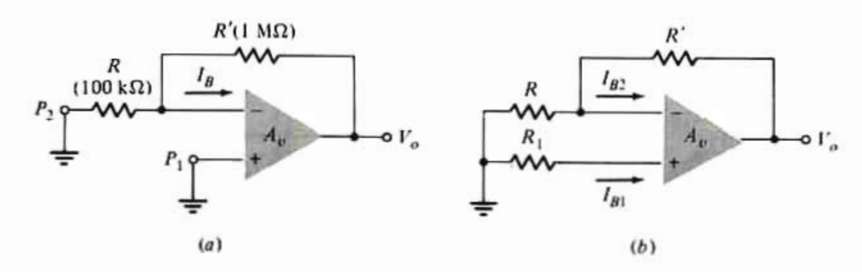


Figura 14-21. Ejemplo ilustrativo. Si en (*a*) se desconecta P_1 de tierra y se aplica a él una señal, se está considerando un Amp-Op no inversor, pero si por el contrario es P_2 el que se desconecta de tierra y al que se le aplica una señal, el circuito se convierte en una etapa de Amp-Op inversora.

Ejemplo 14-3

(*a*) Las etapas inversoras y no inversoras del Amp-Op tienen la misma configuración (Fig. 14-21*a*) sin tener aplicada ninguna señal de tensión de entrada. Suponiendo que la tensión offset de entrada $V_{io} = 0$, hallar la tensión de salida debida a la corriente de polarización de entrada cuando $I_{B1} = I_{B2} = I_B = 100$ nA. (*b*) ¿Cómo se pueden eliminar los efectos de la corriente de polarización para que $V_o = 0$? (*c*) Con los resultados del apartado *b* calcular V_o suponiendo que $I_{B1} - I_{B2} = I_{io} = 20$ nA. (*d*) Suponiendo $I_{io} = 0$, determinar V_o cuando $V_{io} = 5$ mV, (*e*) Hallar el valor de V_o cuando $I_{io} = 20$ nA y $V_{io} = 5$ mV.

Solución

(*a*) Como ya se mencionó en la Sec. 10-21, con valores muy grandes de A_o existe cortocircuito entre los dos terminales de entrada. Por tanto, no hay corriente en *R*. La corriente I_B debe estar en *R'* y en consecuencia $V_o = I_B R'$. Partiendo de $I_B = 100$ nA se tiene

$$V_o = 100 \times 10^{-9} \times 10^6 = 0.1 \text{ V} = 100 \text{ mV}$$

(*b*) Añadamos una resistencia R_1 entre el terminal no inversor y tierra como se ve en la Fig. 14-21*b*. Si $V_o = 0$, *R* y *R'* están en paralelo ($R \parallel R' = R_p$) y la tensión desde el terminal inversor a tierra es $-I_{B2}R_p$. Puesto que entre los terminales de entrada la tensión es nula $-I_{B2}R_p$ debe ser igual a $-I_{B1}R_1$o (para $I_{B1} = I_{B2}$)

$$R_1 = R_p = \frac{RR'}{R + R'} = \frac{100 \times 1000}{1100} = 90.9 \text{ k}\Omega$$

Si $I_{B1} \neq I_{B2}$, debemos tomar $I_{B1}R_{p1} = I_{B2}R_p$.

(*c*) Hagamos $I_{B2} = I_{B1} - I_{io}$ en la Fig. 14-21*b*. En la segunda parte se ha demostrado que entrando I_{B1} en los dos terminales, inversor y no inversor, la salida es $V_o = 0$. Aplicando la superposición a las dos fuentes de corriente I_{B1} e I_{io} podemos hacer ahora $I_{B1} = 0$ y hallar el efecto de I_{io}. Siendo la caída a través de R_1 igual a $I_{B1}R_1 = 0$ y estando los dos terminales de entrada a la misma tensión, la caída a través de *R* será cero al igual que la corriente en la misma *R*. Por tanto I_{io} fluye en *R'* y $V_o = -I_{io}R'$y tomando valores numéricos

$$V_o = -20 \times 10^{-9} \times 10^6 \text{ V} = -20 \text{ mV}$$

El signo de V_o no es significativo ya que I_{io} puede ser positiva o negativa.

(*d*) Si $I_{io} = 0$, entonces $I_{B1} = I_{B2}$ y de la segunda parte, $V_o = 0$. Por tanto podemos suponer que las corrientes de polarización de la Fig. 14-21*b* son nulas y considerar sólo el efecto de una tensión V_{io} entre los terminales de entrada. La caída en R_1 es nula (para $I_{B1} = 0$) apareciendo V_{io} a través de *R* dando lugar a una corriente V_{io}/R. Esta misma corriente circula por *R'* (ya que $I_{B2} = 0$) y por tanto

$$V_o = \frac{V_{io}}{R}(R + R') = V_{io}\left(1 + \frac{R'}{R}\right)$$

(*e*) Haciendo operaciones

$$V_o = -I_{io}R' + V_{io}\left(1 + \frac{R'}{R}\right)$$

Si se dividen por un factor *M* los valores de todas las resistencias, la salida debida a V_{io} no se altera, mientras que la componente de V_o debida a I_{io} queda dividida por *M*. Las ganancias inversora y no inversora dependen sólo de la relación de resistencias y por tanto son independientes del factor *M*.

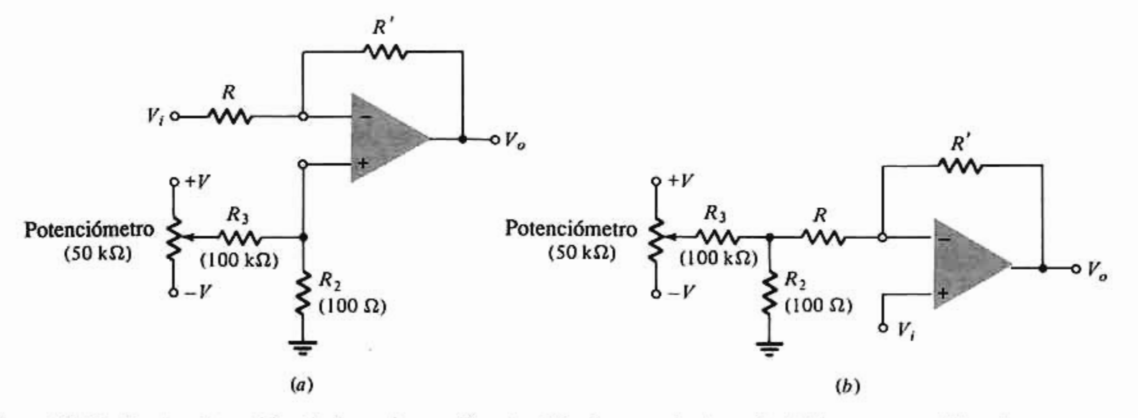


Figura 14-22. Circuitos de equilibrado de tensiones offset de salida de etapas de Amp-Op, (*a*) inversoras, y (*b*) no inversoras.

Técnicas universales de equilibrado

Muchas veces, al emplear un Amp-Op se hace necesario equilibrar la tensión offset. Esto representa aplicar una pequeña tensión continua en la entrada para que la tensión continua de la salida sea cero. Las técnicas aquí tratadas permiten equilibrar la tensión offset en relación al circuito interior del amplificador. El circuito de la Fig. 14-22*a* suministra una pequeña tensión en serie con el terminal de entrada no inversor en el margen $+ V [R_2/R_3 + R_2] = \pm$ 15 mV si la alimentación es de ± 15V y R_3 = 100 kΩ, R_2 = 100 Ω.

Este circuito es empleado para equilibrar amplificadores inversores aun cuando el elemento de realimentación *R'* sea un condensador o un elemento no lineal. Si el Amp-Op se emplea como amplificador no inversor, para equilibrar la tensión offset se utiliza el circuito de la Fig. 14-22.

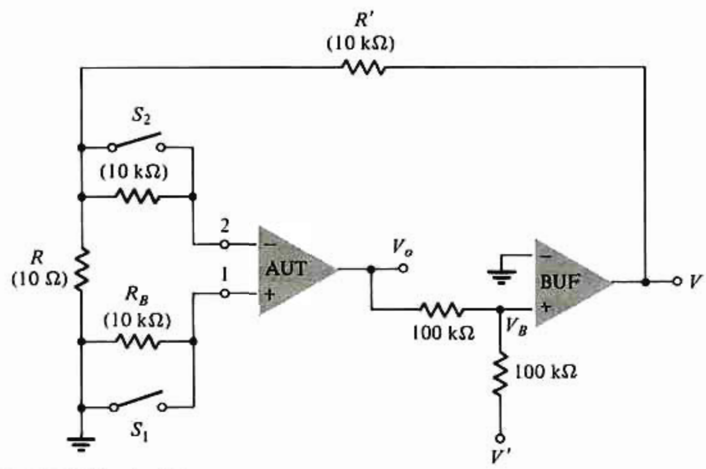


Figura 14-23. Sistema para medir V_{io}, I_{B1} e I_{B2}.

14-7. MEDICIÓN DE LOS PARÁMETROS DE UN AMPLIFICADOR OPERACIONAL

En esta Sección describiremos los métodos prácticos de medición de algunos parámetros importantes

de los Amp-Op. Concretamente examinaremos: (1) tensión offset de entrada V_{io}, (2) corriente de polarización de entrada I_B y corriente offset de entrada I_{io}, (3) ganancia de tensión en lazo abierto A_{OL}, (4) relación de rechazo de modo común, (5) ritmo de variación. En los circuitos que estudiaremos en esta Sección, los Amp-Op cuyos parámetros se pretende determinar se señalan AUT (*Amplifier Under Test*, amplificador en prueba). El AUT se conecta en cascada con otro Amp-Op atenuador que se señala BUF que aumenta la ganancia en lazo abierto y permite ajustar la tensión de salida del AUT al valor deseado. La tensión offset de entrada del BUF de la Fig. 14-23 se equilibra mediante el dispositivo de la Fig. 14-22 aplicado al terminal inversor. Puesto que el BUF está unido al lazo de realimentación, la diferencia de tensión entre sus terminales de entrada es nula.

Despreciando la corriente de polarización del BUF tendremos que $V_o = -V'$ ya que $V_B = 0$. Por tanto, la salida del AUT es siempre igual a $-V'$ que puede fijarse a cualquier valor deseado desde una fuente de tensión exterior.

El sistema de la Fig. 14-23 puede oscilar si no está adecuadamente compensado (Sec. 13-4). Normalmente un condensador en paralelo con R' estabilizará el lazo (Sec. 14-8).

Tensión offset de entrada V_{io}.

Para hacer esta medición hagamos $V' = 0$ de forma que $V_o = 0$. Se cierran los dos interruptores S_1 y S_2. Según el modelo de circuito de la Fig. 14-20*b*. Si $V_o = 0$, tendremos $V_1 = 0$ y entre los terminales inversor y no inversor aparecerá V_{io}. En otras palabras V_{io} del AUT está a través de R y la correspondiente corriente V_{io}/R (que es mucho mayor que la corriente de polarización) también pasa por la resistencia de realimentación R' y por tanto

$$V = \frac{V_{io}}{R}(R + R') = 1001 V_{io} \approx 10^3 V_{io} \equiv V_3$$

La lectura de V_3 en voltios nos da V_{io} en milivoltios. Obsérvese que V_{io} se mide con la salida de AUT puesta a cero como corresponde a la definición de la tensión offset de entrada. La relación de rechazo de la alimentación se obtiene repitiendo la medición de V_{io} con dos valores distintos de la tensión de alimentación V_{CC} y calculando $\Delta V_{io}/\Delta V_{CC}$ representando ΔV_{io} (y ΔV_{CC}) la diferencia entre las dos tensiones offset (o de fuente) de entrada.

Corriente de polarización de entrada

Abramos el interruptor S_1 y cerremos el S_2 de la Fig. 14-23 y hagamos $V' = 0$. La tensión a través de R es ahora, según la Fig. 14-20*b*, $V_{io} - R_B I_{B1}$ y

$$V = \frac{R + R'}{R}(V_{io} - R_B I_B) \approx 10^3(V_{io} - 10^4 I_{B1}) \equiv V_4 \qquad (14\text{-}13)$$

De las Ecs. (14-12) y (14-13) se deduce

$$-I_{B1} = (V_4 - V_3)10^{-7} \quad \text{A} = 100(V_4 - V_3) \quad \text{nA} \qquad (14\text{-}14)$$

Si se deja S_2 abierto pero se cierra S_1 siendo $V' = 0$ se obtiene I_{B2} procediendo como antes, y la Ec. (14-14) nos dará $+I_{B2}$. La corriente de polarización es $I_B = (I_{B1} + I_{B2})/2$ y la corriente offset es $I_{io} = I_{B1} - I_{B2}$.

Ganancia de tensión diferencial en lazo abierto $A_v = A_{DM}$

La ganancia en lazo abierto se define como la relación entre la tensión de salida y la tensión diferencial de entrada. Una medición directa de A_{DM} basada en esta definición es sumamente dificultosa. Es esencial que los efectos de las tensiones y corrientes offset de entrada en el amplificador en lazo abierto queden prácticamente anulados pues de no ser así la gran amplificación de la entrada desequilibrada puede llevar el amplificador a saturación (mientras que debe funcionar en su región lineal). Si deseamos una salida de por ejemplo 10 V siendo A_{DM} = 100.000 se necesitará una señal de entrada de 0,1 mV cuidadosamente ajustada. Con señales tan pequeñas las tensiones de ruido pueden ser inconvenientes. Todas estas dificultades se soslayan empleando el AUT en lazo cerrado como en la Fig. 14-23.

Se cierran los interruptores S_1 y S_2 y se sitúa V' a la tensión de salida recomendada, por ejemplo a -10 V.

Entonces $V_o = +10$V. Como la resistencia de salida del AUT es muy pequeña en comparación a su carga de 100 kΩ tendremos según la Fig. 14-19*b*, $A_v V_i = V_o$. La tensión a través de la resistencia R entre los terminales de entrada del AUT es $V_{io} + V_i$, y por tanto

$$V = \frac{R + R'}{R}(V_{io} + V_i) \approx 10^3\left(V_{io} + \frac{V_o}{A_v}\right) \equiv V_5 \qquad (14\text{-}15)$$

Restando la Ec. (14-12) de la (14-15) tendremos (para V_o = 10V)

$$A_{DM} = A_v = \frac{10^3\ V_o}{V_5 - V_3} = \frac{10^4}{V_5 - V_3} \qquad (14\text{-}16)$$

Si se ajusta V' a + 10V y se repite el proceder anterior, se obtiene A_v para una salida V_o = - 10V. Si se desea la ganancia A_V en carga sólo se necesita colocar la resistencia de carga adecuada R_L entre V_o y tierra mientras se llevan a cabo las mediciones como antes.

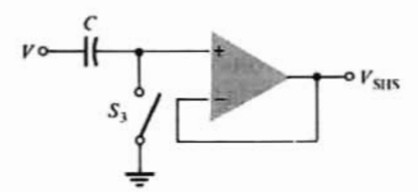


Figura 14-24. Circuito de toma y retención.

Para A_v = 100.000, $V_5 - V_3$ = 0,1V. con muy poca precisión pues deben restarse dos números grandes y casi iguales. La dificultad se evita de la siguiente forma. Las sustracciones requeridas en las Ecs. (14-16) y (14-17) pueden hacerse electrónicamente con el circuito de la Fig. 14-24. El Amp-Op es un seguidor no inversor de ganancia unidad, de resistencia de entrada muy elevada. El condensador C almacenará la tensión medida V_3. La entrada a este circuito [denominado SHS de *Sample-Hold-Substract* (muestreo-retención-sustracción)] es la salida V de BUF de la Fig. 14-23. El proceso experimental es el siguiente: Se cierran S_3, S_2 y S_1 y V' = 0 de forma que $V = V_3$ se almacena en el condensador de gran calidad C. Seguidamente se abre S_3 y se sigue el procedimiento indicado más arriba para medir A_v (o I_{B1}). Entonces V es V_5 (o V_4) y $V_{SHS} = V_5 - V_3$ (o $V_4 - V_3$).

Relación de rechazo del modo común

La relación de rechazo del modo común la define la Ec. (10-89) como CMRR = $|A_{DM}/A_{CM}|$ siendo A_{DM}

la ganancia diferencial y A_{CM} la ganancia de modo común. El circuito para su medición es el de la Fig. 14- 23 con los interruptores S_1 y S_2 cerrados, $V' = 0$ y una tensión de señal V_s insertada entre el terminal no inversor y tierra. Estas modificaciones llevan a la red de la Fig. 14-25. Aplicando la Ec. (10-92*a*) al AUT, siendo $V_o = 0$,

$$V_o = A_{DM}V_{DM} + A_{CM}V_{CM} = 0 \tag{14-17}$$

Para hallar V_{DM} y V_{CM} buscaremos primero V_1 y V_2 de la Fig. 14-24. Evidentemente, $V_1 = V_s$. Empleando la superposición tendremos

$$V_2 = V_s \frac{R'}{R + R'} + V \frac{R}{R + R'} \approx V_s + V \frac{R}{R'} \tag{14-18}$$

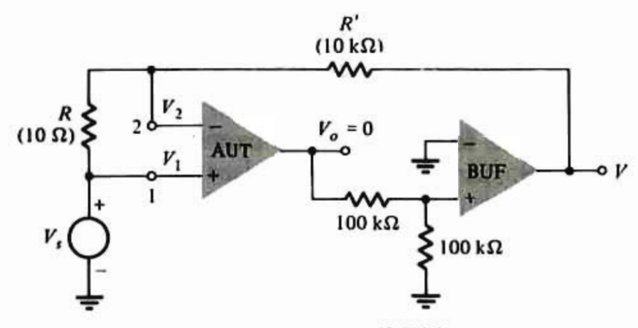


Figura 14-25. Medición de la relación de rechazo de modo común (CMRR).

puesto que $R' \gg R$. La tensión diferencia V_d es la tensión V_1 a través de R_i. Si tenemos en cuenta la tensión offset de entrada (Fig. 14-20*b*) y empleamos las Ecs. (14-17) y (14-12) siendo $R' \gg R$ se obtiene

$$V_d = 2V_{DM} = V_1 - V_2 - V_{io} = -\frac{VR}{R'} - V_{io} = -\frac{R}{R'}(V + V_3) \tag{14-19}$$

y

$$V_{CM} = \tfrac{1}{2}(V_1 + V_2) = V_s + \frac{VR}{2R'} \tag{14-20}$$

Sustituyendo las Ecs. (14-19) y (14-20) en la (14-17)

$$-A_{DM}\frac{R}{2R'}(V + V_3) + A_{CM}\left(V_s + \frac{VR}{2R'}\right) = 0 \tag{14-21}$$

Puesto que $A_{DM} \gg A_{CM}$, el cuarto término de esta ecuación puede despreciarse frente al primero. Por tanto, si designamos por V_6 el valor medido de V se obtiene

$$CMRR \frac{R}{2R'}(V_6 + V_3) = V_s \tag{14-22}$$

Para $CMRR = 10^5$, $R/R' = 2 \times 10^{-3}$ y $V_s = 10$V hallaremos que $V_6 + V_3 = 0{,}1$V. Para $V_{io} = 5mV$, $V_1 = 5$V. Por tanto, $V_6 = -4{,}9$V teniéndose muy poca precisión de esta medición ya que deben restarse dos tensiones grandes y casi iguales $|V_6|$ y $|V_3|$. Esta dificultad se solventa cambiando la entrada a un nuevo valor V'_s y midiendo el nuevo valor de V que llamaremos V'_6, y de acuerdo con la Ec. (14-22) tendremos

$$CMRR \frac{R}{2R'}(V'_6 + V_3) = V'_6 \tag{14-23}$$

Restando la Ec. (14-22) de la (14-23) se elimina V_3 quedando

$$CMRR = \frac{2R'}{R}\frac{V'_s - V_s}{V'_6 - V_6} \qquad (14\text{-}24)$$

Si $V'_s = 5V$, $V_s = -5V$, $CMRR = 10^5$ y $R'/R = 500$ tendremos $V'_6 - V_6 = 0{,}1V$. No obstante, esta resta puede hacerse ahora electrónicamente con el circuito SHS de la Fig. 14- 24. El interruptor S_3 se cierra para medir V_6 y se abre para medir V'_6.

14-8. RESPUESTA EN FRECUENCIA Y COMPENSACIÓN

Muchas veces se pide que la respuesta en lazo cerrado de las etapas básicas inversora y no inversora del Amp-Op tenga un funcionamiento de polo dominante para todos los valores de la ganancia en lazo cerrado y baja frecuencia. Así, el Amp-Op puede estar representado por una función de transferencia de un solo polo. En Secciones anteriores se ha demostrado que los polos en circuito abierto deben estar ampliamente separados y el margen de fase $Ø_M$ ser de aproximadamente 90° para tener este tipo de respuesta en lazo cerrado. Por ejemplo, para que los polos en lazo cerrado estén separados por lo menos en tres octavas ($Q^2 \leq 0{,}1$) la separación de polos necesaria [Ec. (13-36)] es $n \geq T_O/Q^2 \geq 10T_O$. Una década de separación en la respuesta en lazo cerrado requiere $Q_2 \leq 10/121$ y $n \geq 12{,}1\ T_O$. Puesto que $T \approx A_{OL}/A_F$ el máximo valor de T se tiene con $A_F = 1$, es decir que la etapa de Amp-Op se emplea como separador de ganancia unidad. Por tanto el funcionamiento de polo dominante requiere que $n \geq 12{,}1$ siendo A_O el valor de A_{OL} a baja frecuencia. Con los valores típicos de A_O ($\approx 10^5$) los polos en lazo abierto deben estar separados más de seis décadas. Esta separación sólo se puede conseguir estrechando la banda (compensando) del amplificador en lazo abierto. Obsérvese que para aumentar Q (disminuir $Ø_M$) se necesita compensación debido al clevado valor de A_O. Ciertamente, sin compensación la respuesta en lazo cerrado del Amp-Op de dos etapas clásico es inestable. Esto se puede demostrar fácilmente para un Amp-Op tipo 741. El

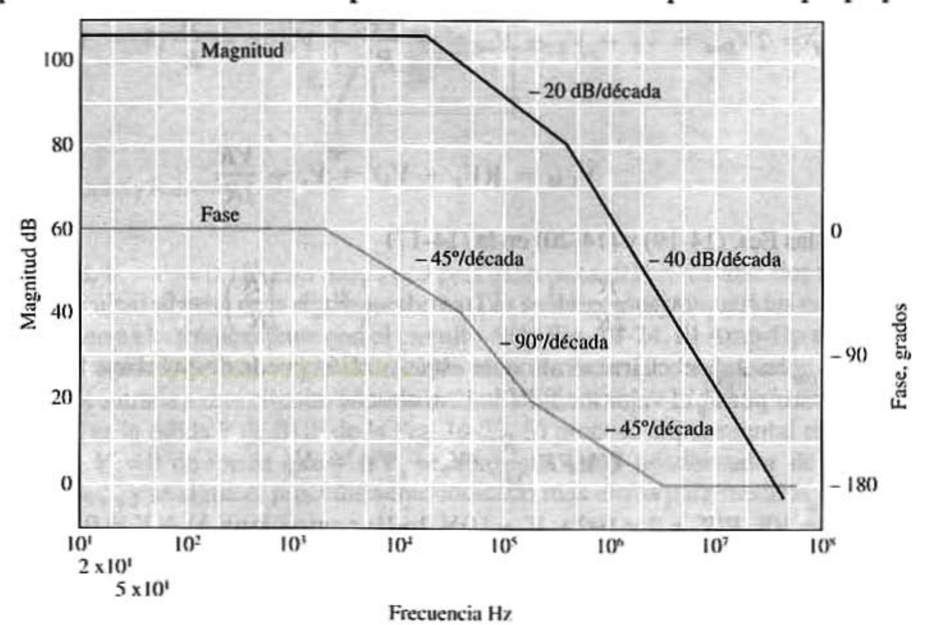


Figura 14-26. Diagrama asintónico de Bode de la ganancia en lazo abierto del Amp-Op tipo 741. (*Observación*: se ha empleado una aproximación de dos polos.)

análisis de este amplificador da $A_o = 2 \times 10^5$, $a_1 = 8{,}86$ µs y $a_2 = 4{,}10$ ps de donde los dos polos dominantes son

$$f_1 = \frac{1}{2\pi a_1} = \frac{1}{2\pi \times 8.86} = 18.0 \text{ kHz}$$

$$f_2 = \frac{a_1}{2\pi a_2} = \frac{8.86}{2\pi \times 4.10} = 344 \text{ kHz}$$

El diagrama asintótico de Bode de la Fig. 14-26 ha sido trazado basándose en estos valores. Obsérvese que aun cuando $A_{OL}(s)$ contuviera sólo los dos polos en $-2\pi f_1$ y $-2\pi f_2$, $\varnothing_M$ se aproxima a cero y desemboca en una respuesta en lazo cerrado inaceptable. En la práctica, el desplazamiento de fase introducido por los polos no dominantes hace que $\varnothing_M < 0$ provocando la inestabilidad. Por tanto, el amplificador en lazo abierto debe compensarse.

En la mayoría de Amp-Op comerciales la compensación puede ser interna o adaptada.

Compensación interna

La red de compensación se fabrica en el propio chip sin que normalmente esté prevista una conexión exterior a ella. El fabricante especifica el margen de fase para una ganancia unidad en lazo cerrado. El Amp-Op 741 está diseñado de esta forma. Más frecuentemente se emplea la compensación por efecto Miller.

Compensación adaptada

El fabricante no compensa el Amp-Op. El encapsulado integrado contiene terminales que permiten el acceso al amplificador interno de forma que se puede conectar una red de compensación exterior. El usuario es el responsable de compensar el amplificador para adaptarlo a su aplicación particular. Uno de tales amplificadores es el LM 108.

A veces se emplea una combinación de ambos métodos: el fabricante compensa hasta tener un margen de fase dado para una cierta ganancia específica (normalmente mayor de la unidad). Además se prevén accesos de forma que el diseñador del circuito puede modificar $\varnothing_M$ y compensar el amplificador para una ganancia unidad.

Compensación por efecto Miller

El procedimiento más sencillo y corriente de compensación consiste en conectar un condensador entre la salida y la entrada de la etapa de ganancia. Este método es similar a la compensación del triple en paralelo del Ejemplo 13-5. Debido al efecto Miller el valor efectivo de la capacidad de compensación C_C se ve incrementado por la ganancia de la etapa. Así, los elevados valores de capacidad necesarios se consiguen con condensadores pequeños que cabe fabricarlos en el chip. Aunque empleados extensamente en la compensación interna, las técnicas del efecto Miller se aplican también a la adaptada.

El Amp-Op 741 emplea un condensador de compensación de 30 pF conectado como se ve en la Fig. 14-27*a*. El circuito equivalente de pequeña señal de esta etapa está representado en la Fig. 14-27*b* en la que los valores numéricos son los obtenidos en los Ejemplos 14-1 y 14-2. El modelo de la Fig. 14-27*b* puede modificarse para hacer la fuente gobernada dependiente de V_1 como se ve en la Fig. 14-28 ya que

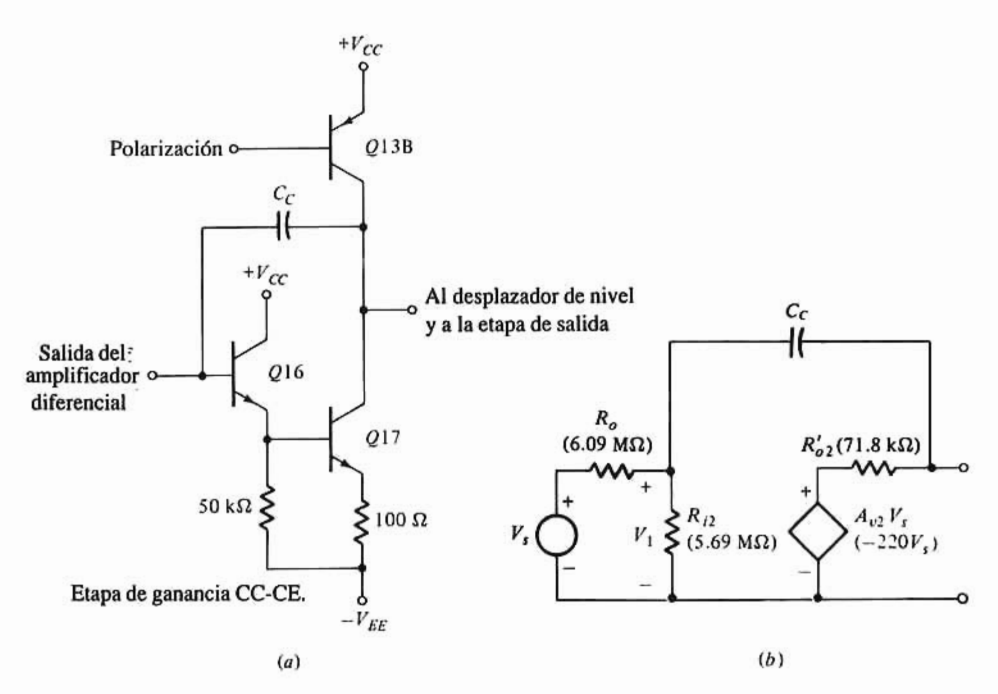


Figura 14-27. (*a*) Etapa de ganancia CC-CE de un Amp-Op tipo 741 con condensador C_c de compensación por efecto Miller. (*b*) Circuito equivalente de dicha etapa.

$V_1 = (R_o + R_{i2})\,V_s/R_{i2}$. La forma del circuito de la Fig. 14-27 es análoga a la usada para calcular la resistencia asociada con C_μ en el BJT (Ejemplo 11-2). Por tanto

$$R^0_{CC} = [6.09 \parallel 5.69]\,(1 + 455) + 0.0718 = 1340\ \text{M}\Omega$$

y con la Ec. (13-51)

$$a_{1C} = a_1 + R^0_{CC}C_C \approx R^0_{CC}C_C = 1340 \times 30 = 40.2\ \text{ms}$$

La frecuencia del polo dominante es

$$f_1 = \frac{1}{2\pi\, a_{1C}} = \frac{1}{2\pi\, R^0_{CC}C_C} = \frac{1}{2\pi \times 40.2 \times 10^3} = 4.0\ \text{Hz} \qquad (14\text{-}25)$$

El polo no dominante más próximo debe estar separado de f_1 en T_O/Q^2. Suponiendo que los polos en lazo cerrado estén separados una década, $n = 2{\times}10^5/(10/121) = 2{,}42{\times}10^6$ y $f_2 = nf_1 = 9{,}68$ MHz. En la Fig. 14-29 está representado el diagrama asintótico de Bode del amplificador compensado y según el cual $f_G \approx 0{,}8$ MHz y $Ø_M \approx 90º$[2]. Las curvas de trazos de la Fig. 14-29 son las características de magnitud y de fase del amplificador no compensado. Los valores calculados para el Amp-Op 741 son: $f_1 = 5$ Hz, $f_2 = 15$MHz, $f_G = 1$ MHz y $Ø_M = 84º$. Estos valores se corresponden aproximadamente con los medidos. La diferencia en el margen de fase es debida al desplazamiento introducido por los polos no dominantes.[3]

En la Secc. 13-4 vimos que con frecuencias por debajo de f_G, puede representarse $T(s)$ con una función de un polo $T_O/(1 + s/2\pi f_1)$. Así, la frecuencia de cruce de ganancia $f_G \approx T_O f_1$ viene determinada por el polo de la etapa de ganancia. Un método alternativo para calcular el valor de condensador de compensación se

[2] Si se emplea el valor calculado de $A_o = 2{,}5{\times}10^5$, $f_G = 1$ MHz.

[3] Usando $A_o = 2{\times}10^5$, el valor especificado por el fabricante, corresponde a $R^o_{CC} = 1070$ MΩ y resulta $f_1 = 4{,}95$ Hz y $f_G = 0{,}99$ MHz.

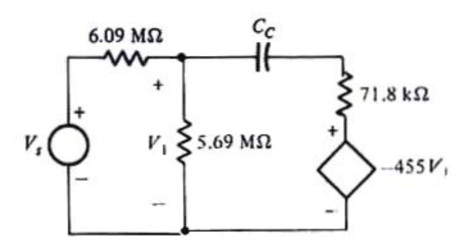


Figura 14-28. Representación equivalente a la Fig. 14-27*b* en la que la fuente gobernada depende de V_1.

basa en el circuito de la Fig. 14-30. La fuente de señal $g_m V_d/2$ es la corriente de salida del amplificador diferencial (Ejemplo 14-2) y el amplificador de la Fig. 14-30 es la etapa de ganancia. Como la ganancia es grande, $|V_o| \gg |V_i|$ y en forma análoga al análisis de las etapas del Amp-Op (Sec. 10-21), según la ley de Kirchhoff

$$\frac{g_m \mathbf{V}_d}{2} = \mathbf{I} = -j\omega C_C \mathbf{V}_o \tag{14-26}$$

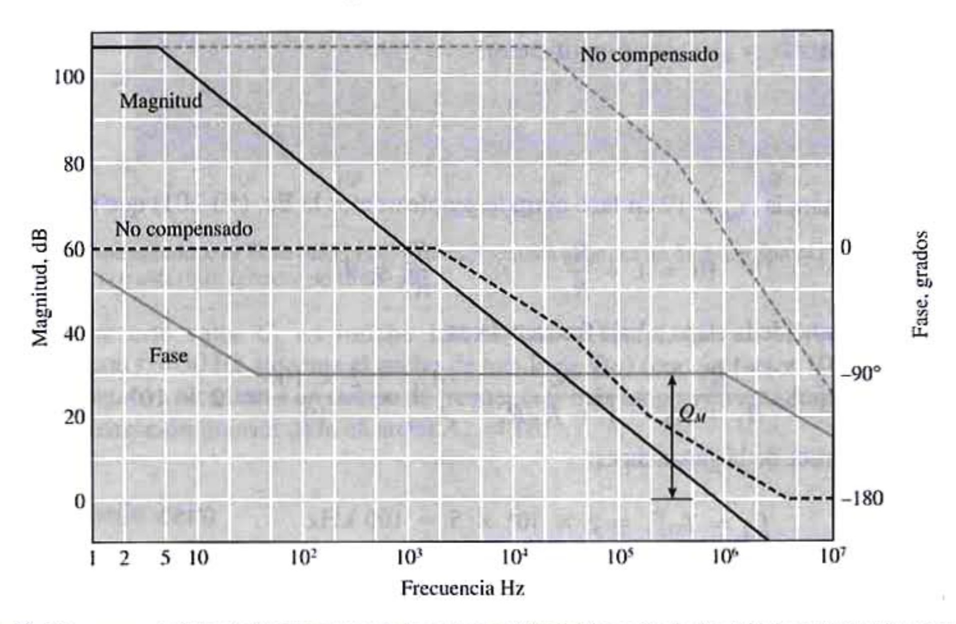


Figura 14-29. Diagrama asintótico de Bode mostrando la compensación del Amp-Op de tipo 741. Las curvas a trazos corresponden al amplificador no compensado.

En la Ec. (14-26) se ha supuesto una excitación senoidal. La frecuencia f_G se determina cuando $|V_o/V_d| = 1$. Resolviendo la Ec. (14-25)

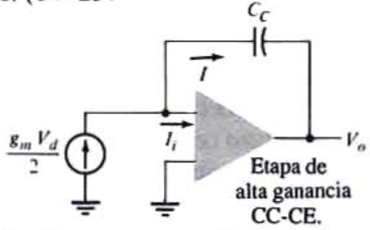


Figura 14-30. Representación alternativa de etapa de ganancia empleada para determinar el valor de C_C necesario para la compensación.

$$f_G = \frac{g_m}{2\pi \times 2C_C} = \frac{g_m}{4\pi C_C} \tag{14-27}$$

Tomando para el Amp-Op 741, $g_m = 0{,}38$m℧ (Ejemplo 14- 1) y $C_C = 30$ pF, el cálculo numérico de la Ec. (14-27) nos da

$$f_G = \frac{0.38 \times 10^{-3}}{4\pi \times 30 \times 10^{-12}} = 1.01 \text{ MHz}$$

ya que $f_1 = f_G/T_O$, $f_1 = 1.01 \times 10^6/2 \times 10^5 = 5$ Hz

como se ha indicado anteriormente. Este simple método resulta útil ya que f_G es aproximadamente el producto ganancia por ancho de banda del amplificador en lazo cerrado. Conociendo f_G y T_O podemos calcular el valor del condensador de compensación necesario a partir de la Ec. (14-26).

Ejemplo 14-3

Una etapa no inversora que emplea un Amp-Op tipo 741 se diseña para que tenga una ganancia 10 en lazo cerrado. Determinar $Ø_M$ y Q de este amplificador.

Solución

Para obtener la ganancia $A_{FO} = 10$ en lazo cerrado emplearemos la Ec. (10-101) que nos da

$$10 = 1 + \frac{R_2}{R_1} \qquad \text{o} \qquad \frac{R_2}{R_1} = 9$$

La relación en retorno de la etapa a baja frecuencia es

$$T_O = A_O \frac{R_1}{R_1 + R_2} = \frac{A_O}{1 + R_2/R_1} = \frac{A_O}{A_{FO}} = \frac{2 \times 10^5}{10} = 2 \times 10^4$$

La frecuencia de cruce de la ganancia es:

$$f_G = T_O f_1 = 2 \times 10^4 \times 5 = 100 \text{ kHz}$$

Puesto que la fase de $T(j\omega)$ no varía al variar T_O el margen de fase se obtiene a partir de la Fig. 14-28 siendo $Ø_M = 90°$. Haciendo uso de la Ec. (13-36) tendremos

$$Q = \frac{\sqrt{nT_O}}{n+1} \approx \sqrt{\frac{T_O}{n}} = \sqrt{\frac{2 \times 10^4}{2.42 \times 10^6}} = 0.0909$$

Obsérvese que este valor de Q es notablemente inferior que $Q = \sqrt{10/121} = 0{,}287$, valor necesario para tener una separación de una década de los polos en lazo cerrado. Con $Q = 0{,}287$ y $T_O = 2{\times}10^4$ la separación necesaria en lazo abierto es $n = T_O/Q^2 = 2{,}42 \times 10^5$. La compensación interna para $A_{FO} = 1$ en la 741 se convierte en sobre-compensación cuando $A_F > 1$. Es decir, que el amplificador en lazo abierto tiene menor banda de la necesaria para tener la respuesta en lazo cerrado.

La compensación adaptada permite al diseñador seleccionar el valor de C_C que cumpla los requerimientos del circuito en particular que se construya. Además el diseñador del circuito no queda limitado al uso de la compensación por efecto Miller, sino que puede emplear otras configuraciones de circuito para alcanzar el margen de fase deseado.

Consideremos un Amp-Op 741 no compensado en el que el terminal al que va conectado C_C (Fig. 14-27) sea accesible desde el exterior. Supongamos que se desea una frecuencia de cruce de la ganancia de 1 MHz (la misma frecuencia que la del compensado interiormente de ganancia unidad) para A_{FO}=10. Entonces, tal como se ha determinado en el Ejemplo 14-3, $T_o = 2 \times 10^4$. Puesto que la pendiente de la característica de magnitud de $T(s)$ es de -20 dB/década para $f < f_G$, se usa el diagrama asintótico de Bode (Fig. 14-31) para obtener f_1 = 50 Hz (Sec. 13-4). Según la Ec. (14-25) el valor necesario de C_C es

$$C_C = \frac{1}{2\pi \times 1.34 \times 10^9 \times 50} = 2.4 \text{ pF}$$

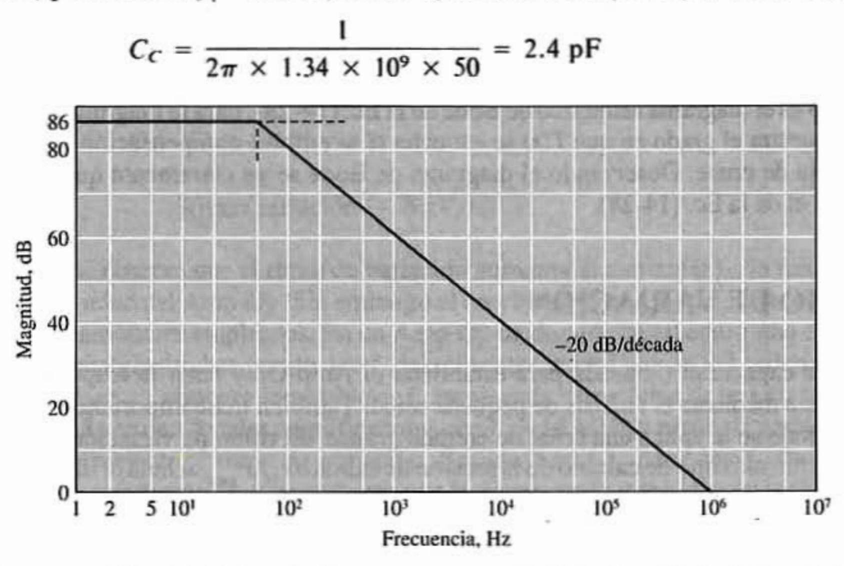


Figura 14-31. Diagrama asintótico de Bode (magnitud) para compensar a voluntad un Amp-Op tipo 741, empleado para tener una ganancia en mitad de la banda (lazo cerrado) de 10 (20 dB).

Obsérvese que este valor C_C es mucho menor que el empleado en el Amp-Op compensado interiormente, y con f_1 = 50 Hz aumenta el ancho de banda de $T(s)$ (con un factor 10). Las ventajas de la realimentación negativa alcanzan a un campo de frecuencias más amplio en esta etapa que si se empleara un 741 con compensación interior para alcanzar A_{FO} = 10.

Cancelación polo-cero

También se puede lograr el estrechamiento de banda mediante la cancelación polo-cero (Sec. 13-4).

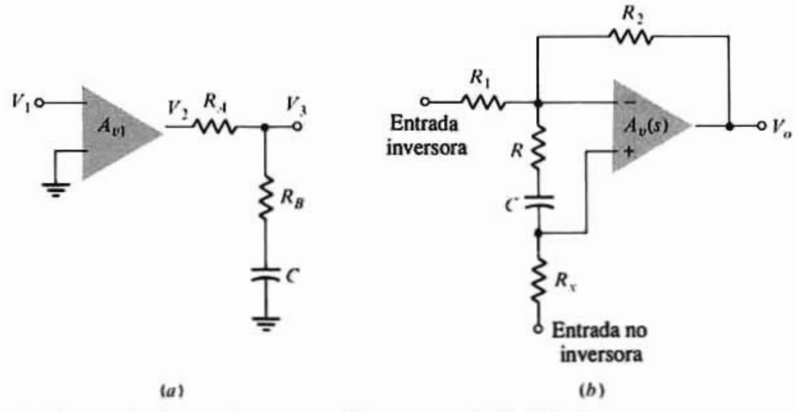


Figura 14-32. Dos circuitos empleados para la compensación por cancelación del polo-cero.

Esta técnica se utiliza en el caso de que el diseñador pueda ajustar las frecuencias de polos y ceros. Los circuitos de la Fig. 14-32 muestran dos métodos mediante los que se puede introducir un cero en la función de transferencia en lazo abierto. El análisis de estos circuitos es el objetivo de los Prob. 14-32 y 14-33.

Para compensar un amplificador realimentado se pueden emplear muchas otras configuraciones de circuito. Para aumentar el ancho de banda de $T(s)$ se usa una forma de red de compensación que haga que $T(s)$ tome la forma

$$T(s) = \frac{T_O\,(1 + s/\omega_Z)}{(1 + s/\omega_A)^2\,(1 + s/\omega_2)} \tag{14-28}$$

La Fig. 14-33 es el diagrama asintótico de Bode de la Ec. (14-28), para la magnitud. La curva de trazos en esa Figura muestra el grado en que $T(s)$ se estrecha si se emplea compensación simple, para tener la misma frecuencia de cruce. Observando el diagrama de Bode se ve claramente que el mayor ancho de banda de $T(s)$ es el de la Ec. (14-28).

14-9. RITMO DE VARIACIÓN

El valor de la capacidad C_C usada para estabilizar el Amp-Op y tener la respuesta en lazo cerrado deseada, se calcula mediante el análisis de pequeña señal. También tiene importancia el funcionamiento del Amp-Op cuando se le aplica una señal de entrada grande. El ritmo de variación, definido en la Sec. 14-16 como el ritmo máximo de cambio de la tensión de salida dV_o/dt_{max}, señala la limitación del Amp-Op con gran señal.

En muchas estructuras en dos etapas el ritmo de variación es directamente proporcional al tiempo necesario para cargar el condensador de compensación. En la Fig. 14-30 se representa el modelo de Amp-Op útil para determinar aproximadamente el ritmo de variación. La corriente I que excita la etapa de ganancia es la salida de la etapa diferencial. Aplicando la ley de Kirchhoff tendremos

$$I = I_i - C_C \frac{d}{dt}(V_o - V_i) \tag{14-29}$$

puesto que la ganancia de la etapa Colector-común-Emisor-común es elevada $|V_o| \gg |V_i|$ e I_i puede despreciarse comparada con I. Por tanto

$$I \approx -C_C \frac{dV_o}{dt} \tag{14-30}$$

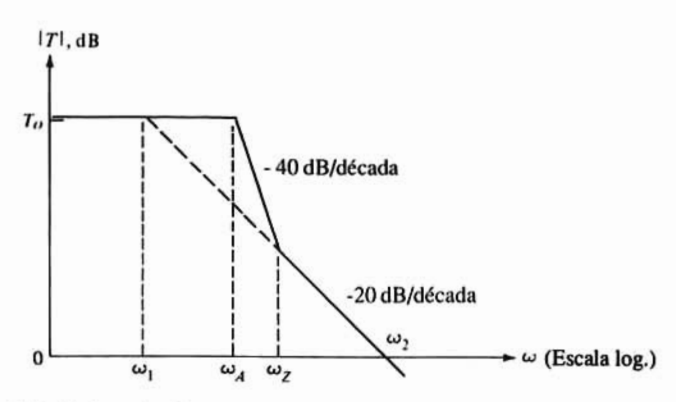


Figura 14-33. Diagrama asintótico de Bode (magnitud) para compensación de dos polos y un cero. La línea de trazos extendiéndose hacia T_o es para compensación por efecto Miller.

La máxima corriente que puede suministrar la etapa diferencial es el doble de la de colector en reposo observada en la característica de transferencia del par en emisor acoplado (Fig. 3-38). Así

$$\frac{dV_o}{dt} = \text{Ritmo variación} = \frac{2I_C}{C_C} \tag{14-31}$$

Para un Amp-Op 741 (I_c = 9,5 μA y C_c = 30 pF) el ritmo de variación es de 2 × 9,5/30 = 0,63 *V*/μs. Substituyendo la Ec. (14-27) en la (14-31) resulta

$$\text{Ritmo variación} = \frac{8\pi I_C}{g_m} f_G \tag{14-32}$$

y como $g_m = I_C/V_T$, la Ec. (14-32) se convierte en

$$\text{Ritmo variación} = 8\pi V_T f_G \tag{14-33}$$

En la Ec. (14-33) se observa que el ritmo de variación aumenta al aumentar f_G, la frecuencia a media banda con ganancia unidad del Amp-Op. Sin embargo el crecimiento de f_G está limitado por la respuesta en frecuencia de los transistores empleados. En un Amp-Op de dos etapas tal como uno de tipo 741, sólo se puede aumentar f_G marginalmente puesto que f_T del transistor lateral *pnp* es del orden de 5 a 10 MHz. Normalmente se consigue un aumento apreciable de f_G empleando estructuras de tres etapas. El «National Semiconductor LM118» es uno de tales amplificadores con f_G = 15 MHz y ritmo de variación de 50V/μs.

También se puede mejorar el ritmo de variación disminuyendo g_m para una f_G dada. Hemos visto anteriormente que una resistencia de emisor disminuye la ganancia de una etapa en emisor común (Sec. 10-11). En consecuencia el valor efectivo de g_m para la etapa se reduce para una corriente de polarización dada resultando así aumentado el ritmo. El empleo de una resistencia de emisor en la etapa de entrada de un Amp-Op 741 mejora el ritmo de variación en por lo menos un orden de magnitud.

Efecto del ritmo de variación sobre una señal de entrada

Consideremos una etapa de Amp-Op de ganancia unidad y no inversora polarizada con ±15V de suministro, a la que se le aplique una tensión de entrada en escalón de 15V. El Amp-Op tiene un ritmo de variación de 0,5V/μs. Como la tensión de salida V_o no puede variar en más de 0,5V/μs, la onda de salida será como la de la Fig. 14- 34. La salida V_o no alcanza los 15V, que es el valor esperado, hasta que hayan transcurrido 30μs.

Consideremos ahora que la tensión de entrada V_s a esta etapa de Amp-Op es $V_s = V_m$ sen ωt, Sin limitación en el ritmo $V_o = V_m$ sen ω*t*, y

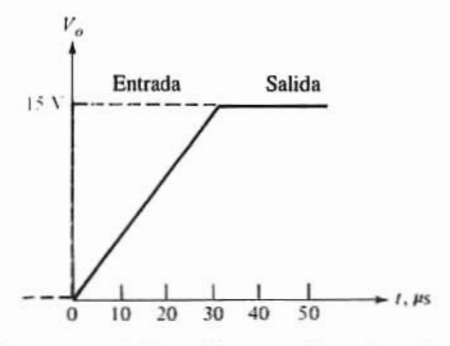


Figura 14-34. Respuesta de un Amp-Op a una entrada de tensión en escalón ancho evidenciando el ritmo de variación.

$$\frac{dV_o}{dt} = \omega V_m \cos \omega t \tag{14-34}$$

El máximo valor de dV_o/dt se alcanza en el cruce por cero de la señal de entrada, es decir, cuando $\omega t = n\pi$ siendo $n = 0, 1, 2...$ Así

$$\left.\frac{dV_o}{dt}\right|_{\max} = \omega V_m \tag{14-35}$$

Una reproducción fiel de esta senoide requiere que ωV_m sea igual o menor que el ritmo de variación. Con $V_m = 15$V y un ritmo de 0,7V/μs tendremos: ω = ritmo variación/V_m = $0{,}5 \times 10^6/15 = 3{,}33 \times 10^4$rad/s o $f = \omega/2\pi = 5{,}31$ kHz como frecuencia máxima de la señal de entrada que puede amplificarse sin distorsión. La onda de la Fig. 14-35 es la consecuencia de aplicar una señal de entrada senoidal de 15V, cuya pendiente máxima es mayor que la del ritmo de variación. Obsérvese en dicha figura la distorsión que aparece en la proximidad del cruce por cero de la onda de entrada.

14-10. CIRCUITOS BIFET Y BIMOS

La implantación de iones (Sec. 5-2) hace compatible la fabricación de JFETs (o MOSFETs) y BJTs en un mismo chip. El término «tecnología BIFET (o BIMOS)» se emplea comúnmente para circuitos integrados fabricados por este procedimiento.

Todo Amp-Op BIFET (o BIMOS) emplea FET en la etapa de entrada y BJT en las restantes. Tales amplificadores con etapas de entrada JFET fueron introducidos primeramente en los años 70. Hacia mediados de los 80 se produjeron comercialmente circuitos BIMOS. Las etapas diferenciales de transistores de efecto campo tienen varias ventajas respecto a las etapas de entrada BJT: mayor resistencia de entrada del modo diferencial, menor corriente de entrada y por tanto menores corrientes offset, y mayores ritmos de variación.

La resistencia puerta-fuente de un FET (casi circuito abierto) comparada con r_π de un BJT explica la muy alta resistencia de entrada. Frecuentemente las etapas diferenciales FET tienen resistencias de entrada de más de cuatro órdenes de magnitud superiores a lo que se puede conseguir con BJT.

La corriente de polarización de entrada de un JFET es la corriente inversa de saturación I_{GSS} de la unión puerta-canal con polarización inversa. Normalmente esta corriente es mucho más pequeña que la corriente de base de un BJT polarizado para tener $I_C = I_D$. Como $I_{in} = I_{GSS}$ es muy pequeña, la corriente offset causada

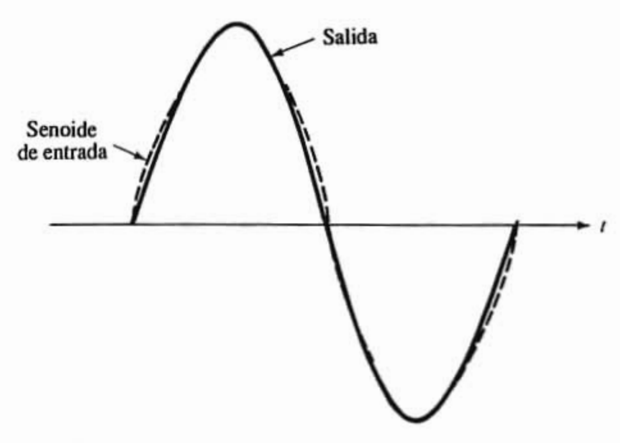


Figura 14-35. Efecto del ritmo de variación sobre una señal senoidal.

por desajustes del circuito es también muy inferior a las que nacen en los circuitos BJT. El uso de etapas diferenciales MOSFET reduce aún más estas cantidades ya que la corriente de fuga a través del óxido de puerta es muy inferior a I_{GSS} del JFET.

Para un valor dado de la corriente de drenaje I_D, el valor de g_m en un FET es inferior al de un BJT polarizado a $I_C = I_D$. Así, como se ve en la Ec. (14-32) una reducción de g_m, para un valor dado de f_G, aumenta el ritmo de variación. Este valor rebajado de g_m se convierte generalmente en una menor ganancia del modo diferencial A_{DM} en una etapa FET, comparado con los valores de A_{DM} conseguidos con circuitos BJT. Para superar esta limitación, los Amp-Op BIFET y BIMOS emplean muchas veces unas estructuras de tres etapas tales como los descritos en la siguiente Sección. Las características del «Analog Devices AD611» figuran en la Tabla 14-2.

Una ventaja adicional de las etapas de entrada FET es su menor ruido lo que es debido al hecho de que los FET son de por sí menos ruidosos que los BJT.

14-11. AMPLIFICADORES OPERACIONALES DE TRES ETAPAS

La mayor parte de Amp-Op de alta frecuencia y BIFET (BIMOS) utilizan tres etapas (una etapa de entrada amplificadora diferencial y dos etapas de ganancia) además de la etapa de desplazamiento de nivel y la de salida de seguidor de emisor. La Fig. 14-36*a* muestra la estructura típica, y la Fig. 14-36*b* es el gráfico del recorrido de la señal en este amplificador. Obsérvese que esta estructura es similar a la de

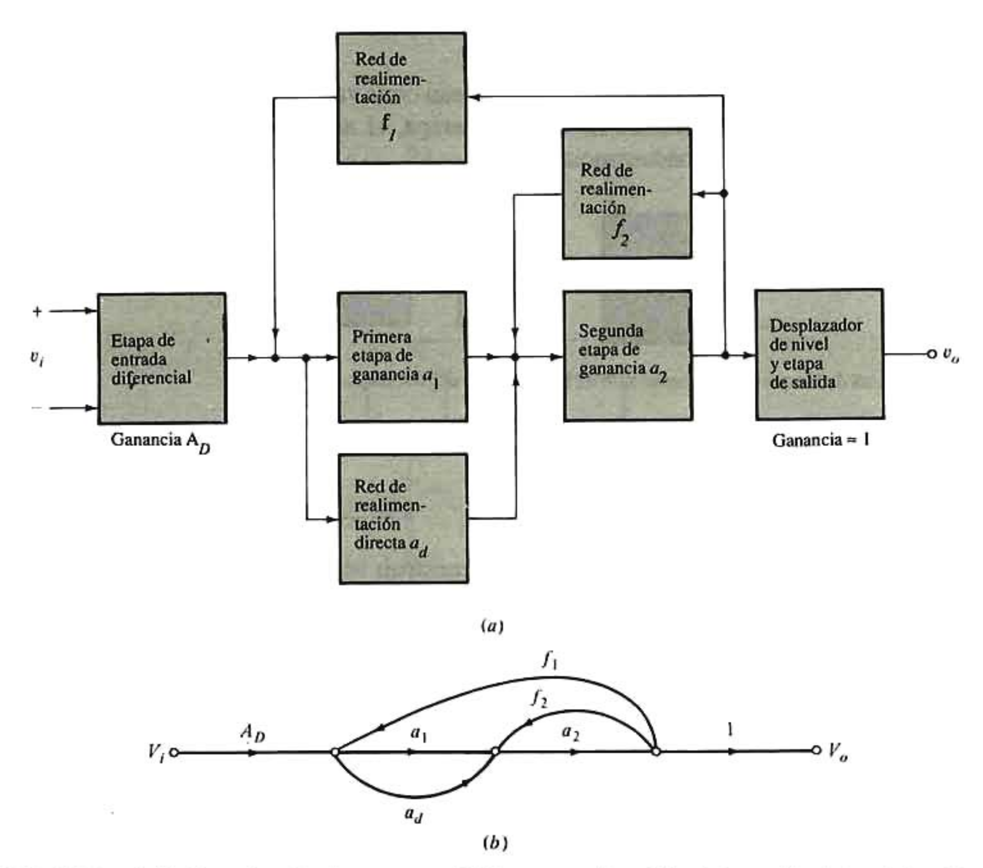


Figura 14-36. (*a*) Disposición de un Amp-Op de tres etapas. (*b*) Representación gráfica del recorrido de la señal en (*a*).

múltiple lazo «nido» de la Fig. 12-42. Con tres etapas que proporcionan la ganancia en lazo abierto, puede reducirse g_m de la etapa diferencial para mejorar el ritmo de variación [Ec. (14-32)]. Además, la estructura de realimentación multi-lazo de tres etapas se puede diseñar para tener mayores valores de la frecuencia de cruce f_G que los que se obtienen en los Amp-Op de dos etapas. Así, queda incrementado tanto el ritmo de variación como la banda con ganancia unidad.

Como cada etapa contribuye con un polo dominante en el amplificador en lazo abierto, se dificultan la estabilización y la compensación. Tanto las redes de realimentación f_1 y f_2 como el circuito de alimentación directa a_d sirven para compensar el amplificador. Clásicamente, cada uno de estos circuitos es una red *RC*, preferiblemente al solo condensador empleado para compensar un amplificador de dos etapas. El lazo de realimentación conjunto f_1 alrededor de ambas etapas de ganancia se emplea para obtener un polo dominante en la función de transferencia en lazo abierto. El lazo de realimentación interior f_2 se diseña para hacer que el polo de la segunda etapa de ganancia sea el polo no dominante del amplificador. Con la red de alimentación directa se introduce un cero en la función de transferencia del amplificador. El desplazamiento de fase positivo de este cero mejora el margen de fase y ayuda a estabilizar el amplificador. Además, el desplazamiento de fase positivo tiende a aumentar la frecuencia f_G de cruce de ganancia (Prob. 14-33). El LM118 de la «National Semiconductor» es un Amp-Op de tres etapas con banda de frecuencia con ganancia unidad de 15 MHz y un ritmo de variación de 50V/μs. En la Tabla 14-2 figuran los datos relativos a los Amp-Op descritos hasta aquí en este capítulo.

14-12. OTROS TIPOS DE AMPLIFICADORES OPERACIONALES

En los Amp-Op disponibles comercialmente se emplean otras varias configuraciones. En esta Sección describiremos tres de ellas: la estructura de una sola etapa, el amplificador de instrumentación, y el amplificador operacional de transconductancia (OTA).

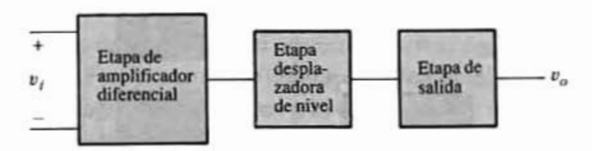


Figura 14-37. Diagrama de bloques de la disposición de un Amp-Op de una etapa.

Estructura de etapa única

Empleando una estructura de etapa única se puede construir un Amp-Op de alta velocidad con ritmo de variación de 50V/μs y ancho de banda a ganancia unidad de 15MHz. Para alcanzar este resultado se emplean configuraciones de circuito relativamente simples, pero ello supone procesos de fabricación muy complejos. Por el contrario, la configuración de un circuito complejo de tres etapas se apoya en los procesos normales de fabricación de circuitos integrados. El Amp-Op de etapa simple consiste en una etapa de entrada diferencial, un desplazador de nivel y una etapa de salida como en la Fig. 14-37. La estructura de la etapa diferencial está representada en la Fig. 14-38 en la que el elemento activo es un par de transistores *npn* en conexión Darlington. La carga consiste normalmente en transistores *pnp* en conexión cascodo excitando una carga *npn* también en conexión cascodo. Tal como se describió en la Sec. 11-11 la configuración cascodo da un mayor ancho de banda para una ganancia dada que la que da una etapa en emisor común. Esta disposición es la que proporciona un mejor funcionamiento a alta frecuencia. Para

ello se necesitan transistores *pnp* de alta frecuencia, excluyendo por tanto los dispositivos laterales *pnp*. La mayor complejidad del proceso de fabricación procede de la necesidad de fabricar transistores *pnp* con valores de β_F, β_o y f_T comparables a los de los dispositivos *npn*. Un inconveniente de estos Amp-Op consiste en que la ganancia con lazo abierto y baja frecuencia es del orden de 10 veces menor que la alcanzable con circuitos de dos y de tres etapas (típicamente 80 dB en comparación con 100 dB indicados en la Tabla 14-2).

Amplificadores de instrumentación

Los transductores son dispositivos que convierten una magnitud física y sus variaciones en una señal eléctrica. Como ejemplos de transductores se pueden citar las galgas de espesores, los pares termoeléctricos y otros. Cada uno de estos transductores engendra una pequeña señal de diferencia que normalmente debe amplificarse. Los amplificadores de instrumentación dan una salida que es múltiplo preciso de la diferencia entre dos señales de entrada.

Se puede formar un sencillo amplificador de instrumentación mediante un Amp-Op como se ve en la Fig. 14-39. Por superposición, y suponiendo que la corriente de entrada al Amp-Op es despreciable tendremos

$$V_o = \frac{R_4}{R_3 + R_4}\left(1 + \frac{R_2}{R_1}\right) V_2 - \frac{R_2}{R_1} V_1 \tag{14-36}$$

Si $R_3/R_4 = R_1/R_2$ tendremos

$$V_o = \frac{R_2}{R_1}(V_2 - V_1) \tag{14-37}$$

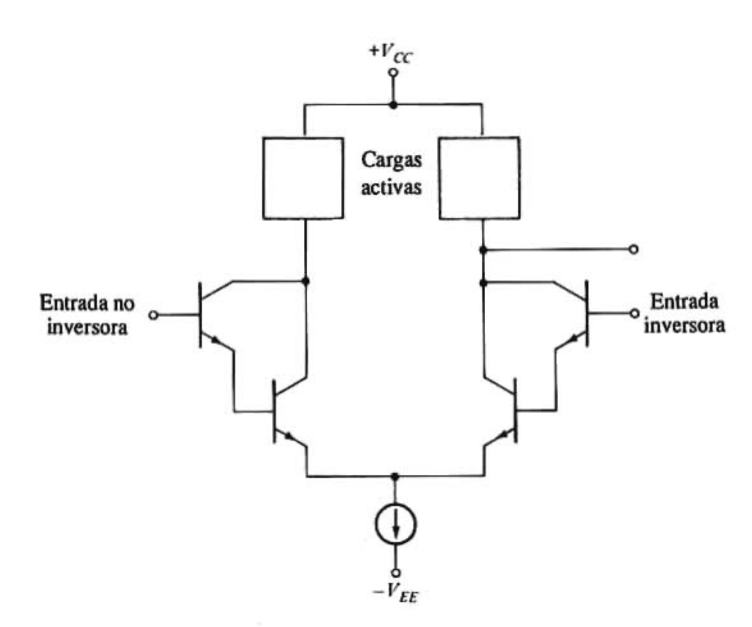


Figura 14-38. Etapa de amplificador diferencial empleando transistores en conexión Darlington, excitando una carga activa.

Si las señales V_1 y V_2 tienen resistencias de fuente R_{s1} y R_{s2}, estas resistencias se suman a R_3 y R_1 respectivamente.

Obsérvese que la fuente de señal V_1 ve una resistencia $R_3 + R_4 = 101\text{k}\Omega$. Si $V_2 = 0$ la entrada inversora está a la tensión de tierra y por tanto V_1 queda cargado por R_1. Si esto es una carga excesiva para el transductor se puede poner un compensador de alta resistencia precediendo cada entrada de la Fig. 14-39. El sistema de tres Amp-Op resultante en la Fig. 14-40 es un amplificador de instrumentación de continua, con muy alta resistencia de entrada y una relación de rechazo del modo común mejorada. (Ya que en un chip pueden ir dos, tres o cuatro Amp-Op, el costo de esta configuración es reducido.)

Es fácil demostrar que la ganancia de cada separador $A1$ y $A2$ es igual a la unidad para la tensión de modo común, pero que es alta para la señal diferencia. Como la tensión entre los terminales de entrada del amplificador es casi cero, el nudo superior de R está a la tensión V_1 y el nudo inferior de esta resistencia a V_2. Si consideramos una señal de modo común, $V_1 = V_2$ y la tensión a través de R es nula. Por tanto, no hay corriente por R ni por R'. En consecuencia, $V'_2 = V_2$ y $V'_1 = V_1$ y $A1$ y $A2$ actúan como un amplificador de ganancia unidad. No obstante, si $V_1 \neq V_2$ pasa corriente por R y R' y $V'_1 - V'_2 > V_1 - V_2$. Así, la ganancia diferencial y la relación de rechazo del modo común del sistema de dos etapas han crecido por encima del circuito de etapa única de la Fig. 14-39. Prosiguiendo este análisis (Prob. 14-38) tendremos

$$V_o = \left(1 + \frac{2R'}{R}\right)\frac{R_2}{R_1}(V_2 - V_1) \tag{14-38}$$

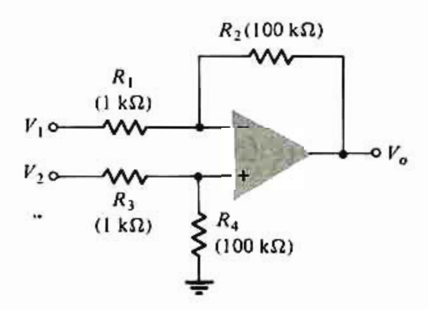


Figura 14-39. Amp-Op empleado como amplificador de instrumentación. Haciendo $R_1/R_2 = R_3/R_4$ se hace que V_o sea proporcional a $V_2 - V_1$

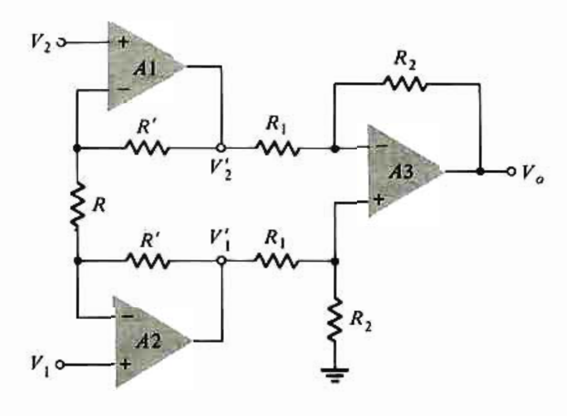


Figura 14-40. Amplificador de instrumentación mejorado.

Obsérvese que la ganancia diferencial puede variarse utilizando para R una resistencia ajustable.

El sistema consistente en solo $A1$, $A2$, R y R' es un amplificador con doble salida (*amplificador de salida diferencial*). Evidentemente $V'_1 - V'_2 = (1 + 2R'/R)(V_1 - V_2)$.

También existen disponibles en el mercado amplificadores para instrumentación monolíticos (en un solo chip). Estos están diseñados para que tengan una resistencia de entrada diferencial muy alta (>100 MΩ) y una relación de rechazo del modo común extremadamente elevada (del orden de 120 dB). Se necesita la resistencia de entrada diferencial para minimizar los efectos de la carga tanto en el amplificador como en el sistema de medición. Como es frecuente el caso de amplificar señales diferenciales muy pequeñas (≈10 μV) en presencia de señales de modo común relativamente altas (del orden de 1V) se hace indispensable que los amplificadores de instrumentación tengan una relación de rechazo del modo común de valor extremadamente elevado.

Contrariamente a los circuitos de las Figs. 14-39 y 14-40, los amplificadores de instrumentación monolíticos se diseñan para trabajar en condiciones de lazo cerrado, es decir, sin realimentación global. La ganancia del amplificador la determina la razón entre dos resistencias R_G y R_S llamadas de *ganancia* y de *sentido* respectivamente. Estas resistencias exteriores de precisión se conectan para que queden situadas en el amplificador y aisladas respecto al circuito de entrada. En consecuencia R_S y R_G no cargan la fuente de la señal de entrada y se pueden ajustar para tener ganancias entre 1 y 1000.

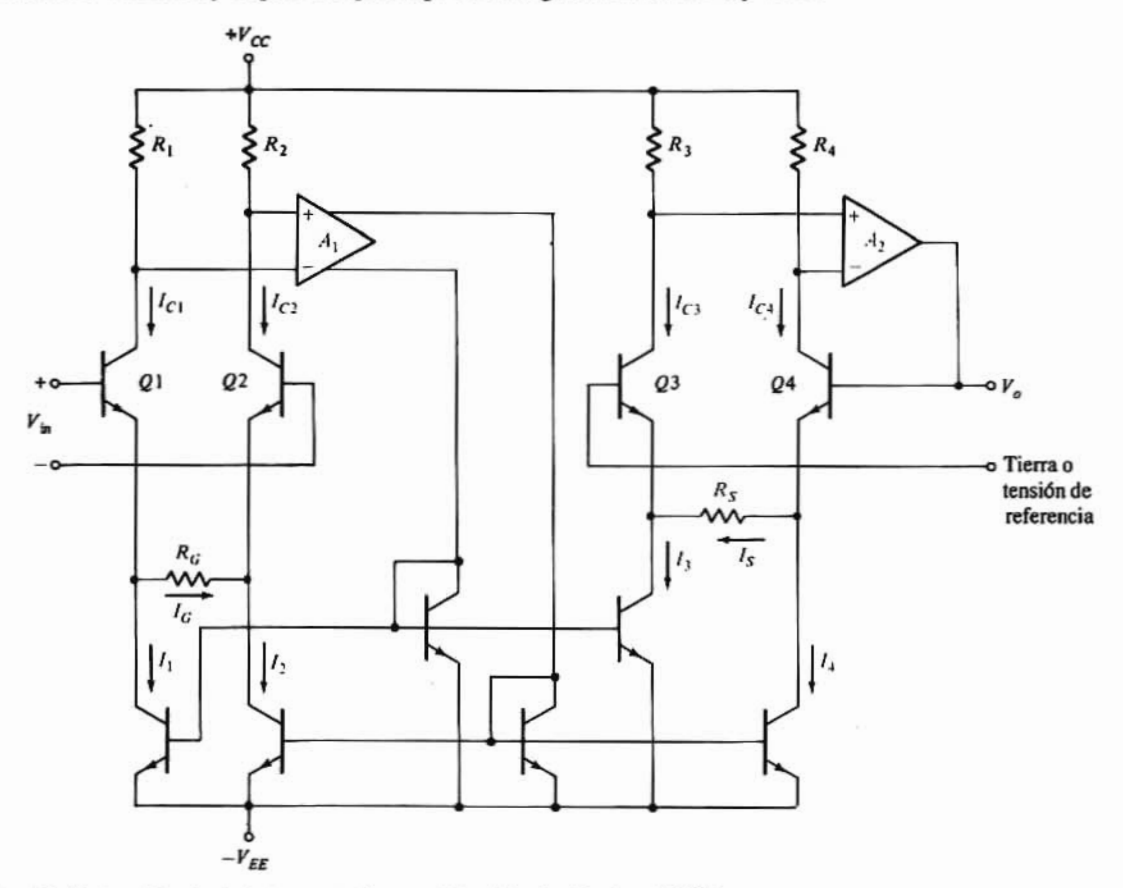


Figura 14-41. Amplificador de instrumentación monolítico (Analog Devices AD521).

El AD 521 de «Analog Devices» es un amplificador de instrumentación monolítico clásico cuya configuración tiene la forma mostrada en la Fig. 14-41. Las corrientes de referencia de las fuentes de

corriente emparejadas I_1, I_2, I_3 e I_4 las generan las salidas del amplificador A_1. Con $V_{in} = 0$, es decir, cuando la señal diferencia es nula y con la condición de modo común, el circuito está equilibrado con $I_1 = I_2 = I_3 = I_4$. Las entradas a A_2 son iguales por estar equilibrado resultando que $V_o = 0$. La aplicación de una señal diferencia $V_{in} \neq 0$ hace que las corrientes de emisor en $Q1$ y $Q2$ estén desequilibradas. Aplicando la ley de Kirchhoff al lazo que comprende V_{in}, R_G y las uniones emisor-base de $Q1$ y $Q2$ tendremos

$$-V_{in} + V_{BE1} + I_G R_G - V_{BE2} = 0 \tag{14-39}$$

Puesto que $V_{BE1} = V_{BE2}$, despejando I_G de la Ec. (14-39)

$$I_G = \frac{V_{in}}{R_G} \tag{14-40}$$

El desequilibrio varía las señales de entrada a A_1, cambiando la corriente de referencia a las fuentes de corriente I_1 e I_2. Las conexiones de salida de A_1 son tales que cuando se produce un desequilibrio, la salida tiende a ajustarse por sí misma y hacer que $I_{C1} = I_{C2}$. La diferencia entre I_1 e I_2 es, según la ley de Kirchhoff, la corriente I_G en la resistencia de ganancia R_G. Análogamente, las fuentes de corriente I_3 e I_4 están desequilibradas y existe una corriente diferencia I_S en la resistencia R_S.

La actuación de A_2 cuando se desequilibra el circuito es semejante a la de A_1; así la salida de A_2 tiende a hacer $I_{C3} = I_C$. Puesto que V_o es la diferencia entre las tensiones de base de $Q3$ y $Q4$,

$$V_o = I_S R_S \tag{14-41}$$

Las corrientes I_S e I_G son iguales a consecuencia de emplear fuentes de corriente diferencial emparejadas. Combinando las Ecs. (14-40) y (14-41) se tiene

$$\frac{V_o}{V_{in}} = A_V = \frac{R_S}{R_G} \tag{14-42}$$

Evidentemente, ajustando la relación entre resistencias se pueden conseguir distintos valores de A_V.

El Amplificador de Transconductancia Operacional (OTA)

Un convertidor de tensión a corriente (Sec. 12-1) es un amplificador que da una corriente de salida proporcional a una tensión de entrada. A la constante de proporcionalidad se le llama *transconductancia* del amplificador. Un OTA es un amplificador en un solo chip en el que la transconductancia está gobernada mediante una resistencia conectada exteriormente.

La Fig. 14-42 representa un circuito OTA simple en el que los transistores $Q1$ y $Q2$ forman un par diferencial. Las corrientes de colector de $Q1$ y $Q2$ son las corrientes de referencia de las fuentes complementarias ($Q7$-$Q8$ y $Q9$-$Q10$) que excitan la carga. La transconductancia variable de la etapa está gobernada por la resistencia exterior R_1 y la tensión de suministro V_1. El ajuste de estos valores determina la corriente de referencia I_R para la fuente de corriente $Q3$ y $Q4$. Puesto que $I_{c4} = I_R$ las corrientes de colector son $I_{c1} = I_{c2} = I_R/2$ lo que hace $g_{m1} = g_{m2} = g_m = I_R/2V_T$. Las corrientes de colector I_{c1} e I_{c2} son $g_m V_{in}/2$ y $-g_m V_{in}/2$ respectivamente. Estas corrientes de referencia hacen que $I_{c10} = I_{c8} = g_m V_{in}/2$ y por tanto $I_o = g_m V_{in} = I_R V_{in}/2V_T$. Evidentemente, variando R_1, V_1 o ambas se pueden modificar la ganancia de la etapa. Además, si $R_L \ll R_o$ de las fuentes de corriente de salida, entonces

$$A_V = \frac{V_o}{V_{in}} = \frac{I_o R_L}{V_{in}} = \frac{I_R R_L}{2V_T} \tag{14-43}$$

lo que significa que la ganancia de tensión del circuito se controla por la corriente de polarización I_R.

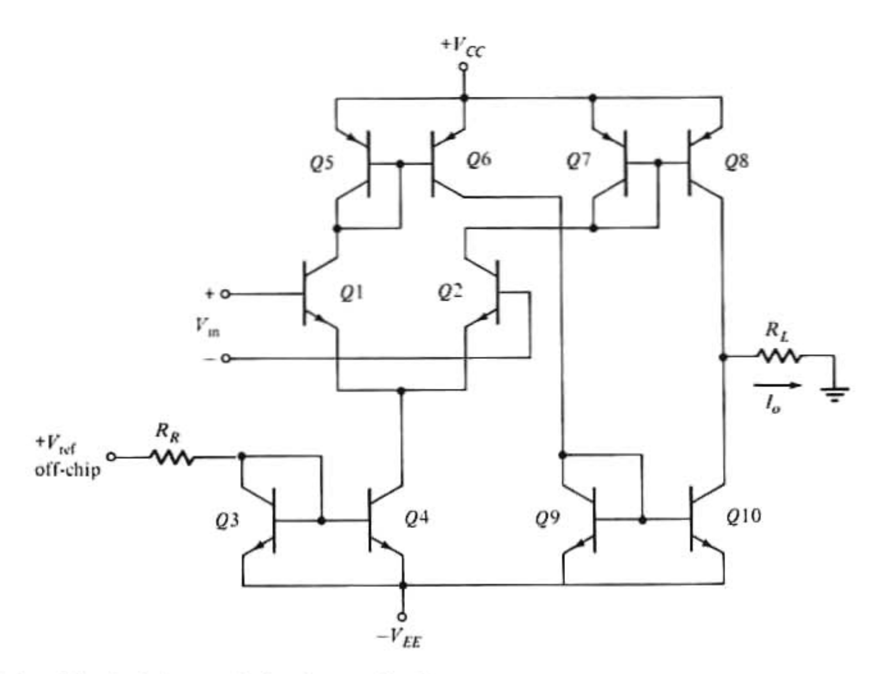


Figura 14-42. Amplificador de transconductancia operacional.

14-13. AMPLIFICADORES OPERACIONALES MOS

Los Amp-Op Metal-Oxido-Semiconductor se emplean en aplicaciones integradas a gran o muy gran escala en las que funciones analógicas y digitales del circuito se cumplan en un mismo chip. Las aplicaciones típicas del Amp-Op MOS son los convertidores analógicos a digital (A/D) y digital a analógico (D/A) (Sec. 16-5) y los filtros activos (Sec. 16-16) empleados en el procesado de señales digitales. Actualmente no se dispone de Amp-Op MOS encapsulados ya que sus cualidades son en general inferiores a las de los circuitos bipolares. Sin embargo, estas cualidades inferiores son suficientes en muchas aplicaciones, y se tiene la ventaja de la gran densidad de componentes alcanzable con la tecnología MOS.

Circuitos NMOS

La estructura básica del Amp-Op NMOS representada en la Fig. 14-43 es un derivado de la de dos

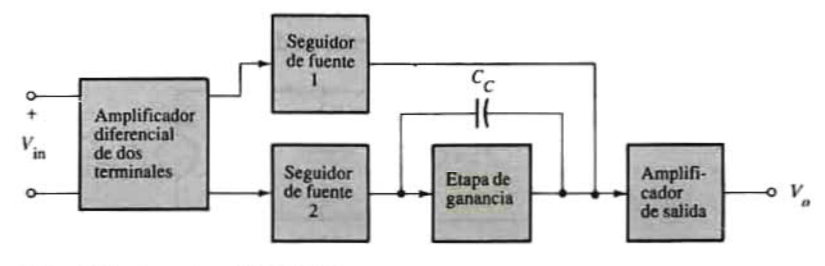


Figura 14-43. Disposición clásica de un Amp-Op NMOS.

etapas descrita en la Sec. 14-1. En parte, la modificación de la configuración del circuito es debida al hecho de no disponer de dispositivos complementarios. Por tanto no se pueden emplear en los Amp-Op bipolares circuitos análogos a la etapa de salida seguidora de emisor complementaria y a la carga activa *pnp*

La etapa diferencial de entrada de la Fig. 14-44 emplea como carga activa fuentes de corriente NMOS. Como puede verse en las Figs. 14-43 y 14-44, se tiene una salida diferencial, alimentando cada salida un seguidor de fuente. El desplazamiento de nivel es debido a los seguidores de fuente; las salidas de estas etapas forman la señal de entrada a las etapas de ganancia y de salida.

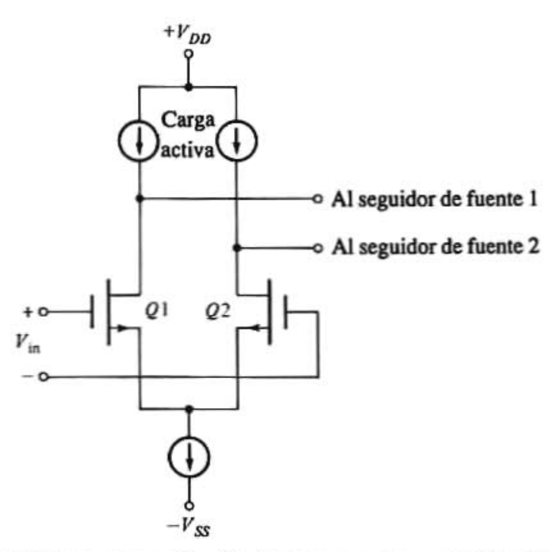


Figura 14-44. Una etapa diferencial NMOS con carga activa. Obsérvese que existe una doble salida excitando cada una de ellas el seguidor de fuente expuesto en la Fig. 14-43.

La ganancia de tensión que se puede conseguir con las etapas diferencial y de ganancia es poca, debido al reducido valor de g_m en un transistor NMOS (comparado con el de un BJT con la misma corriente de reposo). En consecuencia, la etapa de salida proporciona alguna ganancia de tensión, de forma que la ganancia en lazo abierto del Amp-Op resulta adecuada (de 1000 a 10.000). Obsérvese que estos valores son por lo menos 10 veces inferiores a los que se obtienen en circuitos BJT. La compensación la proporciona el condensador C_C (efecto Miller) conectado entre la salida y la entrada de la etapa de ganancia. La alimentación directa a través del seguidor de fuente 2 ayuda a la estabilización del amplificador e incrementa el margen de fase en forma muy parecida que en el Amp-Op de tres etapas (Sec. 14-11). Se necesita la alimentación directa para minimizar los efectos del desplazamiento de fase introducido por la etapa de ganancia en $s \approx g_m/C_C$. Debido al bajo valor de g_m el cero se localiza en las proximidades de la frecuencia de cruce de la ganancia; por tanto, no se puede despreciar su desplazamiento de fase. (Para g_m = 0,5 m℧ y C_C = 20 pF, la frecuencia del cero es de aproximadamente 4 MHz. Si el ancho de banda de ganancia unidad ha de ser de entre 1 a 5 MHz, evidentemente se deberá tener en cuenta el desplazamiento de fase del cero.)

Amp-Op CMOS

El inconveniente de la falta de dispositivos complementarios en tecnología NMOS se solventa empleando circuitos CMOS. La Fig. 14-45 muestra una forma simplificada de Amp-Op CMOS típico.

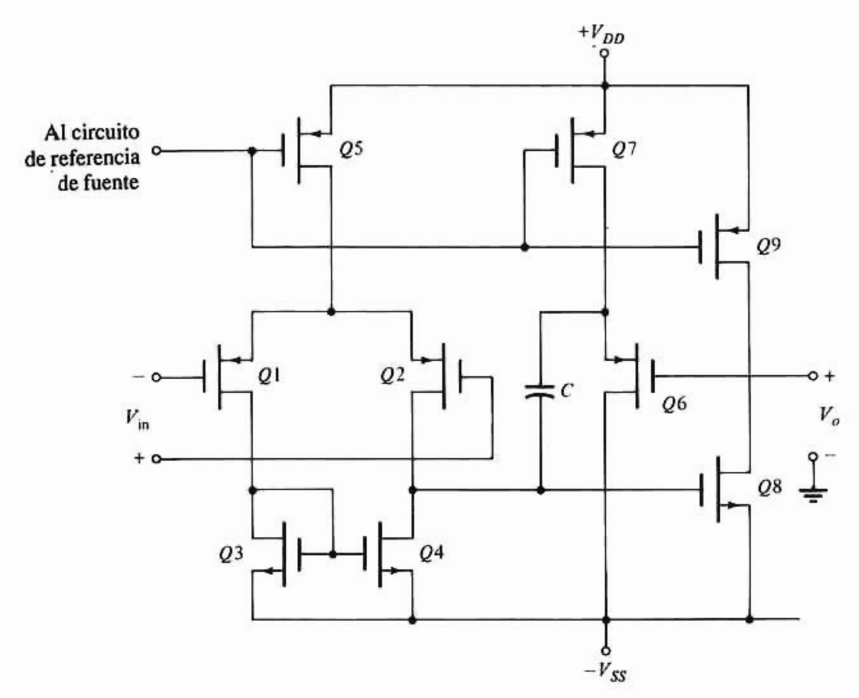


Figura 14-45. Circuito de Amp-Op CMOS de dos etapas. Obsérvese que la etapa de ganancia lo es también de salida. Puesto que la salida alimenta la entrada a otra etapa CMOS (supuesto), no es necesaria la baja resistencia de salida de un seguidor de fuente.

Tal como se ve en la figura, se emplea una simple estructura de dos etapas consistente en una etapa diferencial de entrada y otra de ganancia. Esta última sirve también de etapa de salida del Amp-Op.

Las fuentes de corriente I_1, I_2 e I_3 son fuentes PMOS similares a la de la Fig. 10-15. Los transistores *Q*1 y *Q*2 son los elementos activos de la etapa diferencial. La fuente de corriente NMOS formada por *Q*3 y *Q*4 sirve como carga activa de la etapa. La etapa de ganancia comprende *Q*5 y su carga activa suplida por la fuente de corriente I_3.

El amplificador se compensa con el condensador *C*. Este condensador se conecta a la salida por medio del seguidor de fuente (*Q*6 y su carga activa I_2). Puesto que la ganancia del seguidor de fuente es próxima a la unidad, *C* queda efectivamente conectado entre la salida y la entrada de la etapa de ganancia. Por tanto, en la salida de la etapa diferencial el efecto de *C* es el de capacidad de entrada Miller de la etapa de ganancia. Sin embargo, el efecto del seguidor de fuente es aislar *C* de la salida como representa la Fig.

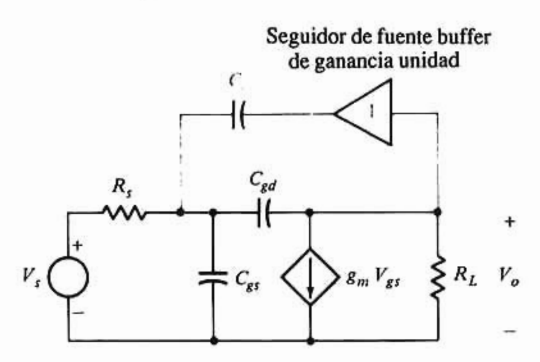


Figura 14-46. Circuito compensador para un Amp-Op MOS. El seguidor (buffer) de ganancia unidad permite la compensación por efecto Miller sin acompañar el movimiento del cero en la función de transferencia.

14-46. Debido a la naturaleza unilateral del seguidor de fuente (de ganancia unidad), el cero en la función de transferencia tiene lugar en $-g_m/C_{gd}$ en vez de $g_m/(C_{gs}+C)$. Puesto que $C>C_{gd}$ la frecuencia del cero está más allá de la frecuencia de cruce de la ganancia y el efecto del desplazamiento de fase introducido por el cero es mínimo.

La actuación del Amp-Op CMOS es comparable a la del Amp-Op NMOS. Los Amp-Op CMOS tienen una relación de rechazo del modo común algo inferior y un ritmo de variación algo superior que los de los circuitos NMOS. No obstante, la tecnología CMOS puede igualar el funcionamiento de los circuitos Amp-Op bipolares disponibles comercialmente.

La resistencia de salida de los Amp-Op tanto CMOS como NMOS es mayor que la que se obtiene en circuitos BJT. Esto es debido en primer lugar al hecho de que la salida de los Amp-Op MOS es la salida de la etapa de ganancia en fuente común en vez de la salida del seguidor de emisor en circuitos bipolares. Puesto que el principal uso de los Amp-Op MOS es el de excitar otros circuitos MOS de resistencia de entrada muy alta, la moderada resistencia de salida afecta muy poco sobre el funcionamiento..

REFERENCIAS

1 Grebene, A.B.: "Bipolar and MOS Analog Integrated Circuit Design," John Wiley and Sons, Nueva York, 1984.

2 Gray, P.R., y R.G. Meyer: "Analysis and Design of Analog Integrated Circuits," 2ª ed., John Wiley and Sons, Nueva York, 1984.

3 Soclof, S.: "Analog Integrated Circuits," Prentice- Hall, Englewood Cliffs, N.J., 1985.

4 Ghausi, M.S.: "Electronic Devices and Circuits: Discrete and Integrated," Holt, Nueva York, 1985

5 Hamilton, D.J., y W.G. Howard: "Basic Integrated Circuit Engineering," McGraw-Hill Book Company, Nueva York, 1975.

6 Sedra, A.S., y K.C. Smith: "Microelectronic Circuits," Holt, Nueva York, 1981.

7 Solomon, J.E.: The Monolithic Op-Amp: A Tutorial Study, *IEEE Journal of Solid-State Circuits*, vol. Sc-9, pp. 314-332, Diciembre 1974.

8 Gray, P.R., D.A. Hodges, y R.W. Broderson (eds.): "Analog MOS Integrated Circuits," IEEE Press, Nueva York, 1980.

9 Brokaw, A.P., y M.P. Timko: An Improved Monolithic Instrumentation Amplifier, *IEEE J. Solid-State Circuits*, vol. Sc-10, pp. 417-423, Diciembre 1975.

10 Roberge, J.K.: "Operational Amplifiers: Theory and Practice," John Wiley and Sons, Nueva York, 1975.

TEMAS DE REPASO

14-1. ¿Por qué es deseable que un Amp-Op tenga una elevada relación de rechazo del modo común?
14-2. (*a*) Dibujar el diagrama de bloques de un Amp-Op de dos etapas.
(*b*) Explíquese la función de cada bloque.
14-3. (*a*) Esbozar el esquema del circuito de un par diferencial con carga activa.
(*b*) ¿Qué ventajas resultan del uso de una carga activa?

14-4. (*a*) ¿Qué es la resistencia de entrada diferencial de un par de emisor acoplado?
(*b*) ¿Cómo depende esta resistencia de la corriente de reposo?

14-5. Indicar dos métodos mediante los que se pueden obtener resistencias de entrada del Amp-Op muy altas.

14-6. (*a*) Mostrar dos formas de circuitos de desplazamiento de nivel usando un seguidor de emisor.
(*b*) ¿Cuál es la expresión del desplazamiento en cada circuito?

14-7. Dibujar el circuito de un multiplicador V_{BE} y explicar su funcionamiento.

14-8. ¿Por qué se emplea un seguidor de emisor complementario como etapa de salida?

14-9. (*a*) Dibujar un circuito seguidor de emisor complementario simple.
(*b*) Explicar por qué este circuito acusa distorsión de cruce.
(*c*) ¿Cómo se puede modificar el circuito del apartado *a* para suprimir la distorsión?

14-10. Definir: (*a*) corriente de polarización de entrada, (*b*) corriente offset de entrada (*c*) tensión offset de entrada (*d*) tensión offset de salida y (*e*) variación de la tensión offset de entrada.

14-11. ¿Cuáles son las ventajas e inconvenientes relativos a la compensación interna y a la adaptada?

14-12. ¿Por qué se emplea la compensación por el efecto Miller para compensar un Amp-Op?

14-13. Mostrar dos circuitos que permitan la cancelación de polo-cero.

14-14. (*a*) ¿Qué se entiende por compensación polo-cero?
(*b*) ¿Cuáles son las ventajas e inconvenientes de esta técnica?

14-15. (*a*) Definir el ritmo de variación de la tensión offset de entrada.
(*b*) ¿Cómo limita éste la respuesta de un Amp-Op?

14-16. Describir cómo se puede mejorar el ritmo de variación de un Amp-Op.

14-17. Esbozar el diagrama de bloques de un Amp-Op con estructura de tres etapas.

14-18. Explicar por qué muchos Amp-Op de tres etapas tienen dos circuitos de realimentación y uno de alimentación directa.

14-19. ¿Cuáles son las ventajas e inconvenientes de una estructura de tres etapas?

14-20. Repetir el Tema anterior para una estructura de una sola etapa.

14-21. (*a*) Dibujar el esquema de circuito de un amplificador de instrumentación simple.
(*b*) Escribir una fórmula de la tensión de salida de este circuito en función de la tensión de entrada y de las resistencias del circuito.

14-22. Compárese la composición y funcionamiento de un Amp-Op monolítico con el del Tema 14-21*a*.

14-23. (*a*) ¿Qué se entiende por amplificador operacional de transconductancia?
(*b*) ¿Cómo se controla el funcionamiento de este amplificador?

14-24. (*a*) Esbozar la estructura de un Amp-Op NMOS.
(*b*) Cítense tres razones por las que se emplea esta estructura.

14-25. Repetir el Tema anterior para un Amp-Op CMOS.

14-26. ¿Qué se entiende por amplificador BIMOS o BIFET?

CUARTA PARTE

Procesado de señales y adquisición de datos

La transmisión, recepción y procesado de la información en forma de señales eléctricas constituyen la base de los sistemas electrónicos modernos para el control, comunicación y cálculo. Muchos de estos sistemas emplean señales tanto analógicas como digitales para desarrollar sus funciones. Evidentemente se necesita una variedad de formas de onda distintas de señal. Además, la forma de estas señales (amplitud, fase, frecuencia, duración, tiempo de subida, etc.) debe ser apropiada a su aplicación específica para tener un procesado efectivo. En los dos capítulos de esta parte del libro trataremos un cierto número de circuitos empleados en la generación y procesado de señales. El Capítulo 15 trata de la generación y conformación de ondas. Incluye oscilaciones senoidales, generadores de reloj (onda cuadrada) y generadores de la base de tiempos. En el segundo capítulo de esta parte se describirán los convertidores de datos analógicos a digitales (A/D) y de digitales a analógicos (D/A). Además se comentarán circuitos de acondicionamiento de señales tales como los amplificadores logarítmicos, integradores, multiplicadores, y filtros activos. Los circuitos tratados en esta sección utilizan los bloques constructivos básicos (puertas lógicas, Amp-Op, conmutadores, etc.) descritos en las anteriores partes del libro.

15

Generación y conformación de ondas

Existen tres formas básicas de ondas ampliamente utilizadas, que son: la senoidal (generación de frecuencias), la onda cuadrada (función reloj) y la en rampa (generación en una base de tiempo). En este capítulo veremos los osciladores, multivibradores y circuitos en dientes de sierra empleados en la generación de tales formas de onda.

Se introduce el comparador como bloque constructivo básico y el disparador Schmitt (comparador regenerativo) que se emplea para generar una variedad de formas de onda.

15-1. OSCILADORES SENOIDALES

En la Sección 13-2 vimos que si se introducía suficiente desplazamiento de fase en el lazo de realimentación cuando la ganancia del lazo era mayor que la unidad, el amplificador realimentado perdía la estabilidad, es decir, oscilaba. Bajo estas circunstancias los polos en lazo cerrado pasaban al semi-plano derecho no necesitándose ninguna excitación para producir una salida. Si los polos en lazo cerrado se pueden situar sobre el eje *j*, la respuesta natural del sistema es una senoide cuya frecuencia es la del polo. Esta idea constituye la base de los circuitos osciladores senoidales. Es decir, un oscilador senoidal es un amplificador realimentado diseñado para que tenga polos en lazo cerrado, sobre el eje *j*, a una frecuencia igual a la de salida deseada.

Para aclarar el concepto de oscilador consideremos el gráfico del recorrido de la señal de la Fig. 15-1*a*. Este gráfico es el básico de un amplificador realimentado de un sólo lazo (Sec. 12-3) antes de cerrar el lazo (la conexión entre X_c, la salida de la red suma, y $\hat{X}_c$, la entrada a la red amplificadora está abierta). Si $X_s = 0$ el gráfico del sistema será el de la Fig. 15-1*b*. Apliquemos ahora una señal $X_i = \hat{X}_c$ directamente al amplificador. A consecuencia de esta señal la salida del amplificador será $X_o = t_{12}\hat{X}_c$. La salida de la red de realimentación es $X_i = t_{12}X_o = t_{12}t_{22}\hat{X}_c = -T\hat{X}_c$ siendo T la relación de retorno del amplificador. Supongamos que las cosas se ajustan de forma que la señal X_c sea idéntica a la señal de entrada $\hat{X}_c$ aplicada

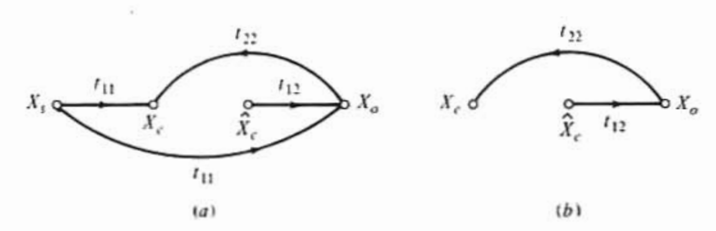


Figura 15-1. (*a*) Gráfica del recorrido de la señal en un amplificador de una etapa antes de cerrar el lazo. (*b*) El mismo sistema con una señal aplicada directamente al amplificador.

exteriormente. Puesto que el amplificador no tiene forma de distinguir la fuente de la señal de entrada aplicada, sucederá que si se elimina la fuente exterior y se conecta el punto X_c con el $\hat{X}_c$ el amplificador continuará dando la misma señal de salida X_o de antes. Obsérvese que, naturalmente, decir que $X_c = \hat{X}_c$ significa que los valores de X_0 y de $X_c = \hat{X}_c$ son exactamente iguales en cualquier momento. La condición $X_c = \hat{X}_c$ equivale a $-T = 1$; la *relación de retorno debe ser igual a menos uno.*

Criterio de Barkhausen

En una onda de salida senoidal, la relación $X_c = \hat{X}_c$ equivale a la condición de que *amplitud*, *fase* y *frecuencia* de X_c y de $\hat{X}_c$ deben ser idénticas. Por tanto, surge el importante principio siguiente: La frecuencia a la que funciona un oscilador senoidal es la frecuencia f_o para la que

$$\mathbf{T}(j2\pi f_o) = -1 \tag{15-1}$$

También puede expresarse la condición de oscilación senoidal como

$$T(j2\pi f_o) = 1 \qquad \angle\, T(j2\pi f_o) = -180° \tag{15-2}$$

o

$$\text{Parte real } \mathbf{T}(j2\pi f_o) = -1 \qquad \text{Parte imaginaria } \mathbf{T}(j2\pi f_o) = 0 \tag{15-3}$$

Las Ecs. (15-1) a (15-3) indican que para que un circuito sostenga la oscilación deben cumplirse dos condiciones:

1. El desplazamiento de fase a través del amplificador y de la red de realimentación debe ser de 360º (o $2\pi n$ radianes). Recuérdese que la definición de T incluye un signo menos, lo que equivale a un desplazamiento de fase de 180º.
2. Las ganancias del amplificador y de la red de realimentación deben ser iguales a la unidad.

A la condición de que $T(j\omega) = -1$ se le denomina *criterio de Barkhausen*. Esta condición es consistente con nuestro análisis de los amplificadores realimentados para los que $A_F = A_{OL}\,(1 + T)$. Con $T = -1$, A_F tiende a infinito, lo que puede interpretarse como que existe salida aún en ausencia de señal aplicada exteriormente. En el Cap. 13 se describieron técnicas de compensación para evitar oscilaciones y para asegurar que $T(j\omega) < 1$ cuando $\angle T(j\omega) = -180º$. Así, el criterio de Barkhausen es equivalente a decir que tanto el margen de fase como el de ganancia son cero. En consecuencia, las frecuencias de cruce de fase y de ganancia son iguales. La frecuencia de oscilación es la frecuencia en la que $\Phi_M = 0$.

Consideraciones prácticas

Refiriéndonos a la Fig. 15-1 se ve que si $|T|$ a la frecuencia del oscilador es precisamente la unidad, entonces, con la señal de realimentación conectada a los terminales de entrada, la supresión del generador exterior no introduce diferencia alguna. Si $|T|$ es menor que la unidad (margen de ganancia positiva) la supresión del generador externo supone el cese de las oscilaciones. Pero supongamos ahora que $|T|$ es mayor que la unidad. Entonces, si por ejemplo aparece en los terminales de entrada una señal inicial de 1 V, después de una excursión por el lazo regresando a los terminales de entrada, aparecerá ahí con una amplitud superior a 1 V. Esta tensión mayor reaparecerá con tensión aún más alta, y así sucesivamente.

Parece pues, que si $|T|$ es mayor que la unidad, la amplitud de las oscilaciones irá creciendo sin límite. Pero naturalmente, este crecimiento puede proseguir únicamente mientras no se vea limitado por el funcionamiento no lineal de los elementos relacionados con el amplificador. Esta no linealidad se hace más evidente a medida que crece la amplitud. La influencia de la no linealidad para limitar la amplitud de las oscilaciones es esencial en el funcionamiento de todos los osciladores prácticos como veremos seguidamente. La condición de que $|T| = 1$ no supone una zona de valores aceptables de $|T|$ sino más bien un solo y preciso valor. Supongamos ahora que inicialmente fuese posible satisfacer esa condición. Luego, debido a los cambios de características de los componentes del circuito, y especialmente de los transistores, debidos al envejecimiento, temperatura, tensión, etc., si se deja el oscilador a sí mismo, en muy poco tiempo, $|T|$ pasará a ser, o bien más pequeño o más grande de uno: en el primer caso, simplemente se parará la oscilación, y en el segundo, volvemos a estar en el caso de tenernos que valer de la no linealidad para limitar la amplitud. Un oscilador en el que la ganancia del lazo sea exactamente la unidad es una utopía completamente irrealizable en la práctica. Por tanto es necesario, al ajustar un oscilador práctico, arreglarse para tener un $|T|$ algo mayor que la unidad (por ej. 5 %) a fin de asegurarse de que por una variación incidental de los parámetros del circuito no caiga $|T|$ por debajo de la unidad. Mientras que los dos principios citados antes deben satisfacerse por consideraciones puramente teóricas, se puede añadir un tercer principio general dictado por consideraciones prácticas, y que es: *En todo oscilador práctico la ganancia del lazo es ligeramente mayor que la unidad, estando limitada la amplitud de oscilación por el inicio de la no linealidad.*

15-2. OSCILADOR DE CAMBIO DE FASE

Hemos elegido el oscilador de cambio de fase (Fig. 15-2) como primer ejemplo por constituir un ejemplo muy sencillo de los principios antes citados. Un amplificador JFET de componentes discretos seguido de tres células en cascada formadas por un condensador C y una resistencia R, con la salida de la última combinación RC reenviada a la puerta. Si se puede despreciar la carga de la red cambiadora de fase, o sea si $R \gg R_L$, el amplificador desfasa 180º cualquier tensión que aparezca en la puerta, y la red de resistencias y capacidades introduce un desfase adicional. A una frecuencia determinada, el desfase introducido por la red RC es precisamente de 180º, y a esta frecuencia el desfase total desde la puerta alrededor del circuito y retorno a la puerta es exactamente cero. Esta frecuencia en particular es a la que el circuito oscilará suponiendo que la magnitud de la amplificación sea suficientemente grande.

La determinación de $T(j\omega)$ por el método descrito en la Sec. 12-7 (Prob. 15-1) da

$$\mathbf{T}(j\omega_N) = \frac{jg_m R_L \omega_N^3}{(1 - 6\omega_N^2) + j\omega_N(5 - \omega_N^2)} \tag{15-4}$$

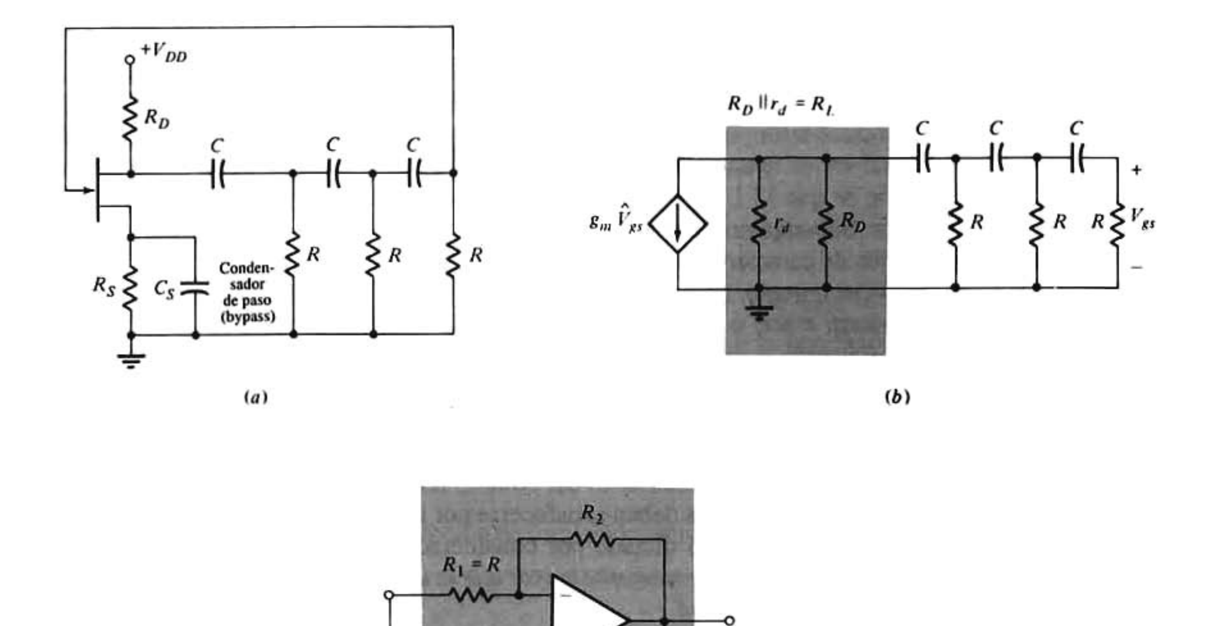
Siendo $\omega_N = \omega RC$. Aplicando la Ec. (15-3) resulta $\omega_N^2 = 1/6$, de donde la frecuencia de oscilación f_o es

$$f_o = \frac{1}{2\pi RC\sqrt{6}} \tag{15-5}$$

A $\omega_N = 1/\sqrt{6}$,

$$\mathbf{T}(j\omega_N) = \frac{jg_m R_L/6\sqrt{6}}{j(5 - \frac{1}{6})/\sqrt{6}}$$

de donde $g_m R_L = 29$. Para sostener la oscilación, la ganancia de la etapa amplificadora JFET debe ser de por lo menos 29.



(c)

Figura 15-2. Un oscilador de desplazamiento de fase JFET RC. (*b*) Su circuito equivalente. (*c*) Una versión Amp-Op del oscilador de desplazamiento de fase.

Si se incluye el efecto de carga de la red cambiadora de fase *RC* (Prob. 15-3) disminuye la frecuencia de oscilación y debe aumentarse la ganancia de la etapa JFET.

El FET de la Fig. 15-2*a* puede sustituirse por un Amp-Op como en la Fig. 15-2*c*. Debido a la tierra virtual, la resistencia entre el nudo de entrada *P* y tierra es $R_1 = R$ y por tanto la red de la Fig. 15-2*c* es idéntica a la de la Fig. 15-2*a*. Por consiguiente, la frecuencia de oscilación viene dada por la Ec. (15-5). Puesto que la ganancia del Amp-Op es $A_V = -R_1/R$ y $|A_V|$ debe ser de por lo menos 29, R_2/R deberá ser mayor que 29 (aprox. 5 %).

Es posible sustituir el Amp-Op de la Fig. 15-2*c* por una etapa única a transistor con $R_2 = \infty$ y $R_1 = R - R_i$ (Prob. 15-4).

Hay que observar que no siempre es necesario emplear un amplificador con ganancia de transferencia $|A| > 1$ para satisfacer el criterio de Barkhausen. Sólo es necesario que $|T| > 1$. Existen estructuras de redes pasivas en las que la función de transferencia de la red de realimentación es mayor que la unidad en alguna frecuencia particular. En el Prob. 15-6 veremos un circuito oscilador formado por un seguidor de fuente y el circuito *RC* de la Fig. 15-2 convenientemente conectados.

Funcionamiento a frecuencia variable

Un oscilador de cambio de fase es particularmente adecuado para un campo de frecuencias desde unos cuantos hertz hasta varios centenares de kilohertz incluyendo el campo de frecuencias audibles. La frecuencia de oscilación se puede variar cambiando cualquiera de los elementos de impedancia de la red cambiadora de fase. Para variaciones que abarquen un campo de frecuencias muy amplio, normalmente se varían simultáneamente las tres capacidades. Tal variación conserva constante la impedancia de entrada de la red cambiadora de fase (Prob. 15-2) así como la magnitud de T. Por tanto, la amplitud de la oscilación no se ve afectada al ir ajustando la frecuencia. El oscilador de cambio de fase se hace funcionar en clase A para mantener la distorsión al mínimo.

Pueden emplearse dos cambiadores de fase activos en lugar de la red de realimentación pasiva de la Fig. 15-2*c* para tener un oscilador senoidal con salidas en cuadratura (ondas senoidales y cosenoidales).

15-3. OSCILADOR DE PUENTE DE WIEN

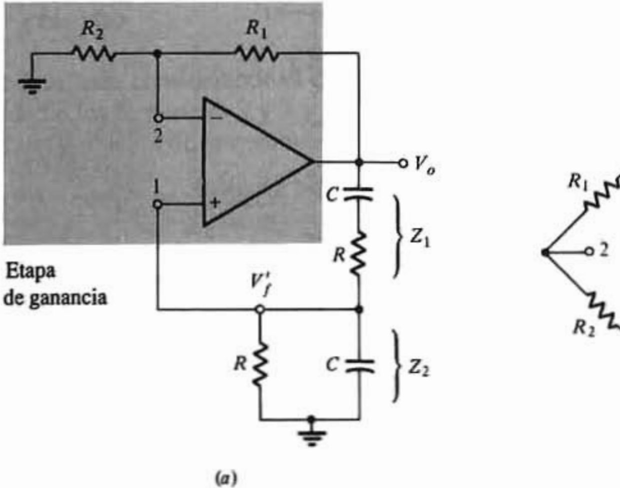
La Fig. 15-3*a* representa un oscilador de puente de Wien en el que la red de realimentación es un puente equilibrado. El puente se ve claramente en la Fig. 15-3*b*. Las cuatro ramas del puente son Z_1, Z_2, R_1 y R_2. La entrada al puente es la salida V_o del Amp-Op, y la salida del puente entre 1 y 2 proporciona la entrada diferencial del Amp-Op.

En la Fig. 15-3*a* existen dos vías de realimentación: la realimentación *positiva* a través de Z_1 y Z_2 cuyos componentes determinan la frecuencia de oscilación, y la realimentación *negativa* a través de R_1 y R_2 cuyos componentes afectan a la amplitud de oscilación y fijan la ganancia de la etapa del Amp-Op. La ganancia del lazo viene dada por

$$T(s) = -\left(1 + \frac{R_2}{R_1}\right)\frac{Z_2}{Z_1 + Z_2} \tag{15-6}$$

Con $Z_1 = (RCs + 1)/Cs$ y $Z_2 = R/(RCs + 1)$, la aplicación del criterio de Barkhausen da

$$f_o = \frac{1}{2\pi RC} \qquad \text{y} \qquad R_1 = 2R_2 \tag{15-7}$$



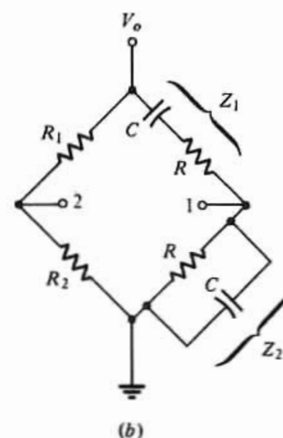


Figura 15-3. (*a*) Oscilador de puente de Wien, (*b*) red del puente.

Así, para mantener la oscilación, la ganancia de la etapa no inversora del Amp-Op es de 3 (o alrededor de un 5 % mayor que 3). La máxima frecuencia de oscilación está limitada por el ritmo de variación del amplificador. Para tener una variación continua de frecuencia se varían simultáneamente los dos condensadores (condensadores planos variables, al aire). Los cambios de campo de frecuencias se consiguen conmutando a distintos valores las dos resistencias idénticas R.

Estabilización de la amplitud

Consideremos una modificación del circuito de la Fig. 15-3 que sirve para estabilizar la amplitud frente a las variaciones debidas a fluctuaciones motivadas por el envejecimiento de transistores, componentes, etc. Una modificación consiste simplemente en sustituir la resistencia R_2 por un sensistor (una resistencia con coeficiente térmico positivo).

La amplitud de la oscilación viene determinada por la cuantía en que la ganancia del lazo sobrepasa la unidad. Si por cualquier motivo V_o aumenta, la corriente en R_2 crecerá y A disminuirá. El mecanismo de regulación introducido por el sensistor actúa cambiando automáticamente A con lo que la relación de retorno es más constante. La temperatura de R_2 se determina por el valor eficaz de la corriente que pasa por ella. Si varía el valor eficaz de la corriente, debido a la inercia térmica del sensistor, la temperatura se determinará por el valor medio del valor eficaz a lo largo de muchos ciclos. Hay que tener en cuenta que debido a la inercia térmica del sensistor, su resistencia durante un solo ciclo es muy aproximadamente constante. Por tanto, a cualquier amplitud fijada de la oscilación, el sensistor actúa enteramente como una resistencia lineal ordinaria.

También se puede usar un termistor que tiene un coeficiente de temperatura negativo, pero sustituyendo a R_1 en lugar de R_2.

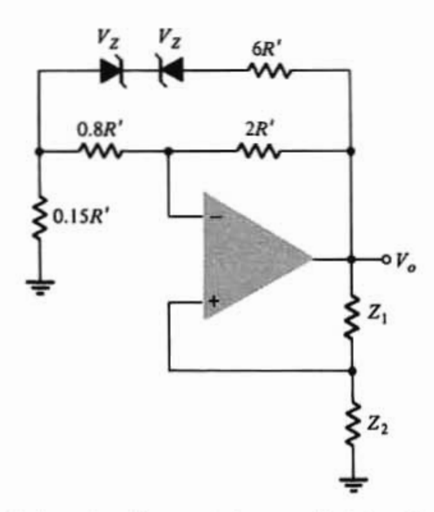


Figura 15-4. Diodos Zener para controlar automáticamente la ganancia del oscilador y por tanto estabilizar la amplitud de la senoide.

La Fig. 15-4 indica otro procedimiento para estabilizar la amplitud. Inicialmente los dos diodos Zener no conducen y la ganancia es

$$\frac{1}{3}\left(1 + \frac{R_1}{R_2}\right) = \frac{1}{3}\left(1 + \frac{2R'}{0.15R' + 0.8R'}\right) = 1.04 > 1$$

y por tanto se inician las oscilaciones. Como la ganancia del lazo es superior a la unidad va creciendo la amplitud de las oscilaciones hasta tanto su valor de pico supere la tensión de ruptura V_Z de los diodos. Cuando esto sucede, la acción en paralelo de la resistencia $6R'$ reduce la ganancia y limita la amplitud en aproximadamente V_Z. Con este circuito se puede reducir la distorsión a aproximadamente el 0,5 %.

Los dos métodos de estabilización descritos constituyen ejemplos de control automático de ganancia. También se puede emplear un lazo activo de control con un FET como resistencia de tensión controlada.

15-4. FORMA GENERAL DE UN CIRCUITO OSCILADOR

Muchos circuitos osciladores quedan comprendidos en la forma general representada en la Fig. 15-5*a*. En el análisis que sigue supondremos un elemento activo con resistencia de entrada sumamente elevada como es un Amp-Op o un FET. La Fig. 15-5*b* representa el circuito equivalente lineal de la Fig. 15-5*a* empleando un amplificador con ganancia negativa en circuito abierto $-A_v$ y una resistencia de Salida R_o. Evidentemente la topología de la Fig. 15-5 corresponde a una realimentación paralelo-serie.

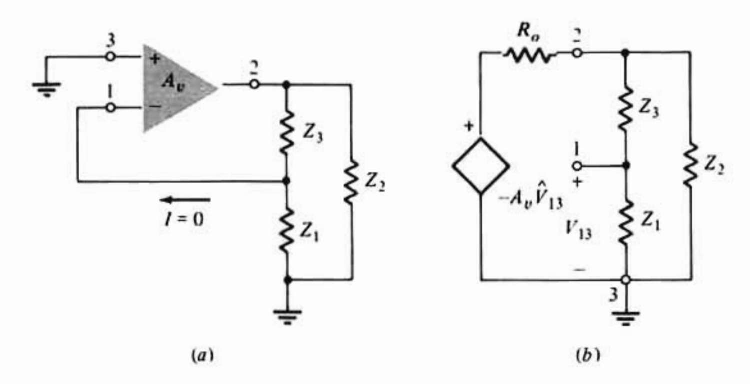


Figura 15-5. (*a*) Forma general de un circuito oscilante, (*b*) su circuito equivalente.

Relación de retorno

El valor de T se halla considerando el circuito de la Fig. 15-5*a* como amplificador realimentado con la salida tomada de los terminales 2 y 3 y terminales de entrada 1 y 3. La impedancia de carga Z_L está formada por Z_2 en paralelo con la combinación en serie de Z_1 y Z_3, con lo que

$$V_o = \frac{A_v\hat{V}_{13}Z_L}{Z_L + R_o} \qquad \text{y} \qquad V_{13} = \frac{Z_1}{Z_1 + Z_2}\, V_o \tag{15-8}$$

Combinando las relaciones de la Ec. (15-8) y sustituyendo Z_L resulta una relación de retorno

$$T = -\frac{V_{13}}{\hat{V}_{13}} = \frac{A_v Z_1 Z_2}{R_o(Z_1 + Z_2 + Z_3) + Z_2\,(Z_1 + Z_3)} \tag{15-9}$$

Osciladores sintonizables *LC*

Los osciladores descritos en las dos secciones anteriores son circuitos *RC* sintonizables. Es decir, que

la frecuencia de oscilación se determina por los valores de resistencias y capacidades empleados. Muchas veces la frecuencia obtenible con tales circuitos está limitada a unos pocos centenares de kilohertz. Si se necesitan frecuencias de oscilación más elevadas, tales como las empleadas en los receptores de amplitud y de frecuencia modulada, la sintonización se logra variando una capacidad o una inductancia. En la configuración de oscilador general de la Fig. 15-5, haciendo Z_1, Z_2 y Z_3 reactancias puras (ya sean inductivas o capacitivas) tendremos un oscilador sintonizable *LC*. Si hacemos $Z_1 = jX_1$, $Z_2 = jX_2$ y $Z_3 = jX_3$, siendo $X = \omega L$ para una inductancia y $-1/\omega C$ para una capacidad, la Ec. 15- 9) se convierte en

$$\mathbf{T} = \frac{+\,A_v X_1 X_2}{jR_o(X_1 + X_2 + X_3) - X_2(X_1 + X_3)} \tag{15-10}$$

Para que T sea real

$$X_1 + X_2 + X_3 = 0 \tag{15-11}$$

y

$$T = \frac{A_v X_1 X_2}{-X_2(X_1 + X_3)} = \frac{-A_v X_1}{X_1 + X_3} \tag{15-12}$$

En la Ec. (15-11) vemos que el circuito oscilará a la frecuencia de resonancia de la combinación de X_1, X_2 y X_3.

Aplicando la Ec. (15-11) a la (15-12) resulta

$$T = \frac{+A_v X_1}{X_2} \tag{15-13}$$

Como T ha de ser positiva y de valor por lo menos la unidad, X_1 y X_2 deben tener el mismo signo (A_v es positivo). En otras palabras, ambas reactancias deben ser de la misma clase: o las dos inductivas o las dos capacitivas. Entonces, según la Ec. (15-11), $X_3 = -(X_1 + X_2)$ debe ser inductiva si X_1 y X_2 son capacitivas, o viceversa.

Si X_1 y X_2 son condensadores y X_3 una inductancia, a este circuito se le denomina *Oscilador Colpitts* y si X_1 y X_2 son inductancias y X_3 un condensador, el circuito es un *Oscilador Hartley*. En este último caso puede darse un acoplamiento mutuo entre X_1 y X_2 (y en este caso no son aplicables las ecuaciones anteriores).

También son posibles versiones con transistores de los osciladores *LC* descritos anteriormente. A manera de ejemplo, se puede ver en la Fig. 15-6*a* un oscilador Colpitts de transistores. Cualitativamente este circuito opera en la forma ya descrita. No obstante, el análisis detallado de un circuito oscilador de transistores es más dificultoso por dos razones fundamentales: En primer lugar, la baja impedancia de entrada del transistor queda en paralelo con Z_1 de la Fig. 15-5*a* con lo que se complican las expresiones de la ganancia del lazo dadas más arriba. En segundo lugar, si la frecuencia de oscilación está sobre la zona audible, el modelo simple de baja frecuencia no resulta ya válido. En estas circunstancias debe emplearse el modelo híbrido-π de la Fig. 3-32. En la Fig. 15-6*b* está representado un oscilador Hartley de transistor.

15-5. OSCILADOR DE CRISTAL

Si un cristal piezoeléctrico, normalmente de cuarzo, tiene electrodos aplicados sobre sus caras opuestas y entre estos electrodos se aplica una tensión, se ejercerán fuerzas en las cargas del interior del cristal. Si el dispositivo está montado adecuadamente se producirán deformaciones en el cristal y se forma un sistema

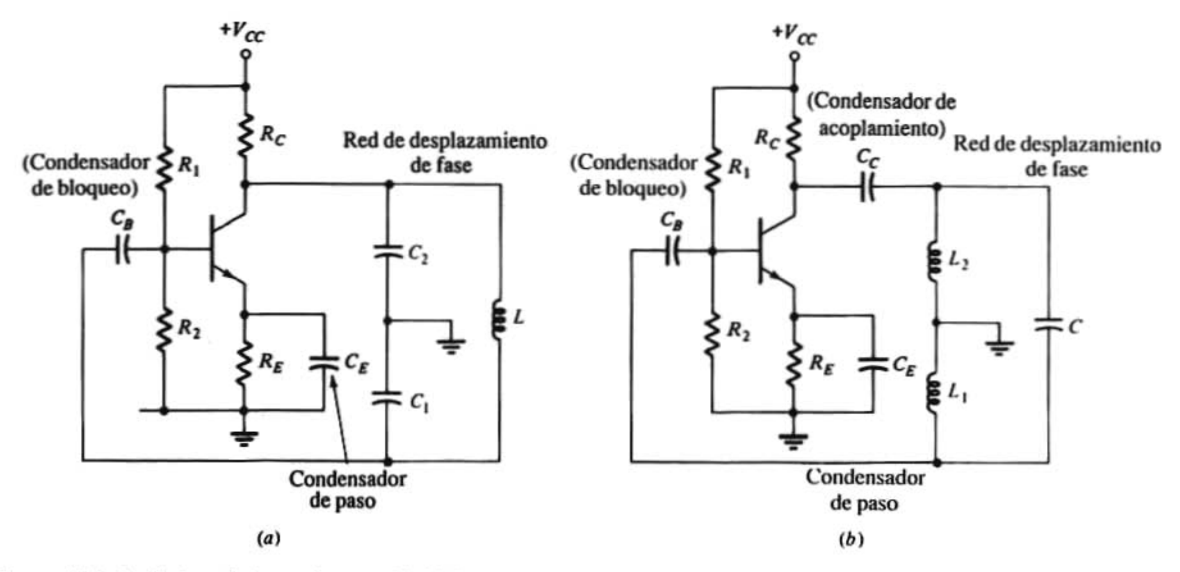


Figura 15-6. Osciladores inductancia-capacidad *LC*, (*a*) Colpitts, y (*b*) Hartley.

electro-mecánico que vibrará si se le excita oportunamente. La frecuencia de resonancia y la Q dependen de las dimensiones del cristal, de la orientación de las caras respecto a los ejes y de cómo esté montado el conjunto.

Existen en el mercado elementos para frecuencias desde unos pocos kilohertz hasta unos cuantos centenares de megahertz, y valores de Q desde varios millares hasta varios centenares de millares. Los valores extremadamente altos de Q y el hecho de que el cuarzo tenga características muy estables frente al tiempo y a la temperatura hace que los osciladores con cristales sean sumamente estables.

La Fig. 15-7 representa el circuito eléctrico equivalente de un cristal. La inductancia L, el condensador C y la resistencia R, representan respectivamente la masa, la deformación (inversa de la constante elástica) y el factor de amortiguamiento viscoso de un sistema mecánico. Los valores típicos para un cristal de 90 kHz son: $L = 137$ H, $C = 0{,}0235$ pF y $R = 15$ kΩ, correspondientes a un $Q = 5500$. Las dimensiones de tal cristal son $30 \times 4 \times 1{,}5$ mm. Puesto que C' representa la capacidad electrostática entre electrodos con el cristal como dieléctrico, su valor (~3,5 pF) es mucho mayor que C.

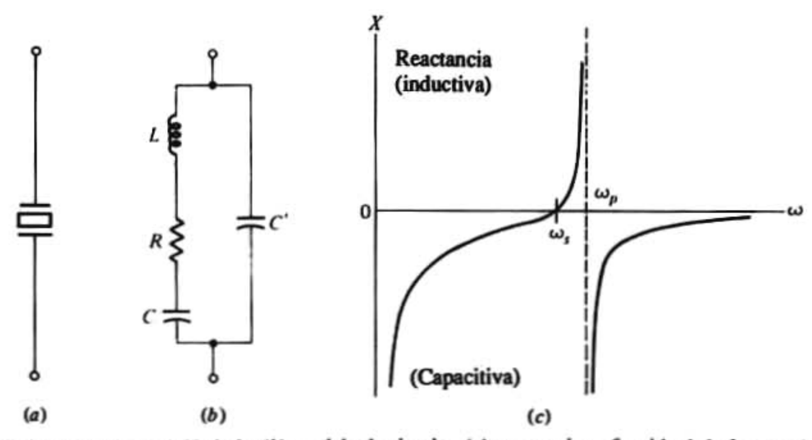


Figura 15-7. Cristal piezoeléctrico: (*a*) Símbolo, (*b*) modelo de circuito, (*c*) reactancia en función de la frecuencia, suponiendo R = 0.

Si despreciamos la resistencia R, la impedancia del cristal es una reactancia jX cuya dependencia respecto a la frecuencia es

$$jX = -\frac{j}{\omega C'}\frac{\omega^2 - \omega_s^2}{\omega^2 - \omega_p^2} \qquad (15\text{-}14)$$

donde $\omega_s^2 = 1/LC$ es la frecuencia de resonancia en serie (frecuencia de impedancia cero) y $\omega_p^2 = (1/L)(1/C + 1/C')$ es la frecuencia de resonancia en paralelo (frecuencia de impedancia infinita). Como $C' \gg C$ entonces $\omega_p \approx \omega_s$. Para el cristal cuyos parámetros son los dados más arriba la frecuencia en paralelo es tan sólo un 0,3 % mayor que la en serie. Para $\omega_s < \omega < \omega_p$ la reactancia es inductiva, y fuera de este margen es capacitiva como indica la Fig. 15-7.

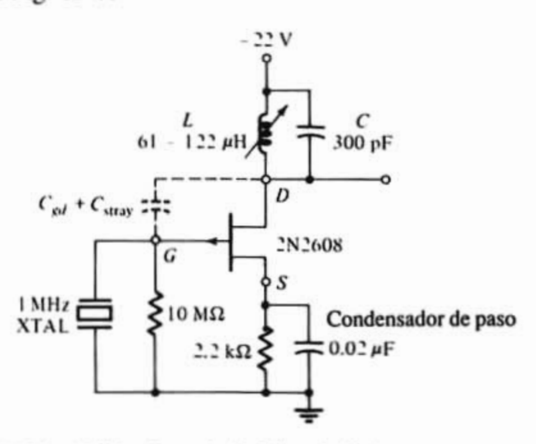


Figura 15-8. Oscilador de cristal FET de 1 MHz (*Cortesía de Siliconix Co.*).

Existe una variedad de circuitos osciladores de cristal. Si se emplea un cristal en lugar de Z_1 en la configuración básica de la Fig. 15-5*a*, una combinación sintonizada LC en lugar de Z_2 y la capacidad C_{gd} entre puerta y drenaje en lugar de Z_3, el circuito resultante es el de la Fig. 15-8. Por la teoría comentada en la sección precedente, la reactancia del cristal, así como la de la red LC deben ser inductivas. Para que la ganancia del lazo sea mayor que la unidad vemos que según la Ec. (15-13) X_1 no puede ser demasiado pequeño. Por tanto, el circuito puede oscilar a una frecuencia comprendida entre ω_s y ω_p pero próxima al valor de la resonancia en paralelo. Puesto que $\omega_p \approx \omega_s$ la frecuencia del oscilador está fundamentalmente determinada por el cristal y no por el resto del circuito.

15-6. MULTIVIBRADORES

Los osciladores descritos en las secciones anteriores forman parte de la clase de *circuitos regenerativos*. Observamos que a la frecuencia de oscilación, los osciladores senoidales son amplificadores con realimentación positiva. Los multivibradores forman otro importante grupo de circuitos regenerativos muy empleados en aplicaciones de temporización. Los multivibradores se clasifican en: (1) circuitos biestables, (2) circuitos monoestables, o (3) circuitos astables.

Los biestables y flip-flop descritos en las secciones 7-1 a 7-3 pueden considerarse todos ellos como *multivibradores biestables*. En la Sec. 15-11 describiremos el comparador regenerativo (disparador Schmitt) que es otro circuito biestable. Una cualidad importante de un circuito biestable es que mantiene un estado de salida dado (nivel) salvo que se le aplique una señal externa (disparo). Una señal externa apropiada provoca un cambio de estado, y este nivel de salida se mantiene indefinidamente salvo que se

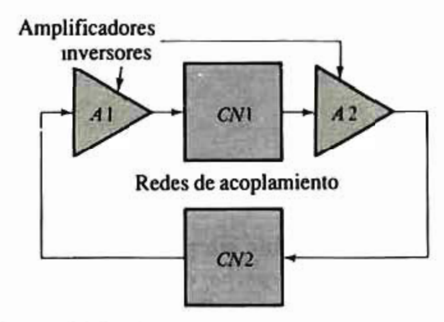


Figura 15-9. Diagrama de bloques de un multivibrador.

le aplique una segunda señal. Así, un circuito biestable necesita dos disparos exteriores antes no vuelva a su estado inicial.

El multivibrador monoestable genera un solo impulso de duración especificada en respuesta a cada señal de disparo exterior. Como su nombre indica, sólo existe un estado estable. La aplicación de un disparo hace cambiar a un estado *casi-estable*. El circuito se mantiene en ese estado durante un lapso de tiempo fijado, transcurrido el cual vuelve a su estado primitivo. Efectivamente, se genera una señal de disparo interna que provoca la transición al estado estable. Normalmente, esta señal de disparo la provoca la carga y descarga de un condensador.

Los multivibradores astables tienen dos estados casi-estables (no estables) y las condiciones del circuito oscilan entre ellos. Obsérvese que no se necesita ninguna señal externa para producir los cambios de estado. El tiempo de permanencia en cada estado lo determinan los valores de los componentes. Debido a su oscilación entre estados, los circuitos astables se emplean para engendrar ondas cuadradas. Un control preciso del periodo de la onda cuadrada, frecuentemente mediante un cristal, permite usar tales circuitos como generadores de reloj en sistemas digitales.

La Fig. 15-9 muestra la configuración de un multivibrador común. Como se ve en esa figura, los dos amplificadores inversores *A*1 y *A*2 forman un amplificador con realimentación positiva. Frecuentemente, en lugar de los amplificadores se emplean puertas lógicas. Como ya se describió en la Sec. 6-2 la pendiente de la característica entre los estados lógicos es mayor que la unidad lo que indica que hay amplificación. La naturaleza de las redes de acoplamiento entre etapas determina el tipo de multivibrador. Cuando *CN*1 y *CN*2 son ambos resistivos existe un funcionamiento biestable. Una señal aplicada a *A*1 que produzca una transición se transmite a través de *CN*1 motivando el cambio de estado de *A*2. Una acción semejante en *CN*2 fuerza a *A*1 a permanecer en este nuevo estado hasta la aplicación de un nuevo disparo.

Sin embargo, si *CN*1 o *CN*2 o ambos contienen condensadores en serie, no se pueden transmitir indefinidamente señales en continua. Puesto que la tensión del condensador no puede cambiar instantáneamente, las transiciones en *A*1 (o *A*2) se transmiten durante un pequeño intervalo. La acción de la carga (o descarga) de los condensadores como consecuencia de la transición inicial engendra un «disparo» interno haciendo que las condiciones del circuito retornen a su estado inicial. Los circuitos monoestables

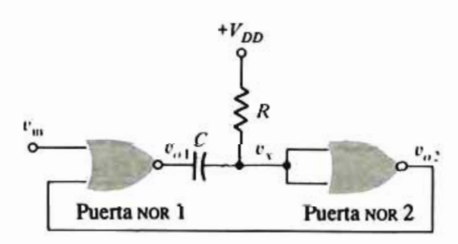


Figura 15-10. Multivibrador monoestable empleando puertas NOR.

emplean una de tales redes de acoplamiento, mientras que tanto *CN*1 como *CN*2 son capacitivos en los multivibradores astables.

Multivibradores monoestables

En la Fig. 15-10 vemos un circuito monoestable simple que emplea puertas NOR CMOS de lógica positiva como elemento de amplificación. Obsérvese que el acoplamiento entre las puertas NOR 1 y 2 es capacitivo y entre las puertas 2 y 1 es resistivo ($R = 0$). Supongamos que las puertas NOR tengan $V(1) = V_{DD}$, $V(0) = 0$, y que $V_T > 0$ es la tensión umbral del transistor NMOS. Además supondremos para mayor sencillez que la transición entre estados en las puertas es instantánea; o sea, que la velocidad de conmutación de las puertas NOR es pequeña comparada con la duración del impulso de salida deseado.

Consideremos que la señal de disparo v_{in} es como la de la Fig. 15-11*a*. Para $t < 0$ no existe corriente en R y $v_x = V_{DD} = V(1)$. En consecuencia, la salida de la puerta NOR 2 conectada como inversora es $v_{02} = V(0) = 0$. Con ambas entradas a la puerta NOR 1 en $V(0)$ su tensión de salida es $v_{01} = V(1) = V_{DD}$, y por tanto la tensión v_C del condensador es

$$v_C = v_{o1} - v_x \qquad \text{y} \qquad v_C = V_{DD} - V_{DD} = 0 \tag{15-15}$$

La aplicación en el instante $t = 0$ de la señal de disparo $v_{in} > V_T$ provoca una transición en la puerta NOR 1, y v_{01} pasa a ser $V(0) = 0$ como en la Fig. 15-11*b*. Puesto que v_C no puede cambiar instantáneamente [$v_C(0^+) = 0$], de la Ec. (15-15) se deduce que $v_x(0^+) = 0$. La aplicación de $V(0)$ a la entrada de la puerta 2 hace que $v_{02}(0^+) = V_{DD}$ (Fig. 15-11*c*). En consecuencia, $V(1)$ se transmite a la entrada de la puerta NOR y mantiene $v_{01} = 0$. La tensión del condensador v_C tiende a cargar a $-V_{DD}$ a través de la resistencia R como en la Fig. 15-12*a*. Por tanto, v_x tiende a aumentar desde cero hacia V_{DD} (Fig. 15-11*d*) como indica la Ec. (15-16)



$$v_x(t) = V_{DD}\,(1 - \epsilon^{-t/RC}) \tag{15-16}$$

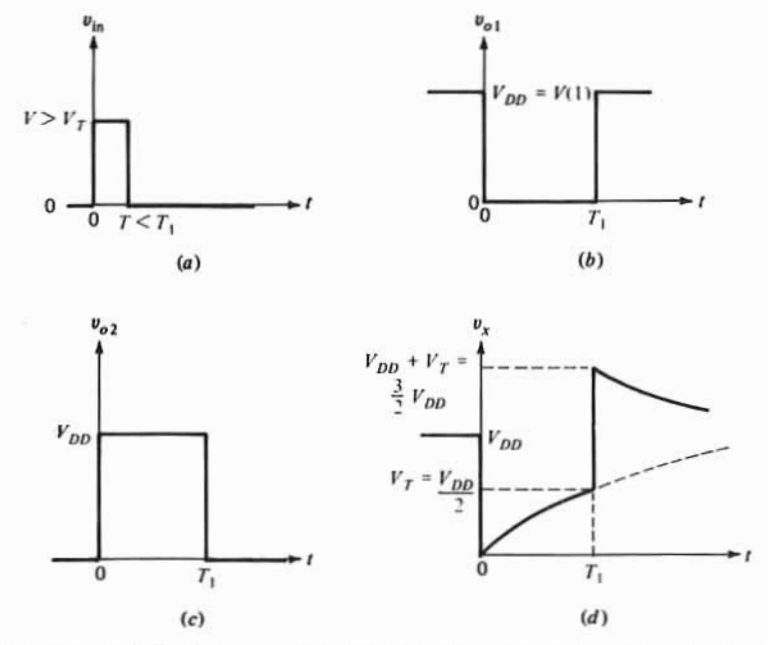


Figura 15-11. Formas de onda para el vibrador monoestable de la Fig. 15-10, (*a*) impulso de disparo, (*b*, *c*) tensión de salida de la puerta NOR, (*d*) tensión de entrada en la puerta NOR 2.

Cuando $v_x = V_T$, la puerta NOR 2 cambia de estado, $v_{02} = 0$ y se produce una transición de $V(0)$ a $V(1)$ en la puerta NOR 1. El instante T_1 en el que se realiza la transición se calcula por la Ec. (15-16) de la siguiente forma:

$$v_x(T_1) = V_T = V_{DD}\,(1 - \epsilon^{-T_1/RC}) \qquad \text{o} \qquad \epsilon^{-T_1/RC} = \frac{V_{DD} - V_T}{V_{DD}}$$

Tomando logaritmos de ambos miembros y despejando T_1 tendremos

$$T_1 = RC \ln \frac{V_{DD}}{V_{DD} - V_T} \tag{15-17}$$

Si $V_T = V_{DD}/2$ como es el caso en puertas CMOS, la Ec. (15-17) se reduce a

$$T_1 = RC \ln 2 \simeq 0.693RC \tag{15-18}$$

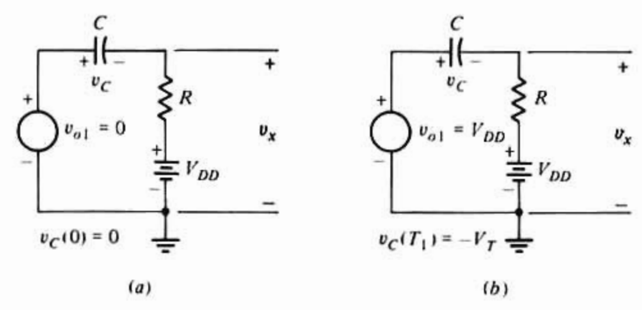


Figura 15-12. Circuito equivalente al de la Fig. 15-10. Con referencia a la Fig. 15-11; (*a*) $0 \le t \le T_1$, y (*b*) $t \ge T_1$.

Justamente antes de la transición en las puertas NOR, en el instante $t = T_1$, $v_c\,(T_1) = -V_T$. [Ec. 15-15)].
Justamente antes de la transición en las puertas NOR, en el instante $t = T_1$, $v_C\,(T_1) = -V_T$ [Ec. 15-15]. En $t = T^+_1$, $v_{01} = V_{DD}$ y para mantener $v_C\,(T^+_1) = -V_T$, $v_x\,(T^+_1) = -V_{DD} + V_T$. La tensión del condensador Fig. 15-11, se representan las formas de onda para varias tensiones, con la condición de que $V_T = V_{DD}/2$. Obsérvese que la descarga del condensador ($t > T_1$) tiene la misma constante de tiempo RC que durante el intervalo $0 \le t \le T_1$.

La tensión de entrada v_x a la puerta NOR 2 sube como indica la Fig. 15-11*d* hasta 3 $V_{DD}/2$ en el instante $t = T_1$. A veces este nivel de tensión es excesivo para los MOS de la puerta NOR. Para evitar esto se usa un diodo de fijación como se ve en la Fig. 15-13*a*. El diodo D está en circuito abierto durante la mayor parte del ciclo. Sin embargo mientras la puerta NOR 2 cambia en $t = T_1$, el diodo D conduce asegurando que v_x

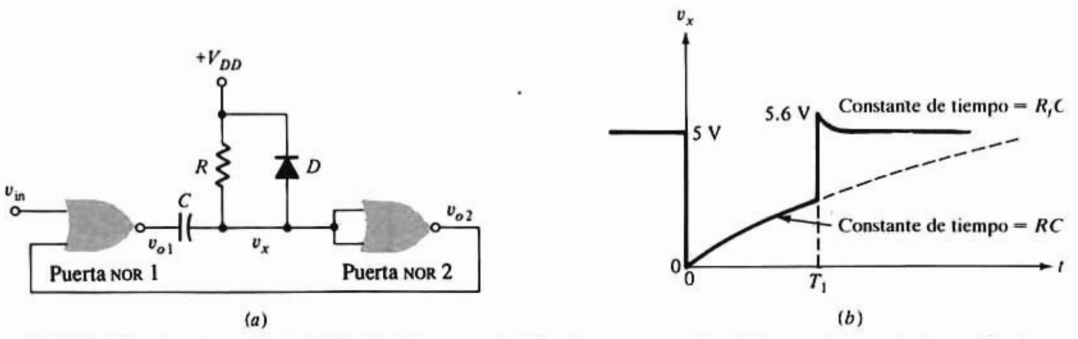


Figura 15-13. (*a*) Empleo de un diodo de fijación D en un multivibrador monoestable. (*b*) Forma de la onda de tensión de entrada a la puerta NOR 2. Obsérvese que el pico de tensión en t- T_1, es de 5,6 V. (V_{DD} = V del diodo) y no 3 $V_{DD}/2$ como en la Fig. 15- 11*d*.

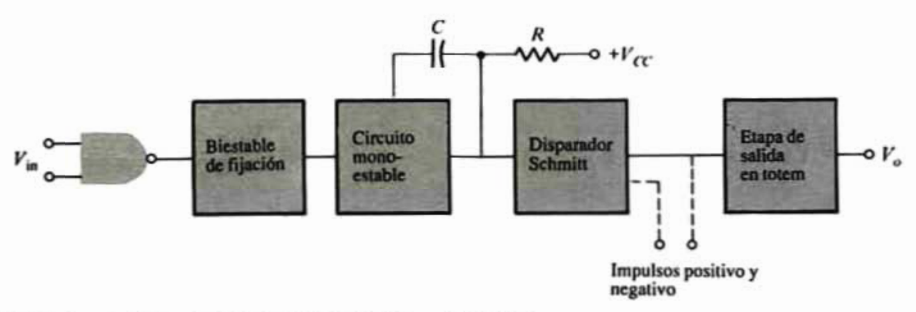


Figura 15-14. Diagrama de bloques de un multivibrador monoestable TTL.

no supere a V_{DD} en más de la tensión de disparo V_γ del propio diodo. En realidad, v_x es ligeramente superior a $V_{DD} + V_\gamma$ debido a la pequeña resistencia R_f del diodo. Puesto que $R_f \ll R$ su combinación en paralelo es aproximadamente igual a R_f. Así pues, la descarga del condensador desde $V_{DD} + V_\gamma$ hasta V_{DD} tiene una constante de tiempo igual a R_fC, por lo que tiene lugar rápidamente. En la Fig. 15-13*b* está representada la forma de la onda de v_x para $V_T = V_{DD}/2$ y $V_\gamma = 0{,}6$ V. .

Los multivibradores monoestables como el de la Fig. 15-10 se construyen en la práctica usando puertas CMOS comercializadas. Estando las puertas CMOS doblemente compensadas empleando un suministro a 5 V tendremos $V_T = V_{DD}/2 = 2{,}5$ V. Además, muchas puertas CMOS tienen las entradas protegidas por diodos para evitar que se apliquen tensiones excesivas. Por tanto, los diodos de fijación se fabrican en el chip. Los únicos elementos conectados exteriormente son los elementos de temporización R y C.

También pueden emplearse la familia básica TTL 54/74 de puertas lógicas para construir circuitos monoestables en un solo chip. La familia TI 9600 emplea de entrada una puerta NAND TTL y de salida una etapa normal en totem. Las etapas interiores comprenden la cascada de un biestable, el circuito monoestable y el disparador Schmitt (Sec. 15-9) como en la Fig. 15-14. Los cinco circuitos se fabrican en un solo chip. La duración del impulso se regula con la resistencia R y condensador C conectados exteriormente. Corrientemente $R \geq 5\,\text{k}\Omega$ y $C \geq 1000$ pF. Estos valores suponen un ancho de impulso mayor de 1 μs. Sin embargo, con menores valores de R y de C se puede reducir la duración del impulso hasta una magnitud del orden de 100 ns. Si se elimina la etapa en totem y se toma la salida del disparador Schmitt, podremos tener impulsos positivos y negativos (líneas de salida a trazos de la Fig. 15-4).

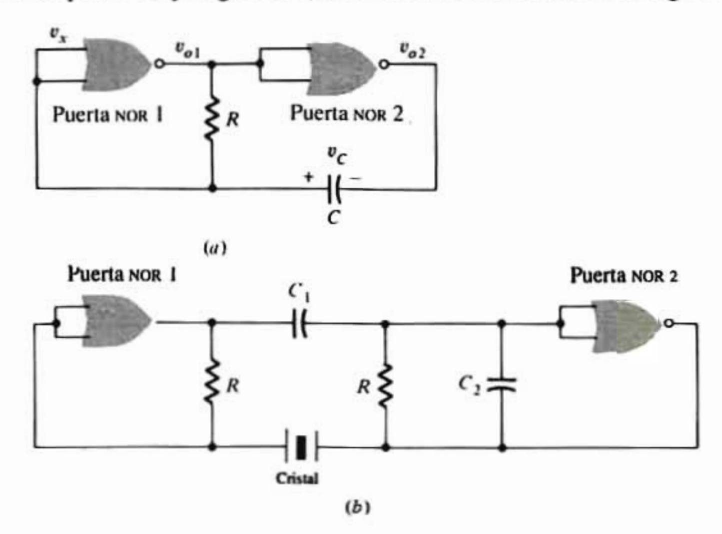


Figura 15-15. (*a*) Multivibrador estable de puerta NOR. Ambas puertas están conectadas como inversoras. (b) El cristal convierte el circuito anterior en un simple generador de reloj.

Multivibradores astables

El circuito de la Fig. 15-10 se puede modificar para formar un multivibrador astable como el de la Fig. 15-15*a*. Obsérvese que ambas puertas NOR se han conectado como inversoras. Supongamos que las puertas NOR tienen $V(0) = 0$ y $V(1) = V_{DD}$, la tensión de alimentación, y una tensión umbral $V_T = V_{DD}/2$. Consideremos que como en la Fig. 15-16 la puerta NOR 1 sufre una transición de $V(1)$ a $V(0)$ en el instante $t = 0$.

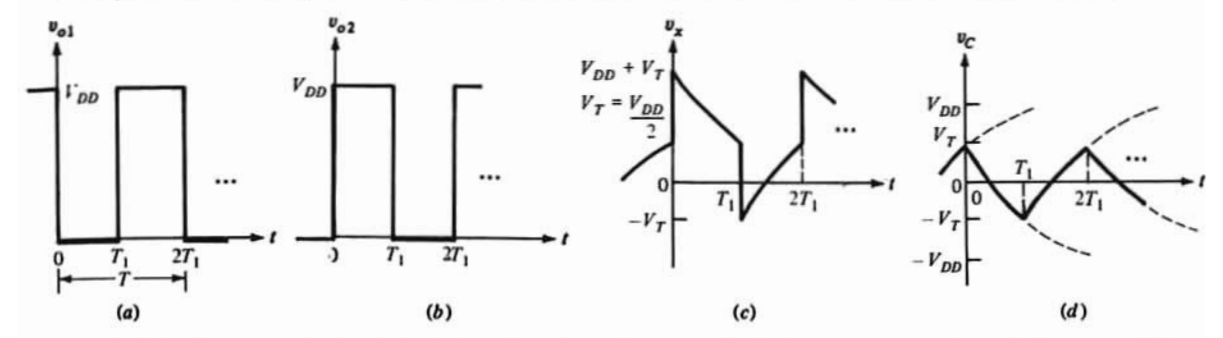


Figura 15-16. Ondas para el circuito de la Fig. 15-15; (*a*, *b*) tensiones de salida de las puertas NOR; (*c*) tensión de entrada de la puerta NOR 1; (*d*) tensión del condensador.

Así, en $t = 0^-$, $v_{01} = V_{DD}$ y $v_{02} = 0$. La tensión de entrada a la puerta NOR 1 es $v_x = V_T$, como es alrededor del cambio de estado. Puesto que $v_C = v_x - v_{02}$, $v_C(0^-) = V_T$. Cuando $t = 0^+$, inmediatamente después de que la puerta NOR 1 haya cambiado de estado, $v_{01}(0^+) = 0$, lo que hace que la puerta NOR 2 realice una transición haciendo que $v_{02}(0^+) = V_{DD}$, (sin embargo, el empleo del diodo de fijación limita v_x en $V_{DD} + V_T$). Con $v_{01} = 0$ y $V_{02} = V_{DD}$ el condensador se carga exponencialmente hacia V_{DD} con una constante de tiempo $\tau = RC$. (La tensión v_C tiende hacia $-V_{DD}$.) A medida que el condensador se va cargando v_x va tendiendo hacia cero. A $t = T_1$, $v_x = V_T$ y se corta la puerta 1, $v_{01} = V_{DD}$ hace que la puerta 2 haga una transición. La tensión de salida v_{02} de la puerta NOR 2 cae a cero, y para mantener v_C constante durante la conmutación, v_x decrece por V_{DD}. La tensión del condensador carga exponencialmente hacia $+V_{DD}$ ($v_{01} = V_{DD}$, y $v_{02} = 0$) con una constante de tiempo $\tau = RC$. A medida que v_C tiende hacia V_{DD} lo mismo hace v_x, y en el instante $t = T_2$, $v_x = V_T$ completándose un ciclo. Este proceso se repite en cada ciclo como se indica en las ondas de la Fig. 15-16. La onda de salida cuadrada es simétrica teniendo cada una de las puertas una tensión de salida V_{DD} durante un semi-ciclo y $V(0)$ durante el otro. La Ec. (15-18) da el tiempo para la mitad del periodo T, es decir, $T = 2\,T_1 = 2\,RC \ln 2 = 1{,}39\,RC$. La frecuencia de oscilación $f_o = 1/T$ es

$$f_o = \frac{1}{T} = \frac{1}{1.39RC} = \frac{0.721}{RC} \tag{15-19}$$

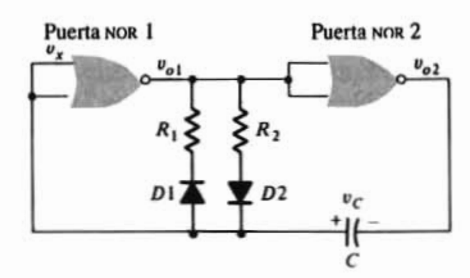


Figura 15-17. Circuito astable con diodos de fijación. Eligiendo distintos valores de resistencia ($R_1 \neq R_2$) se obtiene una onda de tensión de salida cuadrada asimétrica.

Se puede diseñar el circuito para que dé una onda cuadrada asimétrica, cambiando ya sea V_{DD} o V_T de forma que $V_T \neq V_{DD}/2$ (Prob. 15-25). También se emplea la combinación de resistencia y diodo de la Fig. 15-17 para generar una señal de salida asimétrica (Prob. 15-17). En este circuito los diodos gobiernan el curso de la carga: haciendo $R_1 \neq R_2$ se tiene una constante de tiempo diferente para cada periodo de transición resultando así una onda cuadrada asimétrica.

El circuito de la Fig. 15-15*a* se modifica como en la Fig. 15-15*b* para formar un generador simple de reloj en el que la frecuencia f_o del cristal gobierna con precisión el periodo de la onda cuadrada. El condensador C_2 se elige de forma que $2\pi C_2 R f_o \approx 1$ (es decir que la impedancia de $R \parallel sC_2$ tiene un polo en $s = -1/2\,\pi f_o$ y por tanto queda en circuito abierto para f_o). El condensador C_1 se elige para que con f_o tenga una reactancia despreciable. Así, a la frecuencia de oscilación, los circuitos de la Fig. 15-15*a* y 15-15*b* son idénticos si consideramos que en la primera el cristal sustituye a C. Los dos condensadores ayudan a suprimir los armónicos superiores dando una frecuencia de salida estable. Este simple generador del reloj puede trabajar a altas frecuencias (<30 MHz) si se emplean inversores CMOS serie 74HC o TTL serie 74LS o 74 ALS.

15-7. COMPARADORES

Los circuitos mono y astables vistos en la Sec. 15-6 se valen de la acción de conmutación gobernada por tensión de las puertas lógicas digitales CMOS. Es decir, el nivel de tensión de entrada determina el estado binario de la salida, $V(0)$ o $V(1)$. En las Sec. 3-12 y 10-15 vimos que el amplificador diferencial (par acoplado en emisor) mostraba una tensión de salida binaria para señales de entrada $|v_i| > 4\ V_T$. Funcionando de esta forma, el amplificador diferencial actua como comparador analógico lo que resulta útil en la generación de ondas.

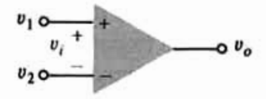


Figura 15-18. El Amp-Op operando en lazo abierto se convierte en un comparador.

Un *comparador analógico* o simplemente *comparador* tiene dos tensiones de entrada v_1 y v_2 y una salida v_o. Frecuentemente, una de las entradas (v_2) es una tensión de referencia constante V_R, y la otra es una señal variable con el tiempo. Recuérdese que esta disposición se emplea en la etapa de entrada de la puerta OR/NOR ECL descrita en la Sec. 6-14. El comparador ideal de la Fig. 15-18 con la característica de transferencia de la tensión de la Fig. 15-19*a* tiene una tensión de salida constante $v_o = V(0)$ si $v_1 - v_2 = v_i < 0$ y otra tensión constante distinta $v_o = V(1)$ si $v_i > 0$. Por tanto, si $v_2 = V_R$, una tensión de referencia, $v_o = V(0)$ cuando $v_1 < V_R$ y $v_o = V(1)$ cuando $v_1 > V_R$. Claramente, se *compara* la entrada con la referencia, y la salida queda en uno de los dos estados digitales: nivel 0 de tensión $V(0)$ y nivel 1 de $V(1)$. Se pueden conseguir tensiones $V(0)$ y $V(1)$ compatibles con niveles lógicos TTL, ECL o MOS. Puede disponerse también de otras tensiones limitadoras, tales como ± 10 V.

Como ya se ha indicado anteriormente, la característica de transferencia de un par diferencial se aproxima a la de un comparador ideal. El recorrido total de entrada entre los dos niveles extremos de salida es $\approx 8\ V_T = 200$ mV, que se puede reducir drásticamente conectando en cascada el amplificador diferencial con otras etapas de alta ganancia. Puesto que esta configuración corresponde a la topología del Amp-Op de la Fig. 14-1, puede emplearse un Amp-Op (lazo abierto) a manera de comparador. En la Fig. 15-19*b* se representa con trazo continuo una característica de transferencia típica de Amp-Op. Se observa que el

cambio del estado de salida tiene lugar con un incremento en la entrada Δv_i de tan sólo 2 mV. Obsérvese que la tensión offset de entrada aporta un error en el punto de comparación entre v_1 y V_R del orden de 1 mV. En algunas aplicaciones esta tensión offset puede ser excesiva y se hace necesario equilibrarla como en la Fig. 14-22.

Se han diseñado algunos Amp-Op para aplicar específicamente como comparadores de tensión *buffer*, en lugar de como Amp-Op. No estando previsto que un comparador se emplee con realimentación negativa, se puede prescindir de la compensación de frecuencia con lo que se tiene mayor ancho de banda y más velocidad. El término «buffer» indica que el comparador no carga la fuente de señal debido a su gran resistencia de entrada. Entre los muchos chips comparadores disponibles están los Fairchild µA710, el National LM 111, el Analog Devices AD604 y el Harris HA 2111.

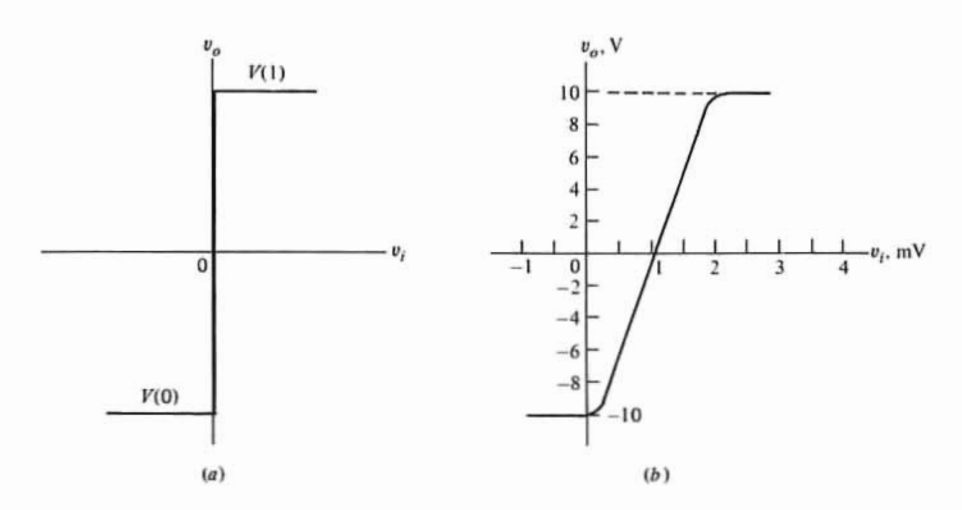


Figura 15-19. Característica de transferencia de un comparador: (*a*) ideal y (*b*) práctico (comercial).

La región ambigua Δv_i puede ser tan pequeña como 15 µV y el *tiempo de respuesta* (el tiempo necesario para que el comparador cambie de estado) puede ir de 20 a 200 ns. También existen encapsulados de dos o de cuatro comparadores independientes. Algunos chips han sido diseñados con una entrada inhibidora de forma que pueda quedar inhabilitado durante los transitorios de entrada.

Para tener tensiones de salida limitadas independientes de las tensiones de suministro de potencia se añade una resistencia R y dos diodos Zener en oposición para fijar la salida del comparador, tal como indica la Fig. 15-20*a*. El valor de la resistencia se elige de forma que los diodos de avalancha actúen a la corriente Zener recomendada. Las líneas de trazo continuo dan la salida v'_o a través de los diodos, mientras que las de trazo interrumpido representan la salida v_o del comparador. Si la señal de entrada se aplica al terminal no inversor y la referencia V_R al terminal inversor se obtiene un comparador no inversor. Si se intercambian las posiciones de v_i y v_R resulta la característica del comparador inversor. Las tensiones límites de v'_o son $V_{Z1} + V_D \equiv V_o$ y $-(V_{Z2} + V_D) \equiv -V_o$, donde V_D ($\approx$ 0,7 V) es la tensión directa de un diodo *pn*. El añadir los diodos Zener tiene la segunda ventaja de que la limitación puede ser mucho más definida para v'_o que para v_o, pero tiene el inconveniente de la pobre respuesta transitoria del diodo de avalancha.

Los comparadores se emplean mucho en circuitos del procesado de señales y de generación de ondas. Cada aplicación se vale de la facultad del comparador de detectar si una señal es mayor o menor que otra señal (o tensión de referencia). En este capítulo trataremos de los circuitos relacionados con la generación de formas de onda, y en el capítulo 16 trataremos de otras aplicaciones de procesado de señales.

15-8. FORMACIÓN DE ONDAS CUADRADAS A PARTIR DE UNA SENOIDE

El comparador da ondas de forma no lineal porque su salida no guarda ningún parecido con la onda de entrada. Se emplea frecuentemente para transformar una señal de variación lenta en el tiempo a otra de cambio abrupto. Uno de estos casos es la generación de onda cuadrada partiendo de una señal senoidal.

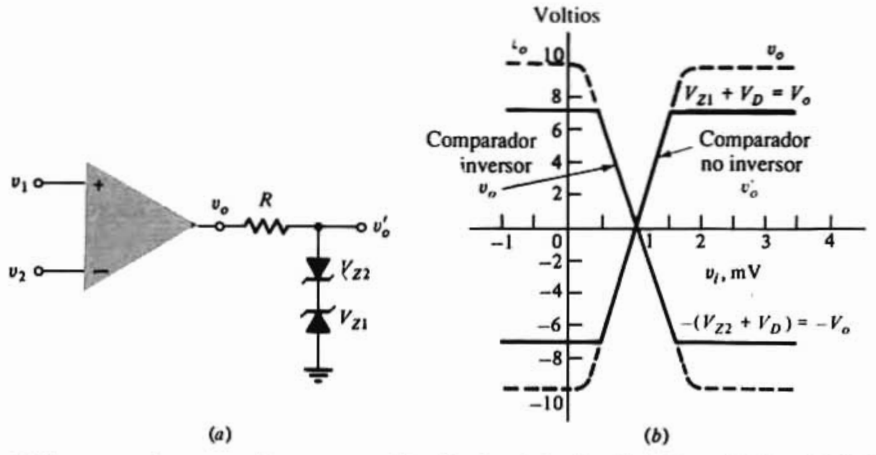


Figura 15-20. (*a*) Un comparador en cascada con una combinación de resistencia y diodo Zener. (*b*) Característica de transferencia de v_o y v'_o. Si $v_1 = v_i$ y $v_2 = V_R$, el comparador es no inversor. Se tiene un comparador inversor con $v_1 = V_R$ y $v_2 = v_i$.

Si se iguala V_R a cero, la salida cambiará de un estado al otro muy rápidamente (limitado sólo por el ritmo de variación) cada vez que la entrada pase por cero. Esta configuración se denomina *detector de cruce por cero*. Entre las muchas aplicaciones de este detector están las siguientes:

Si la entrada a un comparador es una onda senoidal, la salida es una onda cuadrada. Si se emplea un detector de cruce por cero (Fig. 15-21*a*) la onda cuadrada será simétrica (Fig. 15-21*c*). La forma ideal tiene los lados verticales, pero en realidad se extienden por una zona de una fracción de milivoltios de la tensión de entrada v_i.

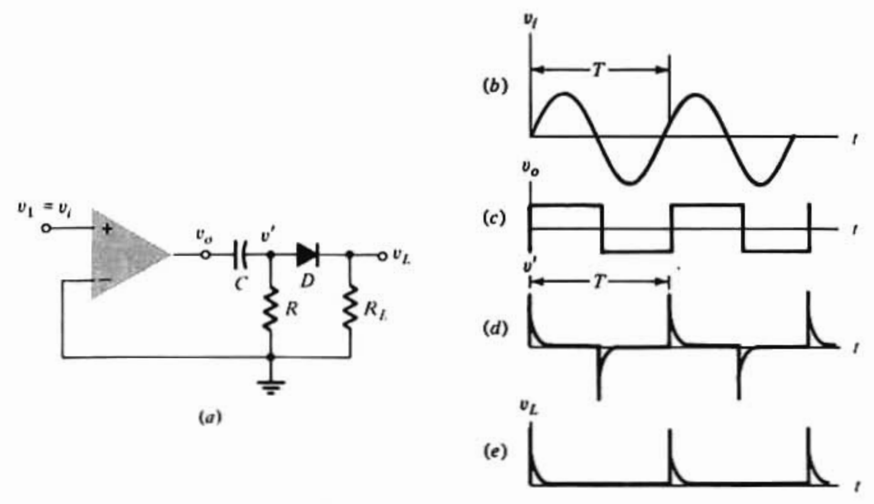


Figura 15-21. Un detector de paso por cero convierte una senoide v_i en una onda cuadrada v_o. Las ondas de impulsos v' y v_L resultan de alimentar con v_o un circuito de constante de tiempo RC reducida en cascada con un diodo limitador.

Señalador de tiempos a partir de una senoide

La salida v_o de la onda cuadrada de la aplicación anterior se aplica a la entrada de un circuito *RC* en serie (Fig. 15-21*a*). Si la constante de tiempo *RC* es muy pequeña comparada con el periodo *T* de la senoide de entrada, la tensión v' a través de *R* formará una serie de impulsos positivos y negativos como se ve en la Fig. 15-21. Si v' se aplica a un cortador con un diodo ideal (Fig. 15-21*a*) la tensión en la carga v_L sólo tendrá impulsos positivos (Fig. 15-21*e*). De esta forma la senoide se ha convertido en un tren de impulsos positivos cuya separación es *T*. Esto se puede usar para temporizar (por ejemplo en la tensión de barrido en un tubo de rayos catódicos).

Obsérvese que la formación de ondas conseguida por la configuración de la Fig. 15-21*a* es muy notable: una senoide convertida en onda cuadrada o en un tren de impulsos.

Unas puntas parásitas —positivas y negativas— denominadas *ruido* superpuestas a la señal de entrada en las proximidades de V_R puede «rechinar» (cambio de una a otra tensión binaria) varias veces antes de estabilizarse en su nivel correcto. Esta dificultad se puede evitar, reduciendo simultáneamente el tiempo de transición, si al comparador se le añade una *realimentación positiva* o *regeneración* como veremos en la próxima Sección.

15-9. COMPARADOR REGENERATIVO (DISPARADOR SCHMITT)

La característica de transferencia de la Fig. 15-20*b* acusa una variación en la salida de -7 a +7 V con un recorrido de entrada de aproximadamente 1,0 mV. Por tanto, la ganancia es de 14.000, que se puede aumentar grandemente empleando realimentación positiva. En consecuencia, la variación total de la salida tiene lugar en un intervalo de tiempo durante el cual la entrada cambia en mucho menos de 1 mV. Teóricamente, si la relación de retorno se ajusta para que sea -1, la ganancia A_V con realimentación se hace infinita [Ec. (12-4)]. Esta situación ideal supone una transición abrupta (tiempo de subida cero) entre los valores extremos de la tensión de salida. Si se elige una ganancia del lazo mayor que la unidad, la onda de salida continúa siendo virtualmente discontinua a la tensión de comparación. Sin embargo, ahora el circuito presenta un fenómeno llamado *histéresis* que explicaremos más adelante.

El comparador regenerativo de la Fig. 15-22*a* se conoce comúnmente como disparador Schmitt (por el inventor de una versión de este circuito con tubos de vacío). La tensión de entrada se aplica el terminal inversor 2 y la de realimentación al inversor 1. Suponiendo que la resistencia de salida del comparador sea despreciable comparada con $R_1 + R$, tendremos

$$v_1 = \frac{R_2}{R_1 + R_2} v_o$$

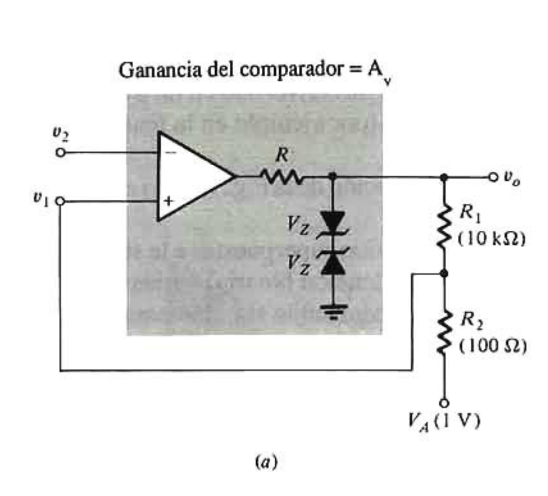
Siendo $v_1 = v_i$, con $v_2 = 0$, $v_o = A_v v_i$, y el análisis de pequeña señal da una relación de retorno

$$T = \frac{-R_2 A_v}{R_1 + R_2}$$

Evidentemente, con $A_v > 0$, $T < 0$, y la realimentación es positiva (regenerativa). Con $R_1 = 10$ kΩ, $R_2 = 100Ω$ y $A_v = 14.000$:

$$T = -\frac{0.1 \times 14,000}{10 + 0.1} = -139$$

Es fácilmente comprobable que la realimentación es regenerativa. Si la salida aumenta en Δv_o la señal reenviada a v_1, el terminal no inversor, es $\Delta V_o R_2/(R_1 + R_2)$. Por tanto v_o crecerá además por $\Delta v_o R_2 A_v/(R_1 + R_2) = -T \Delta v_o$ lo que indica realimentación positiva.



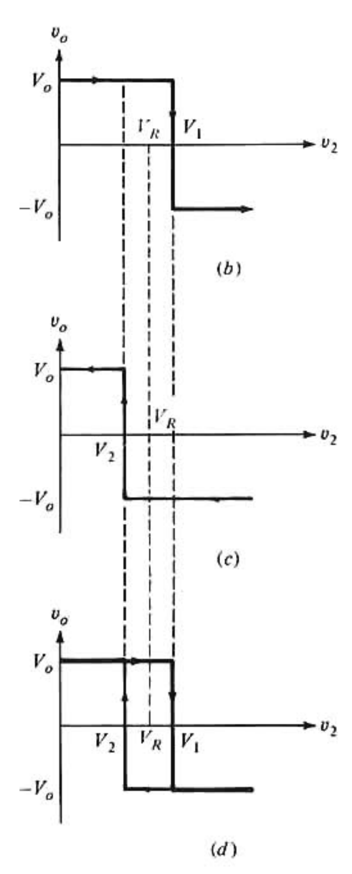


Figura 15-22. (*a*) Comparador regenerativo o disparador Schmitt. La onda de salida muestra una transición: (*b*) de $+V_o$ a $-V_o$; (*c*) de $-V_o$ a $+V_o$; (*d*) la tensión de salida a lo largo de un ciclo acusando la histéresis (V_1-V_2).

Hagamos $V_0 \equiv V_z + V_D$ y supongamos que $v_2 < v_1$ de forma que $v_o = +V_0$. De la Fig. 15-22 deducimos que la tensión en el terminal no inversor es

$$v_1 = V_A + \frac{R_2}{R_1 + R_2}(V_o - V_A) \equiv V_1 \qquad (15\text{-}20)$$

Si ahora aumenta v_2, v_o se mantiene constante en V_0, y $v_1 = V_1$ = constante hasta que $v_2 = V_1$. A esta tensión *umbral*, *crítica* o *de disparo*, la salida regenerativa cambia a $v_o = -V_0$ permaneciendo en este valor mientras $v_2 > V_1$. La característica de transferencia es la de la Fig. 15-22*b*.

La tensión en el terminal no inversor para $v_2 > V_1$ es

$$v_1 = V_A - \frac{R_2}{R_1 + R_2}(V_o + V_A) \equiv V_2 \qquad (15\text{-}21)$$

Con los parámetros dados en la Fig. 15-22 y siendo $V_o = 7$ V tendremos

$$V_1 = 1 + \frac{0.1 \times 6}{10.1} = 1 + 0.059 = 1.059 \text{ V}$$

$$V_2 = 1 - \frac{0.1 \times 8}{10.1} = 1 - 0.079 = 0.921 \text{ V}$$

Obsérvese que $V_2 < V_1$ y que la diferencia entre estos dos valores es llamada *histéresis* V_H.

$$V_H = V_1 - V_2 = \frac{2R_2 V_o}{R_1 + R_2} = 0.138 \text{ V} \tag{15-22}$$

Si ahora decrece v_2, la salida permanece en $-V_o$ hasta que v_2 iguale la tensión del terminal 1 o hasta que $v_2 = V_2$. A esta tensión ocurre una transición regenerativa y como se indica en la Fig. 15-22*c* la salida retorna a $+V_o$ casi instantáneamente. La función de transferencia completa puede verse en la Fig. 15-22*d* en la que las porciones sin flecha pueden ser recorridas en cualquier dirección, pero los otros segmentos sólo se obtienen si v_2 varía como señalan las flechas. Obsérvese que debido a la histéresis el circuito dispara a tensión más alta con señales crecientes que con señales decrecientes.

También observamos antes que la ganancia de transferencia aumenta desde 14.000 hacia el infinito a medida que la relación de retorno decrece desde cero a -1 y que no hay histéresis mientras $-T$ sea igual o menor que uno. Sin embargo, no es factible ajustar la ganancia exactamente a -1. Los parámetros del comparador, y por tanto la ganancia A_v, son variables en el recorrido de la señal. Por tanto, un ajuste que asegure que el máximo de $|T|$ sea la unidad supone un campo de tensiones en los que la amplificación es menor que uno, con la correspondiente pérdida de velocidad de la respuesta del circuito. Además, el circuito puede no ser suficientemente estable para mantener T exactamente en -1 durante un largo periodo de tiempo sin tener que hacer frecuentes reajustes, por lo que se elige $|T|$ mayor que la unidad, tolerándose un pequeño valor de la histéresis. En algunas aplicaciones un exceso de histéresis no permitiría el funcionamiento correcto del circuito. Así, si el valor pico-a-pico de la señal fuera menor que V_H el circuito Schmitt que hubiese respondido a una tensión umbral con una transición en un sentido, nunca se repondría por sí solo. Dicho de otra forma: una vez la salida ha pasado, por ejemplo, a V_o se mantendrá en este nivel no volviendo nunca a $-V_o$.

Del mismo razonamiento expuesto en el párrafo anterior se deduce que si v_2 supera justamente V_1 se produce una transición de la salida y v_o se mantiene en $-V_o$ aun cuando haya algún ruido superpuesto a la señal de entrada. Mientras la tensión pico del ruido no supere la histéresis V_H, v_2 no puede caer por debajo de V_2 y por tanto se evita un retorno de estado a $+V_o$. En otras palabras, se ha eliminado el chirrido mencionado en la Sec. 15-8.

La tensión offset de salida para el disparador Schmitt de la Fig. 15-22*a* es $I_B R_B$, siendo I_B la corriente de polarización de entrada, y $R_B = R_1 \parallel R_2$. La adición de una resistencia R_B en serie con la señal de entrada v_2 da una tensión offset de salida $I_{io} R_B$ siendo I_{io} la corriente offset de entrada. Puesto que $I_{io} < I_B$ la tensión offset resultante queda reducida.

Una de las aplicaciones más importantes del disparador Schmitt es la de convertir una tensión de entrada de variación lenta en una onda de salida con un cambio brusco, casi discontinuo, que suceda a un valor preciso de la tensión de entrada. Por ejemplo, en la Fig. 15-23 se ve la aplicación de un disparador Schmitt a manera de circuito de cuadratura. La señal de entrada es arbitraria pero con excursión suficiente para hacer que la entrada abarque los límites del campo de histéresis V_H. Normalmente la salida es una onda cuadrada asimétrica (como indica la Fig. 15-23) cuya amplitud es independiente del valor entre picos de la señal de entrada. Evidentemente, la onda de salida tiene los bordes delanteros y traseros mucho más rápidos que los de la onda de entrada.

Se pueden generar ondas cuadradas simétricas haciendo $V_A = 0$ y de las Ecs. (15-20) y (15-21) se deduce que $V_2 = -V_1 = -R_2 V_o/(R_1 + R_2)$. Aplicando a tal comparador una entrada senoidal de frecuencia $f = 1/T$ y amplitud de pico V_M se tendrá una onda de salida simétrica de semi-periodo $T/2$. Los bordes anterior y posterior de la onda no suceden en el momento en que la onda senoidal pasa por cero como en el circuito de la Fig. 15-21*a*. Estos bordes están desfasados por 0, siendo $0 = \text{sen}^{-1} V_1/V_m$.

Existen disponibles en el mercado disparadores Schmitt para usos especiales. El chip TI132 de la familia TTL actúa como una puerta NAND de lógica positiva con salida en totem, e histéresis de 0,8 V. (V_1 = 1,7 V y V_2 = 0,9 V). Este encapsulado contiene cuatro disparadores Schmitt NAND de dos entradas. Esta topología de comparador regenerativo es la base del multivibrador monoestable TI9600 (Sec. 15-6).

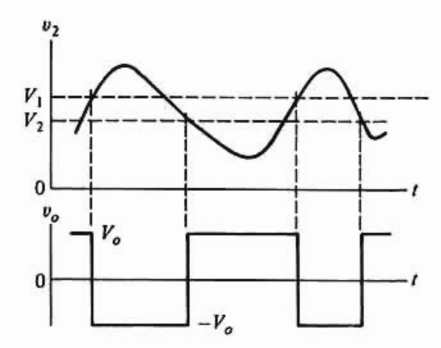


Figura 15-23. Respuesta de un disparador de Schmitt inversor a una señal de entrada arbitraria.

Disparador Schmitt acoplado en emisor

El par básico acoplado en emisor puede convertirse en un comparador regenerativo como en la Fig. 15-24. Las resistencias R_1 y R_2 son desiguales ($R_1 > R_2$) y por tanto $Q1$ y $Q2$ tienen corrientes distintas cuando están saturados. Estas diferencias suponen histéresis, ya que se requieren distintas tensiones de entrada para saturar y cortar $Q1$ y $Q2$.

Consideremos que V_{in} es suficientemente bajo para cortar $Q1$. La corriente en R_1 es suficiente para saturar justamente $Q2$ haciendo $V_o = V_{CC} - I_{C2\ (sat)} R_2$. Para $\beta_F \gg 1$, la tensión $V_E \approx I_{C2\ (sat)} R_E$; así, para que $Q1$ pase a ON debe incrementarse V_{in} hasta por lo menos $V_{BE\ (ON)} + V_E$. Cuando V_{in} sube por encima de este umbral, $Q1$ conduce, la tensión V_{C1} decrece, se corta $Q2$ y hace que $V_o \approx V_{EC}$. Si V_{in} es suficientemente grande para saturar justamente $Q1$, la tensión $v_E \approx I_{C1(sat)} R_E$. Puesto que R_1 R_2, $I_{C1\ (sat)} < I_{C2\ (sat)}$. En consecuencia, ahora V_{in} debe descender por debajo de $I_{C1\ (sat)} R_E + V_{BE\ (ON)}$ para cortar $Q1$. Este nivel umbral está por debajo del requerido para que $Q1$ pase a ON, siendo la diferencia entre estos niveles la tensión de histéresis V_H. Obsérvese que V_H depende del grado de desajuste en R_1 y R_2.

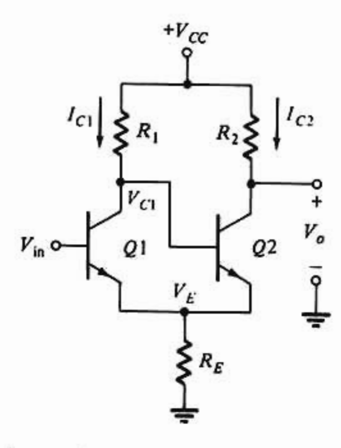


Figura 15-24. Disparador Schmitt acoplado en emisor.

El análisis cualitativo del párrafo anterior ha supuesto que $Q1$ y $Q2$ están meramente saturados. Esto no es necesario para el funcionamiento del circuito pues $Q1$ y $Q2$ pueden llevarse a saturación. Corrientemente los disparadores Schmitt con emisor acoplado se diseñan con V_H del orden de algunas décimas de voltio (véanse Prob. 15-43 y 15-44).

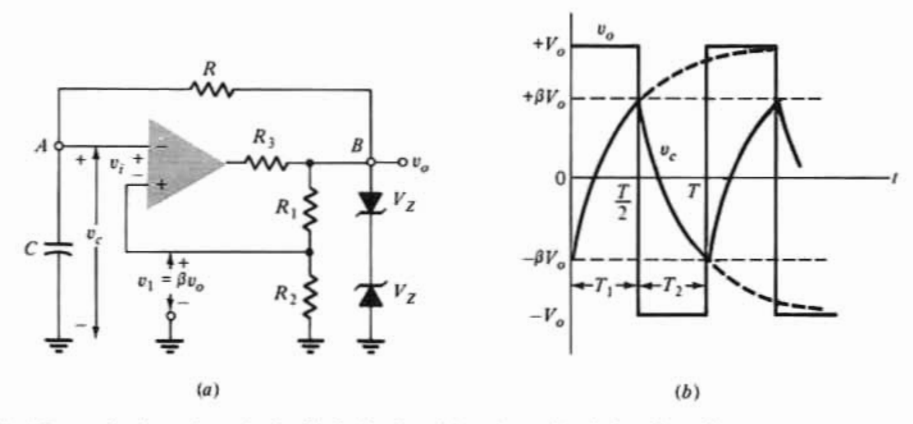


Figura 15-25. (*a*) Generador de onda cuadrada. (*b*) Ondas de salida y de tensión del condensador.

15-10. GENERADORES DE ONDAS CUADRADAS Y TRIANGULARES

El disparador Schmitt inversor puede utilizarse para obtener un generador de onda cuadrada (multivibrador astable) conectando una red de realimentación *RC* entre la salida y la entrada inversora. El circuito está representado en la Fig. 15-25*a* indicando que la señal exterior ha sido sustituida por la red *RC* de realimentación. En esta figura la tensión de entrada diferencial v_i viene dada por

$$v_i = v_c - v_1 = v_c - \frac{R_2}{R_1 + R_2} v_o = v_c - \beta v_o \tag{15-23}$$

De la característica del comparador ideal resulta que $v_o = V_Z + V_D = V_o$ si $v_i < 0$, y si $v_i < 0$, $v_o = -V_o$. Consideremos un momento en el que $v_i < 0$ o $v_c < \beta v_o^o = \beta V_o$. El condensador *C* se va cargando exponencialmente hacia V_o a través de la combinación *RC*. La salida permanece constante en V_o hasta que v_c se iguale a $+\beta V_o$ en cuyo instante la salida del comparador retrocede a $-V_o$. Ahora v_c carga exponencialmente hacia $-V_o$.

Las ondas de las tensiones de salida v_o y del condensador v_c son las representadas en la Fig. 12-25. Si hacemos $t = 0$ cuando $v_c = -\beta V_o$ durante el primer semi-ciclo tendremos (ya que v_c se acerca exponencialmente a V_o con una constante de tiempo *RC*)

$$v_c(t) = V_o\,[1 - (1 + \beta)\epsilon^{-t/RC}] \tag{15-24}$$

Puesto que a $t = T/2$, $v_c(t) = +\beta V_o$ hallaremos *T* resolviendo la Ec. (15-24) lo que nos dará

$$T = 2RC \ln \frac{1 + \beta}{1 - \beta} = 2RC \ln \left(1 + \frac{2R_1}{R_2}\right) \tag{15-25}$$

Obsérvese que *T* es independiente de V_o.

Este generador de onda cuadrada es particularmente adecuado con frecuencias comprendidas entre los 10 Hz y los 10 kHz. Con frecuencias más elevadas el ritmo de variación del Amp-Op limita la pendiente de las ondas cuadradas de salida. La simetría de la onda depende del desequilibrio existente entre los dos diodos Zener (Prob. 15-39).

Si se desea que la salida sea $\pm V_o$ pero que $T_1 \neq T_2$ de la Fig. 15-25, se reemplaza la resistencia *R* entre los puntos *A* y *B* por la red de la Fig. 15-26*a*. Esta técnica es la misma empleada en el circuito astable CMOS de la Fig. 15-18. Durante el periodo en que la salida es positiva, *D*1 conduce y *D*2 está cortado.

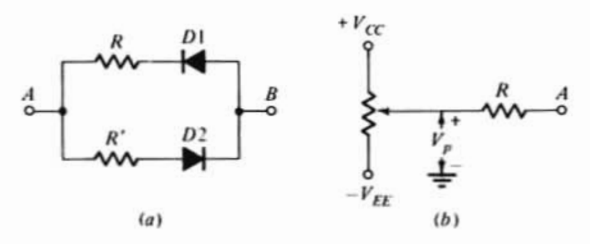


Figura 15-26. (*a*) Para engendrar una onda cuadrada no simétrica se emplea entre los nudos A y B la red de resistencias y diodos en lugar de R de la Fig. 15-25. (Obsérvese que esto es el equivalente de la red de la Fig. 15-17.) (*b*) Alternativamente la configuración indicada puede conectarse al nudo A de la Fig. 15-25 de forma que $T_1 \neq T_2$.

Por tanto el circuito queda reducido al de la Fig. 15-25 salvo que V_o queda disminuido por la caída en el diodo. Puesto que el periodo es independiente de V_o, T_1 viene dado por $T/2$ de la Ec. (15-25). Durante el intervalo en el que la salida es negativa $D1$ está en corte y $D2$ conduce. Por tanto, la constante de tiempo de la descarga es ahora $R'C$ y T_2 viene dado por $T/2$ en la Ec. (15-25) pero con R sustituida por R'. Si $R' = 2R$, evidentemente $T_2 = 2T$.

Un procedimiento alternativo para formar una onda cuadrada no simétrica consiste en conectar la red de la Fig. 15-26*b* al nudo *A* de la Fig. 15-25*a*. Supongamos que la resistencia potenciométrica es pequeña comparada con R y que la tensión de tal resistencia potenciométrica también es pequeña, la tensión del brazo del potenciómetro a tierra es V_p. Entonces el condensador se carga con una constante de tiempo $RC/2$ hacia $(V_p + V_o)/2$ pero descarga hacia $(V_p - V_o)/2$ (con la misma constante de tiempo) por consiguiente $T_1 \neq T_2$.

Generadores de onda triangular

En la Fig. 15-25*b* se ve que la carga y descarga exponencial del condensador C hace que la onda de v_C sea casi triangular. Para linealizar el triángulo se necesita que C se cargue con una corriente constante, es decir, haciendo que v_C varíe linealmente con el tiempo (en rampa) y no exponencialmente como la corriente suministrada a través de R en la Fig. 15-25. Recuérdese que la capacidad de compensación conectada entre la salida y la entrada de la etapa de alta ganancia de un Amp-Op está alimentada por una corriente constante con el resultado de la limitación del ritmo de variación. Se emplea un Amp-Op con un condensador C de realimentación (un integrador) para suministrar una corriente constante a C en el circuito generador de onda triangular de la Fig. 15-27. Debido a la reversión de fase en el Amp-Op integrador, la salida de esta etapa se reenvía al terminal no inversor del comparador y no al terminal inversor como en la Fig. 15-25. Así, el comparador actúa como un disparador Schmitt no inversor. En efecto, la salida de la etapa Amp-Op se emplea en lugar de la tensión de referencia V_A en el disparador Schmitt.

Para hallar el valor máximo de la onda triangular supongamos que la tensión de salida v_o del Schmitt está en su valor negativo $-(V_Z + V_D) = -V_o$. Con un impulso negativo, la salida $v'(t)$ del integrador es una *rampa creciente*. La tensión v_1 de entrada al comparador no inversor se obtiene por superposición, y es

$$v_1 = -\frac{V_o R_2}{R_1 + R_2} + \frac{v'_o R_1}{R_1 + R_2} \tag{15-26}$$

Cuando v_1 sube hasta V_R, el comparador cambia de estado, $V_o = +V_o$ y $v'_o(t)$ empieza a decrecer linealmente. Por tanto el pico V_{max} de la onda triangular tiene lugar cuando $v_1 = V_R$. Según la Ec. (15-26)

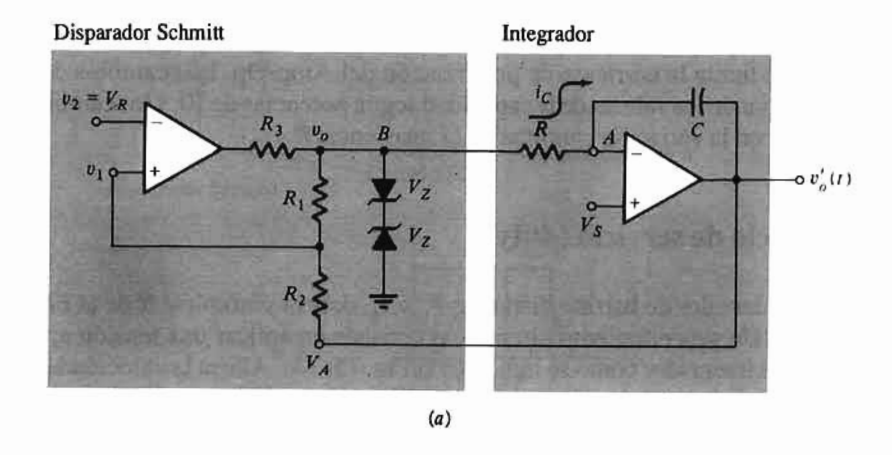
$$V_{\max} = V_R \frac{R_1 + R_2}{R_1} + V_o \frac{R_2}{R_1} \tag{15-27}$$

Análogamente

$$V_{\min} = V_R \frac{R_1 + R_2}{R_1} - V_o \frac{R_2}{R_1} \tag{15-28}$$

y el recorrido pico-a-pico es

$$V_{\max} - V_{\min} = 2V_o \frac{R_2}{R_1} \tag{15-29}$$



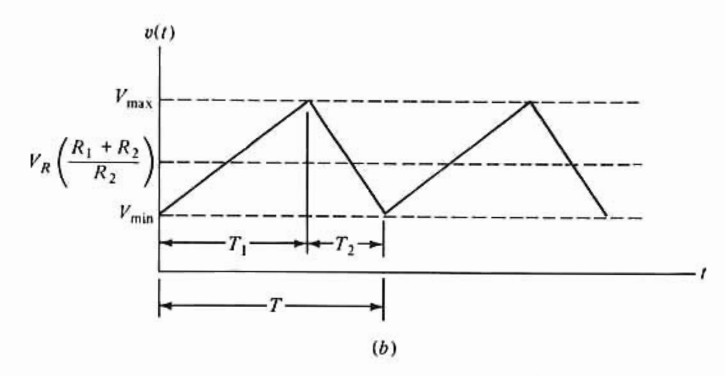


Figura 15-27. (*a*) Generador de onda triangular. (*b*) Onda de salida. (Observación: $T_1 = T_2$ si $V_s = 0$. Asimismo $V_{max} = V_0R_2/R_1 = -V_{0\,(min.)}$ si $V_R = 0$. La salida de onda cuadrada es $- V_o$ durante el intervalo T_1 y $+ V_o$ en el intervalo T_2-T_1.)

En la Fig. 15-27*b* puede verse la forma de la onda triangular. De las Ecs. (15-27) y (15-28) debe quedar claro que el valor medio es $V_R\,(R_1 + R_2)/R_1$. Obsérvese que si $V_R = 0$ la onda se extiende entre $-V_o\,R_2/R_1$ y $+\,V_o\,R_2/R_1$. El desplazamiento en tensión se gobierna ajustando V_R, y el recorrido pico-a-pico se modifica cambiando la relación R_2/R_1. Calculemos ahora los tiempos de barrido T_1 y T_2 para $V_s = 0$. La corriente de carga del condensador es

$$i_c = C\frac{dv_c}{dt} = -\,C\frac{dv'_o}{dt} \tag{15-30}$$

donde $v_c = -v'_o$ es la tensión del condensador. Para $v_o = -V_o$, $i = -\,V_o/R$ y la velocidad del barrido positivo es

$$T_1 = \frac{V_{max} - V_{min}}{V_o/RC} = \frac{2R_2RC}{R_1} \tag{15-31}$$

habiendo hecho uso de la Ec. (15-29). Puesto que la velocidad del barrido negativo tiene la misma magnitud calculada antes, $T_2 = T_1 = T/2 = 1/2f$, siendo la frecuencia

$$f = \frac{R_1}{4R_2RC} \tag{15-32}$$

Obsérvese que la frecuencia es independiente de V_o. La frecuencia máxima queda limitada por el ritmo de variación del integrador o por su corriente máxima de salida que determina el ritmo de la carga de *C*. El barrido más lento lo limita la corriente de polarización del Amp-Op. Los cambios de frecuencia por décadas se obtienen variando los valores de la capacidad según potencias de 10, y los cambios de frecuencia dentro de una década, con la variación continua de la resistencia *R*.

Modulación del ciclo de servicio (duty)

Si se desean unos intervalos de barrido distintos, $T_1 \neq T_2$, deberá sustituirse *R* de la Fig. 15-27*a* por la red de la Fig. 15-26*a*. Un procedimiento alternativo consiste en aplicar una tensión ajustable $V_S \neq 0$ al terminal no inversor del integrador como se indica en la Fig. 15-27*a*. Ahora la velocidad de barrido es $(V_o + V_S)/RC$ y la pendiente de la rama negativa es $(V_o - V_S)/RC$. ¿Por qué? La amplitud triangular pico-a-pico no está afectada por la tensión V_S de control. Por tanto

$$\frac{T_1}{T_2} = \frac{V_o - V_S}{V_o + V_S} \tag{15-33}$$

Se puede demostrar que la frecuencia de oscilación (Prob. 15-40) viene dada por la Ec. (15-32) multiplicada por $[1 - (V_S/V_o)^2]$. La frecuencia disminuye para $V_S \neq 0$. El ciclo de servicio δ de un oscilador de onda cuadrada o triangular se define por T_1/T siendo $T = T_1 + T_2$. De la Ec. (15-33) se deduce que

$$\delta \equiv \frac{T_1}{T} = \frac{1}{2}\left(1 - \frac{V_S}{V_o}\right) \tag{15-34}$$

El sistema de la Fig. 15-27 con la adición de V_S es un modulador asimétrico. La asimetría varía linealmente con V_S y se extiende desde 0 para $V_S = V_o$ hasta 0,5 para $V_S = 0$ y hasta 1 para $V_S = -V_o$.

Oscilador gobernado por tensión: VCO (Voltaje Controlled Oscillator)

Observemos que V_S de la Fig. 15-27 no sólo modifica la asimetría del ciclo sino que altera también el periodo $T = 1/f$. Esto constituye un ejemplo de conversión de tensión a frecuencia. No obstante *f* es una función no lineal de V_S ya que la frecuencia depende de $1 - (V_S/V_o)^2$. En la Fig. 15-28 se representa un para obtener un generador de ondas cuadradas o triangulares cuya frecuencia dependa linealmente de la modulación de una tensión v_m. El inversor CMOS formado por *Q*1 y *Q*2 actúa como un interruptor de un solo polo y doble recorrido (SPDT). La etapa separadora de la Fig. 15-28 es un seguidor de tensión que excita al integrador desde una baja impedancia. Este sistema difiere fundamentalmente del de la Fig. 15-27 en que ahora la velocidad de barrido la determina v_m pero la amplitud de la onda sigue estando fijada por los parámetros del comparador, es decir $\pm\beta V_o$. La tensión negativa $-v_m$ se obtiene de un Amp-Op inversor de ganancia unidad.

Supongamos que la salida del comparador Schmitt sea $v_o = V_o$, excediendo V_o el máximo valor de v_m.

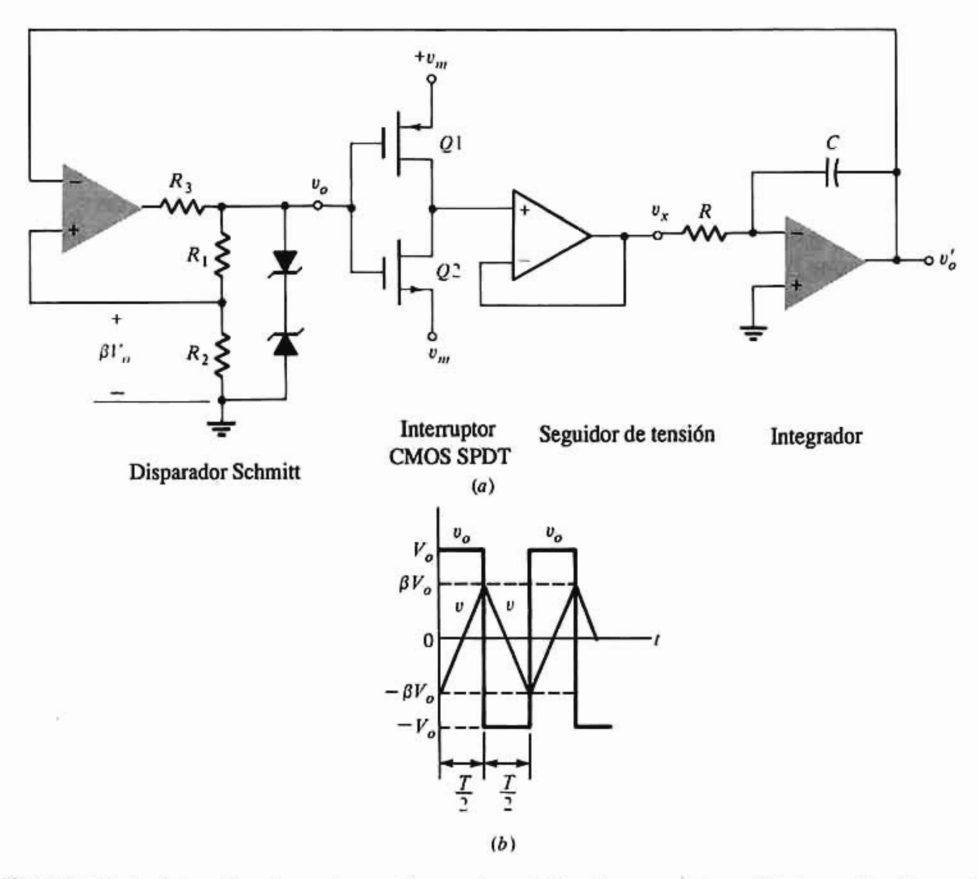


Figura 15-28. (*a*) Oscilador de tensión gobernada cuya frecuencia varía linealmente con la tensión de modulación v_m. (*b*) Onda cuadrada v_o y triangular v'_o.

Entonces, para el CMOS inversor, el interruptor $Q1$ está cortado (OFF) y el $Q2$ en conducción (ON). La entrada v_x al integrador (la salida del seguidor de tensión) es $-v_m$. Por tanto $v'_o(t)$ crece linealmente con una velocidad de barrido v_m/RC *V/s* hasta que v'_o alcance el nivel umbral del comparador $\beta\ V_o = V_o R_2/(R_1 + R_2)$. Entonces la salida del Schmitt cambia de estado a $v_o = -V_o$ como en la Fig. 15-28*b*. Ahora conducirá $Q1$ y $Q2$ estará cortado y la salida del interruptor CMOS pasará a ser $+v_m$ resultando una rampa lineal negativa $v'_o = -v_m t/RC$ hasta alcanzar el umbral negativo $-\beta V_o$. Evidentemente los dos semi-ciclos son idénticos, y

$$\frac{v_m}{RC}\frac{T}{2} = \beta V_o - (-\beta V_o) = 2\,\frac{R_2}{R_1 + R_2}\,V_o \tag{15-35}$$

La frecuencia del oscilador viene dada por $f = 1/T$ o sea

$$f = \frac{R_1 + R_2}{4RCR_2}\frac{v_m}{V_o} \tag{15-36}$$

indicando claramente que la frecuencia de este oscilador varía linealmente con la tensión v_m de modulación. Experimentalmente se ha determinado que esta linealidad abarca más de tres décadas (desde menos de 2 mV hasta más de 2 V). El sistema de la Fig. 15-28 corresponde al de una onda cuadrada o triangular de frecuencia modulada.

15-11. GENERADORES DE IMPULSOS

El generador de onda cuadrada de la Fig. 15-25 se ha modificado añadiendo un diodo de fijación ($D1$) en paralelo con C, como se ve en la Fig. 15-29, para que funcione como multivibrador monoestable. Se aplica un estrecho impulso negativo v_t al terminal no inversor a través del diodo $D2$. Para seguir el funcionamiento del circuito supongamos que está en su estado estable con la salida en $v_o = +V_o$ y con el condensador fijado a la tensión del diodo $D1$ en conducción $V_1 \approx 0{,}7$ V (con $\beta V_o > V_1$). Si la amplitud del disparo es mayor que $\beta V_o - V_1$ el comparador cambiará a una salida $v_o = -V_o$. Como indica la Fig. 15-29*b*, ahora el condensador irá cargándose exponencialmente, con una constante de tiempo $\tau = RC$, a través de R hacia $-V_o$ porque $D1$ queda polarizado en inverso. Cuando v_c se haga más negativo que $-\beta V_o$ la salida del comparador vuelve otra vez a $+V_o$. El condensador ahora empieza a cargar hacia $+V_o$ a través de R hasta que v_c alcance V_1 y C queda fijado nuevamente en $v_c = V_1$. En el Prob. 15-41 se halla que el ancho T del impulso viene dado por

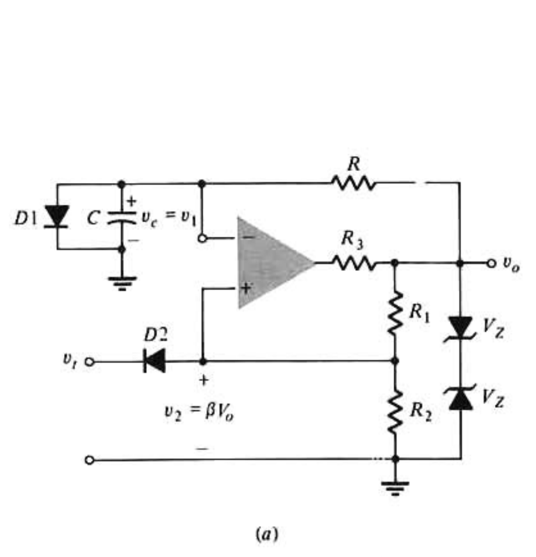
$$T = RC \ln \frac{1 + V_1/V_o}{1 - \beta} \tag{15-37}$$

Si $V_o \gg V_1$ y $R_2 = R_1$ de forma que $\beta = 0{,}5$ tendremos $T = 0{,}69\ RC$.

El impulso de disparo T_p debe ser mucho más estrecho que la duración T del impulso generado. El diodo $D2$ no es indispensable pero sirve para un mal funcionamiento si aparece una punta positiva de ruido en la línea de disparo.

Puesto que un disparo genera una onda rectangular que nace en un momento dado y que por tanto puede emplearse como puerta de otras partes del sistema, se le puede denominar como circuito-puerta. Además, ya que genera una transmisión rápida en un predeterminado tiempo T después del disparo de entrada, se le denomina también *circuito de retardo de tiempo*.

Obsérvese que la tensión v_c del condensador de la Fig. 15- 29*b* no alcanza su valor $v_c = V_1$ hasta que $T' > T$. Por tanto hay un *tiempo de recuperación T' -T* durante el cual no se puede excitar nuevamente el circuito. En otras palabras, el próximo disparo de sincronización debe retrasarse del anterior impulso de



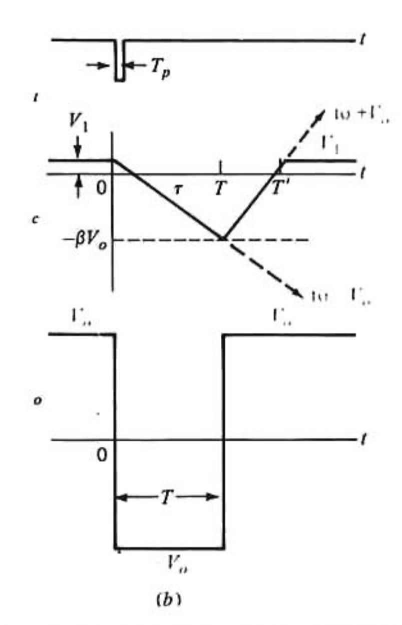


Figura 15-29. (*a*) Multivibrador monoestable. (*b*) Ondas de impulso de disparo negativo de corta duración v_t, de la tensión del condensador v_c, y del impulso de salida negativo, v_o. (Se supone $T > T_p$.)

entrada en por lo menos T' segundos. En el Prob. 15-42 se ve una alternativa de circuito monoestable con recuperación más rápida.

Multivibrador monoestable de repetición

Consideremos la configuración de la Fig. 15-30*a*. En estado de reposo (antes de aplicar un disparo) el JFET está en corte por la tensión de polarización inversa puerta-fuente $-V_{GG}$ de Q. El condensador se carga a la tensión de alimentación V_{CC} de forma que la tensión en el terminal inversor del comparador es $v_c = V_{CC}$. La tensión de la entrada no inversora es constante e igual a $\beta V_\alpha = V_\alpha R_2/(R_1 + R_2)$. Puesto que $v_c > \beta V_\alpha$, la salida del comparador está en su nivel bajo $v_o = -V_o$.

Supongamos que en el instante $t = 0$ se aplica una señal positiva estrecha v_t con amplitud del impulso aproximadamente igual a V'. El JFET conduce con una corriente constante y alta que rápidamente descarga linealmente C hacia tierra. Con pequeñas señales, v_c ya no cae linealmente sino que se aproxima exponencialmente a cero con una constante de tiempo $r_{DS(ON)} C$ (Sec. 4-3). En la Fig. 15-30*b* figuran las ondas de v_c y v_o. Tan pronto v_c cae por debajo de βV_{CC} la salida del comparador pasa a su nivel alto $v_o = +V_o$.

Supongamos que el ancho T_p del impulso es suficientemente grande para que $v_c \approx 0$ al final de la señal de entrada. Entonces, a $t = T_p$ el condensador se carga exponencialmente hacia V con una constante de tiempo RC. Cuando $v_c = \beta V_{CC}$ el comparador cambia nuevamente y para $v_c > \beta V_{CC}$, v_o se mantiene en $-V_o$, generando la onda positiva de ancho T representada en la Fig. 15-30*b*. Se puede demostrar que

$$T = RC \ln \left(1 + \frac{R_2}{R_1}\right) \tag{15-38}$$

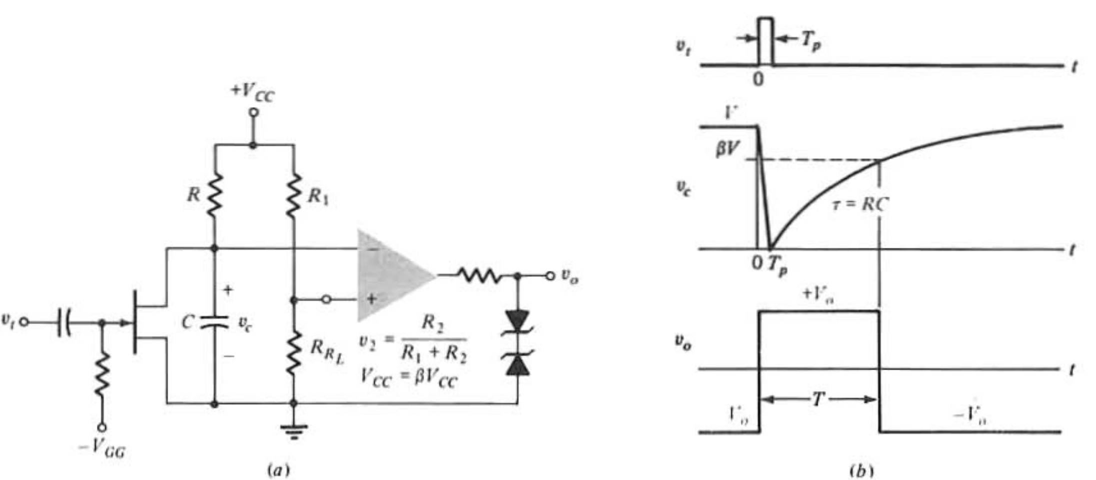


Figura 15-30. (*a*) Multivibrador monoestable redisparable. (*b*) Ondas del impulso de disparo v_t, de la tensión del condensador v_c, y del impulso de salida v_o. (Con $T > T_p$.)

En la deducción de esta ecuación se ha supuesto que $T \gg T_p$. Más aproximación se tiene sumando T_p al segundo miembro de la Ec. (15-38).

Obsérvese que a diferencia de las configuraciones monoestables (por ej. la de la Fig. 15-29) no se necesita ningún tiempo de recuperación antes de que el sistema de la Fig. 15-30 se pueda excitar de nuevo. Si aparece un segundo impulso positivo en cualquier momento t' (menor o mayor que T), el JFET reduce a cero la tensión en C engendrándose las ondas de la Fig. 15-30*b* en el instante $t = t'$ en lugar de $t = 0$. Por

tanto, en $t = t'$ se inicia un nuevo intervalo T. Un circuito como éste constituye un *multi monoestable* de repetición.

15-12. EL TEMPORIZADOR INTEGRADO 555

El chip temporizador 555 se emplea mucho como multivibrador tanto monoestable como astable. Fue introducido primeramente por Signetics empleando tecnología bipolar, ahora lo suministran varios fabricantes tanto en tecnología bipolar como en la CMOS. La configuración básica del 555 está representada en la Fig. 15-31 en la que puede verse que consta de dos comparadores, un biestable *SR*, un transistor de descarga $Q1$ y una etapa de salida en totem. Con $V_{CC} = 5$ V el temporizador es compatible con las series 54/74 TTL y con las familias lógicas CMOS.

El circuito de la Fig. 15-31*a* está conectado como multivibrador monoestable; la resistencia R y el condensador C son exteriores al chip y sus valores determinan el ancho del impulso. Las tres resistencias iguales R_1 establecen las tensiones de referencia V_1 y V_2 para los comparadores 1 y 2 respectivamente, ya que $V_1 = 2\,V_{CC}/3$ y $V_2 = V_{CC}/3$. El valor de R_1 no puede ajustarse con precisión. Sin embargo, las técnicas de fabricación integrada controlan ajustadamente la relación de resistencias de forma que V_1 y V_2 son precisas.

Antes de la aplicación de la tensión de disparo v_t, el biestable *SR* se repone con $Q = V(0)$ y $\overline{Q} = V(1)$. Estos niveles vuelven $v_o = V(0) \approx 0$ y saturan $Q1$ haciendo que la tensión umbral v_x sea aproximadamente igual a cero. Puesto que $v_x < V_1$ la salida del comparador 1 es $V(0)$. También la salida del comparador 2 es $V(0)$ ya que $v_t > V_2$.

En el momento $t = 0$ la aplicación de un impulso de disparo $v_t < V_2$ hace que la salida del comparador 2 sea $V(1)$, fijado el biestable. Por tanto, $Q = V(1)$, $\overline{Q} = V(0)$ hacen que $v_o = V(1)$ cortando $Q1$. El condensador temporizador carga hacia V_{CC} con una constante de tiempo $\tau = RC$. Cuando v_x alcanza V_1 en

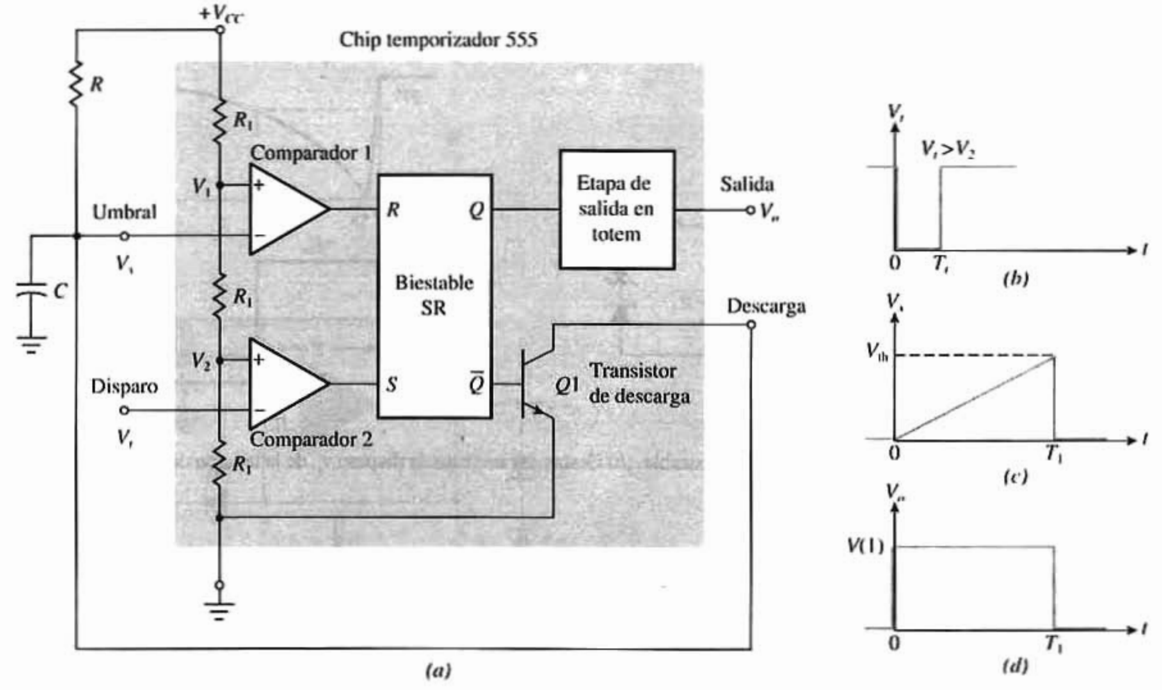


Figura 15-31. (*a*) Configuración básica del temporizador 555 IC conectado como multivibrador monoestable. Ondas de: (*b*) impulso de disparo v_t, (*c*) tensión umbral v_x, y (*d*) impulso de salida v_o.

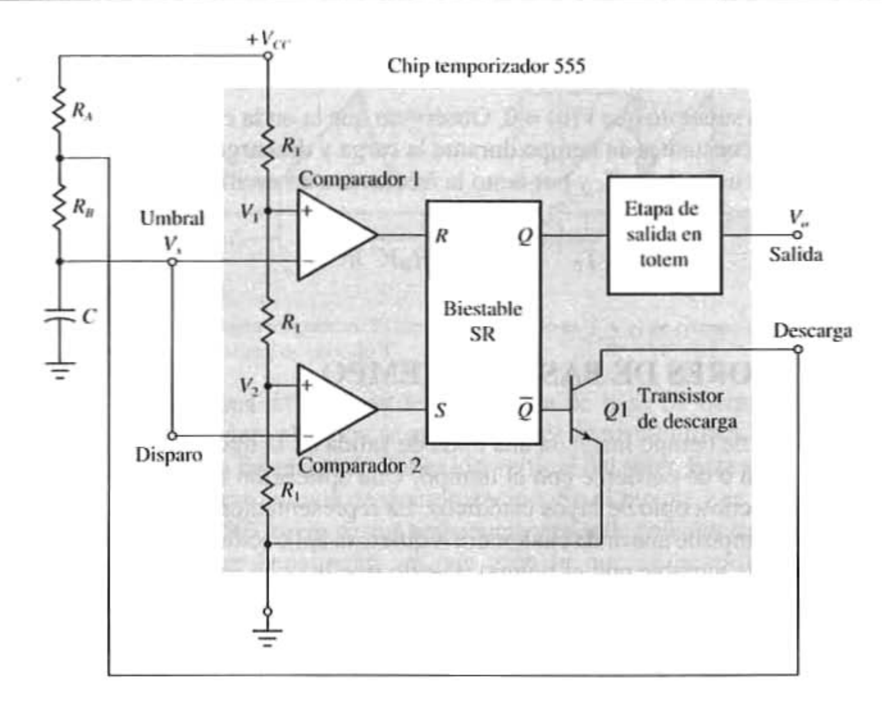


Figura 15-32. Temporizador 555 IC conectado como multivibrador astable.

$t = T_1$, el comparador 1 cambia y su salida pasa a ser $V(1)$. Esta transición repone el biestable, retornando la salida v_o a su nivel original $V(0)$. La baja resistencia de saturación de $Q1$ descarga rápidamente C. Las ondas correspondientes a v_t, v_x y v_o son las de las Figs. 15-31*b*, *c* y *d*.

El ancho del impulso t_1 viene determinado por el tiempo necesario para que la tensión v_x del condensador cargue a V_1. Para $0 \leq t \leq T_1$

$$v_x = V_{CC} - [V_{CC} - V(0)]\, \epsilon^{-t/RC} \tag{15-39}$$

Resolviendo la Ec. (15-39) a $t = T_1$ cuando $v_x(T_1) = V_1 = 2V_{CC}/3$ tendremos

$$T_1 = RC \ln \frac{V_{CC} - V(0)}{V_{CC}/3} \tag{15-40}$$

Si $V(0) = 0$, la Ec. (15-41) se reduce a

$$T_1 = RC \ln 3 = 1.1RC \tag{15-41}$$

El multivibrador astable

La Fig. 15-32 muestra la conexión del temporizador 555 a manera de multivibrador astable. Supongamos que en el instante $t = 0$, $v_x = V_2$ motivando el cambio del comparador 1 y haciendo su salida $V(1)$. Ahora se repone el biestable saturando $Q1$ y descargando C a través de R_B. A $t = T_1$ la tensión umbral es $V_1 = V_{CC}/3$ y la salida del comparador 2 pasa a ser $V(1)$ fijando el biestable. El transistor $Q1$ se corta y C se carga hacia V_{CC} a través de $R_A + R_B$. En el instante T_2, $v_x = V_2$ motivando una transición del comparador 1 completando así el ciclo. Las duraciones del impulso (Prob. 15-45) vienen dadas por

$$T_1 = R_B C \ln 2 \qquad T_2 - T_1 = (R_A + R_B) C \ln 2 \tag{15-42}$$

En la Ec. (15-42) se ha supuesto que $V(0) = 0$. Obsérvese que la onda cuadrada no es simétrica, lo que se atribuye a las distintas constantes de tiempo durante la carga y descarga.

El periodo de la onda cuadrada es T_2 y por tanto la frecuencia de oscilación f_o es

$$f_o = \frac{1}{T_2} = \frac{1}{(R_A + 2R_B) C \ln 2} \tag{15-43}$$

15-13. GENERADORES DE BASE DE TIEMPO

Un generador de base de tiempo lineal da una onda de salida de la que una parte de ella muestra una variación lineal de tensión o de corriente con el tiempo. Una aplicación muy importante de tales ondas está relacionada con el osciloscopio de rayos catódicos. La representación en la pantalla de la gráfica de la variación respecto al tiempo de una onda cualquiera requiere la aplicación entre unas placas de deflexión de una tensión linealmente variable con el tiempo. Puesto que la onda se emplea para *barrer* el haz de electrones horizontalmente a través de la pantalla, se le denomina *tensión de barrido*. Hay además otras muchas aplicaciones del circuito de base de tiempos, como en el radar, televisión, mediciones precisas de tiempo y modulación de tiempos.

La Fig. 15-33*a* muestra la forma típica de una tensión de base de tiempos. La tensión, partiendo de un cierto valor inicial, crece linealmente con el tiempo hasta una amplitud máxima V_s tras lo cual cae a su valor inicial. El tiempo T_r necesario para volver al valor inicial se denomina tiempo de *rehabilitación* o de *retorno*. Muy frecuentemente la forma de la onda durante el retorno, y el intervalo T_r carecen de importancia.

Sin embargo, en algunos casos se desea que el tiempo de retorno sea muy corto comparado con el ocupado por la porción lineal de la onda. Si el tiempo de rehabilitación es extremadamente corto y en el momento en que termina el anterior se inicia una nueva tensión lineal, la onda será como la de la Fig. 15-33*b*, que por su forma se denomina en *dientes de sierra* o en *rampa*. Es costumbre llamarla también de *barrido* aún en aplicaciones que no supongan la deflexión de un haz de electrones.

Evidentemente la tensión triangular de la Fig. 15-27*b* es una onda de barrido con un tiempo de barrido T_1 y un tiempo de retorno T_2. Si se hace $T_2 \ll T_1$ se tendrá un perfil en dientes de sierra. El tiempo de retorno no puede reducirse a cero por sus limitaciones introducidas por el ritmo de variación del integrador o por su máxima corriente de salida I (ya que la velocidad de barrido es $dv/dt = I/C$).

El barrido

Una onda puede no ser periódica pero repetirse a intervalos irregulares. En tales casos es conveniente que el circuito de barrido en vez de estar funcionando continuamente se mantenga en reposo esperando ser excitado por la propia onda. También puede suceder que aunque la onda se repita regularmente, la parte de ella que interesa sea de corta duración comparada con el periodo de la onda completa. Por ejemplo, la onda puede estar formada por impulsos de 1µs con intervalo de 100 µs entre impulsos. En este caso el barrido periódico que puede dar la pauta sincronizada más rápida deberá tener un periodo de 100 µs. Si como es habitual la base de tiempo se extiende sobre 10 cm el impulso ocupará 1 mm y no se apreciará ningún detalle sobre la forma del impulso. Por otra parte, si se puede usar un periodo de barrido de 1 µs o algo más, el impulso aparecerá a todo lo ancho de la pantalla. Por tanto, lo que aquí interesa es un barrido previsto para por ejemplo un intervalo de 1,5 µs y que se mantenga en reposo hasta que el propio impulso lo ponga en marcha. Este es un circuito monoestable de barrido excitado o provocado.

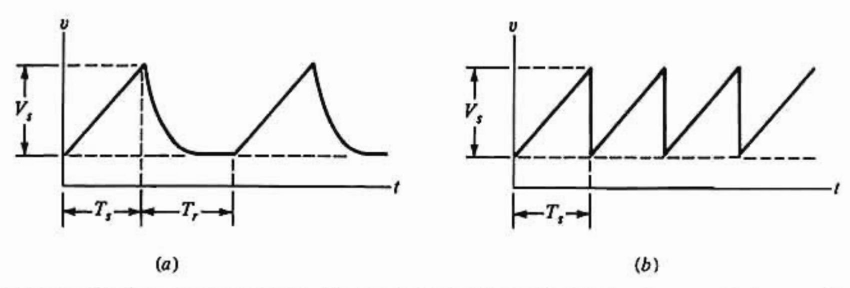


Figura 15-33. (*a*) Una tensión de barrido en general. El tiempo de barrido es T_s y el de retorno es T_r. La amplitud del barrido es V_s. (*b*) Onda de tensión en dientes de sierra de periodo T_s.

La Fig. 15-34 es el diagrama de bloques de un sistema de base de tiempo para un tubo de rayos catódicos. La onda v_c que se quiere observar se aplica a través de un amplificador de video de alta calidad (no representado en la figura) a las placas de deflexión vertical del tubo. Esta señal se aplica simultáneamente al sistema de barrido como entrada de sincronización. En el bloque 1 se selecciona la polaridad de sincronización tomando la salida a través de una resistencia ya sea de colector o de emisor. El amplificador (bloque 2) no necesita trabajar linealmente ya que todo lo que se necesita es que la salida v_t sea suficientemente grande y rápida para poder excitar el generador de puerta (monoestable). El algunas aplicaciones se emplea un disparador Schmitt, para obtener impulsos escarpados en la parte creciente o decreciente de la señal, a voluntad. Puesto que el disparador se emplea para iniciar el barrido, aparece en la pantalla la parte deseada de la señal de entrada.

El tercer bloque de la Fig. 15-34 es un multivibrador monoestable cuyo ancho de puerta viene determinado por la constante de tiempo RC (Fig. 15-29*a*). Una onda de disparo negativa (v_0 en la Fig. 15-29*b*) se aplica al generador de barrido (bloque 4) cuya velocidad de barrido depende de una resistencia R_1 y un condensador C_1 (Fig. 15-35). La salida del generador de barrido se amplifica linealmente (bloque 5) y se aplica a las placas de deflexión horizontal del tubo de rayos catódicos.

En el caso de que el tiempo de barrido sea corto en comparación con el tiempo entre uno y otro barrido el haz de rayos catódicos permanecerá en un punto durante la mayor parte del tiempo, y si para evitar quemaduras en la pantalla se reduce la intensidad, los trazos rápidos quedan muy desvanecidos. Para reforzar el trazado durante el barrido se aplica a la rejilla del tubo una entrada positiva derivada de las salidas del multi. De hecho, en presencia de esta señal intensificadora puede ajustarse el brillo de forma que al principio el punto no sea visible, pero haciéndose visible el trazado tan pronto se inicia el barrido.

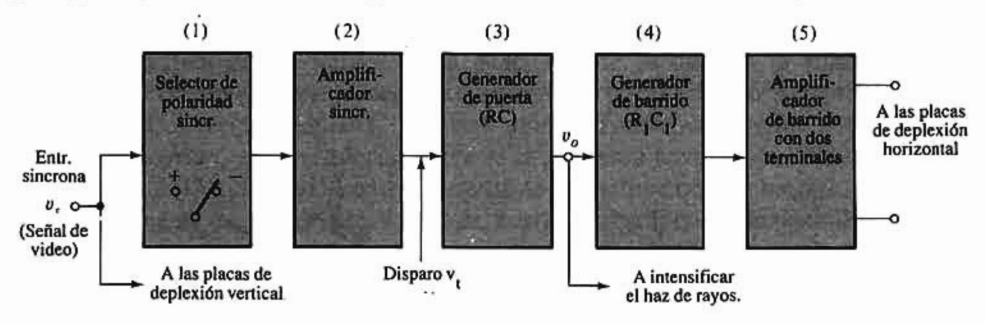


Figura 15-34. Diagrama de bloques del sistema generador de la base de tiempo para un tubo de rayos catódicos.

Generadores de barrido

El barrido más sencillo se obtiene cargando el condensador C_1 desde una tensión de alimentación V_{CC}

a través de una resistencia R_1 tal como se indica en la Fig. 15-35*a*. En el instante $t = 0$ se abre el interruptor S, y la tensión $v'_o(t)$ del barrido será

$$v'_o = V_{CC}(1 - \epsilon^{-t/R_1C_1}) \tag{15-44}$$

Para el razonamiento actual, la forma física del interruptor S no tiene importancia. Después de un intervalo T_s cuando la amplitud del barrido llega a V_s el interruptor se cierra nuevamente. La onda de barrido resultante es la de la Fig. 15-35*b* (suponiendo nula la resistencia del interruptor).

Obsérvese que la tensión de barrido es exponencial y no lineal. En el caso de un osciloscopio de rayos catódicos se precisa que la velocidad de barrido sea constante. Por tanto, una definición razonable de la desviación respecto a la linealidad podría venir dada por el *error de pendiente* o de velocidad de barrido, e_s:

$$e_s \equiv \frac{\text{Diferencia de pendiente al principio o final del barrido}}{\text{Valor inicial de la pendiente}} \tag{15-45}$$

Si aplicamos esta definición a la Ec. (15-44) hallaremos (Prob. 15-50) que *independientemente de la constante de tiempo*, para una amplitud de barrido dada V_s y una tensión de alimentación V_{CC}

$$e_s = \frac{V_s}{V} \tag{15-46}$$

La linealidad mejora a medida que decrece la relación V_s/V. Por tanto, el circuito simple de la Fig. 15-35*a* sólo resulta útil en aplicaciones con tensiones de barrido del orden de los voltios o de las decenas de voltios. Por ejemplo, se puede conseguir un barrido de 20 V con un error en la velocidad de barrido menor del 10% empleando una tensión de alimentación de por lo menos 200 V. Una tensión de barrido de centenares de voltios requeriría una alimentación de miles de voltios, lo que es un gran inconveniente.

Se consigue una gran mejora en la linealidad empleando el Amp-Op integrador (Miller) de la Fig. 15-35*c* en lugar del circuito simple de la Fig. 15-35*a*. Si la ganancia de tensión del amplificador es A_v, si la resistencia de entrada es $R_i = \infty$ y si la resistencia de salida es $R_o = 0$, entonces $v' = A_v v_i$. La entrada v_i es V_s/A_v cuando la amplitud del barrido en la salida del amplificador es V_s. Por tanto, según la Ec. (15-46), $e_s = V_s/A_vV$ lo que significa que

$$e_s(\text{Fig. 15-35}c) = \frac{1}{A_v}\, e_s(\text{Fig. 15-35}a) \tag{15-47}$$

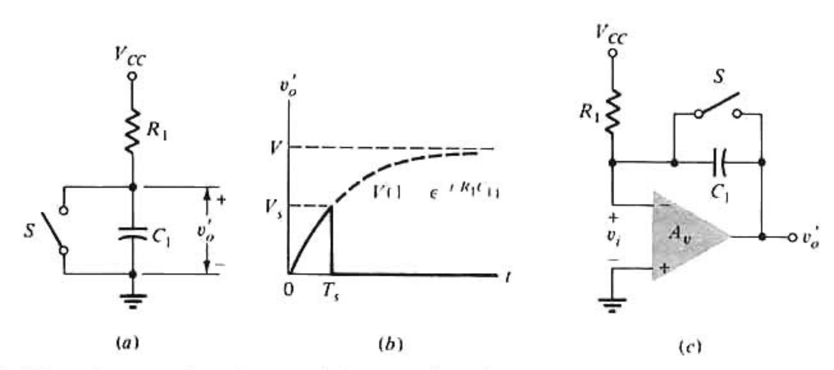


Figura 15-35. (*a*) Carga de un condensador a través de una resistencia a partir de una tensión fijada. (*b*) Onda exponencial resultante. (*c*) Circuito de barrido integrado de Miller.

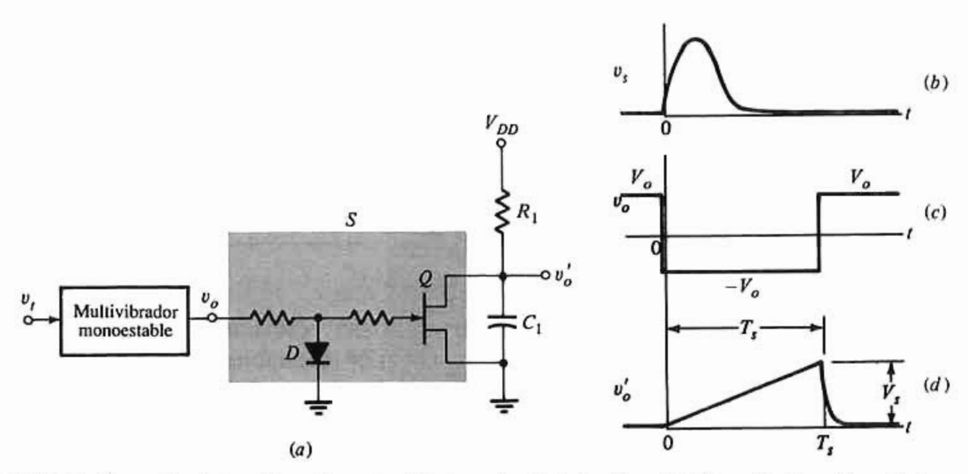


Figura 15-36. (*a*) Generador de barrido gobernado. El interruptor S de las Figs. 15-35*a* o 15-35*c* está excitado por el circuito diodo-resistencia FET. (*b*) Onda de impulso de video v_s a observar en la pantalla. (*c*) Tensión de salida v_o del multivibrador monoestable. (*d*) Barrido generado en sincronismo con la señal de entrada.

Siendo $A_v \approx 100.000$, el circuito integrado engendra tensiones en rampa sumamente lineales.

También puede obtenerse un barrido aproximadamente lineal con la configuración *bootstrop** del Prob. 15-54.

El interruptor S puede ser un JFET excitado por un generador de cebado como indica la Fig. 15-36*a* (que se corresponde con la Fig. 15-35*a*). La señal de video v_s que se pretende observar está representada en la Fig. 15-36*b*. Como se ve en la Fig. 15-34 la señal se amplifica para formar un disparo v_t para el multivibrador monoestable cuya salida v_o es la de la Fig. 15-36*c*. Existe un pequeño retraso (no representado) entre el inicio del impulso en la Fig. 15-36*b* y el principio del cebado en la Fig. 15-36*c*. En estado de reposo Q está en conducción porque $v_o = +V_o$ y la tensión del condensador se mantiene próxima a cero ya que $r_{DS\,(ON)} \ll R_1$. Durante el intervalo T_s el FET está cortado por la tensión de puerta $-V_o$ y el condensador se carga engendrando el barrido v_o de la Fig. 15-36*d*. Al final del intervalo T_s, v_o vuelve a $+V_o$ poniendo en conducción el FET, descargándose rápidamente C durante un corto tiempo de retroceso como se ha explicado en relación con la onda v_c de la Fig. 15-30*b* (El diodo D evita que la puerta de Q soporte una corriente apreciable).

Se observa también que la velocidad de barrido viene determinada por R_1 C_1 del generador de barrido, mientras que su anchura la determina RC del generador de cebado. Si la amplitud del barrido ha de mantenerse nominalmente constante, deberán ajustarse los controles R y C siempre que se varíen los de velocidad R_1 y C_1. Los condensadores C_1 y C se maniobran simultáneamente para cambiar el campo de velocidades de barrido, y la resistencia R_1 que se emplea para la variación continua de velocidad está relacionada con R. No se ha intentado mantener constante la amplitud con alguna precisión. Dicha amplitud se hace deliberadamente tan grande que el final del barrido caiga fuera de la pantalla del tubo con lo que no se observan las variaciones de amplitud.

15-14. GENERADORES DE ONDAS EN ESCALERA

La simple disposición de la Fig. 15-37*a* se emplea para engendrar la onda en escalera de la Fig. 15-37*b*.

* Expresión que significa aproximadamente «tirar del cordón» y que proviene de que si un extremo de una resistencia cambia de tensión, el otro extremo varía en igual cuantía como si un extremo «tirase» del otro (N. del T.).

Se aplica a un Amp-Op integrador un tren de impulsos negativos v_p del reloj. La salida v_o del integrador sube linealmente durante la duración T_p de cada impulso manteniéndose constante durante el tiempo entre impulsos (Fig. 15-37*c*). Si $T_p \ll T$ = período del reloj, la onda v se aproxima a la forma ideal de escalera. Obsérvese que ni el contador ni el interruptor S intervienen en la formación de la onda en escalera, sólo se necesitan para reponer v_o a cero después del número de escalones deseado (como veremos más adelante). Si V es la amplitud del impulso, la velocidad del barrido es V/RC y la altura V' de cada escalón es

$$V' = \frac{VT_p}{RC} \tag{15-48}$$

Si se desea terminar la escalera después de por ejemplo siete escalones, se emplea un contador asíncrono de tres etapas. La salida de cada uno de los tres FLIP-FLOP (biestables) se aplica a una puerta AND (Fig. 15-37*a*). Después del séptimo impulso hay coincidencia y la salida v_A de la puerta AND pasará a estado alto manteniéndose así hasta después del octavo impulso (diagrama de la Fig. 15-34). La onda resultante se usa para gobernar el interruptor S de la Fig. 15-37*a* que descarga rápidamente C hasta cero como en la Fig. 15-37*c*. Modificando el contador asíncrono con una puerta de realimentación adecuada, tal como se explicó en relación con la Fig. 8-16 se puede conseguir la reposición a cualquier número de escalones deseado.

Contador de almacenamiento

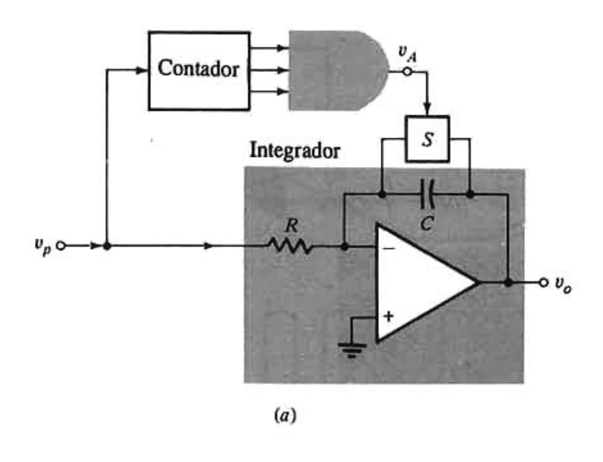
El paso de un escalón al siguiente de la Fig. 15-37*c* tiene lugar durante un tiempo T_p (el ancho de un impulso). Se puede tener una subida mucho más escarpada con la configuración del *contador de almacenamiento* de la Fig. 15-38. Para comprender el funcionamiento, supongamos que el condensador C_1 está descargado y el C_2 cargado a una tensión v. Un impulso de entrada hará que C_1 se cargue a través del diodo $D1$. La constante de tiempo a la que se carga es igual al producto de C_1 por la suma de las resistencias del diodo y del seguidor de tensión. Esta constante de tiempo puede ser muy pequeña en comparación con la duración del impulso y C_1 cargará plenamente a $v_1 = V$ con la polaridad indicada. Durante el tiempo de carga de C_1 el diodo $D2$ no conduce y la tensión a través de C_2 se mantienen en v_o. Al terminar el impulso de entrada el condensador C_1 queda a la tensión $v_1 = V$ que ahora aparece a través de $D1$. La polaridad de esta tensión es tal, que $D1$ no conducirá. No obstante, el condensador C_1 descargará sobre C_2 a través de $D2$ y de la resistencia de salida del amplificador. La tierra virtual en los terminales de entrada del Amp-Op no toma corriente alguna. Por tanto, toda la carga C_1V que abandona C_1 debe transferirse a C_2. El incremento de tensión a través de C_2 será pues

$$V' = \frac{C_1 V}{C_2} \tag{15-49}$$

reduciéndose a cero la tensión a través de C_1. Siguiendo el mismo razonamiento, el siguiente impulso carga nuevamente C_1 a la tensión V durante T_p transfiriendo abruptamente la carga C_1V a C_2 al finalizar el impulso, de forma que v decrece otro escalón de la misma magnitud V' dada por la Ec. (15-49).

Aplicaciones

La onda en escalones frecuentemente se emplea para variar escalonadamente una tensión. También se utiliza con fines de muestreo (a muy alta frecuencia). Asimismo se emplea esta onda en escalones para trazar sobre la pantalla de un osciloscopio una familia de características tensión-corriente del BJT o FET.



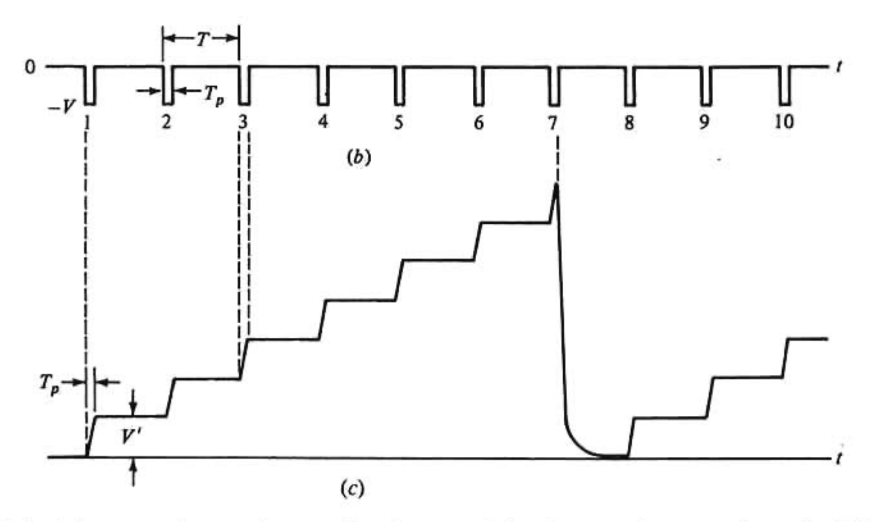


Figura 15-37. (*a*) Se obtiene una onda en escalera v_o aplicando un tren de impulsos estrechos v_p a un integrador Miller. El contador, la puerta AND y el interruptor gobernado S cumplen la operación de reposición. Las ondas de v_p y v_o están representadas en (*b*) y (*c*) respectivamente.

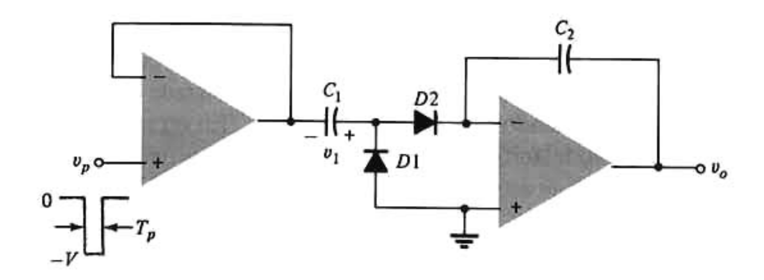


Figura 15-38. Un contador de almacenamiento generador de escalera. El circuito de reposición es idéntico al de la Fig. 15-37.

En esta aplicación cada escalón corresponde a un valor constante de la corriente de base o tensión de puerta.

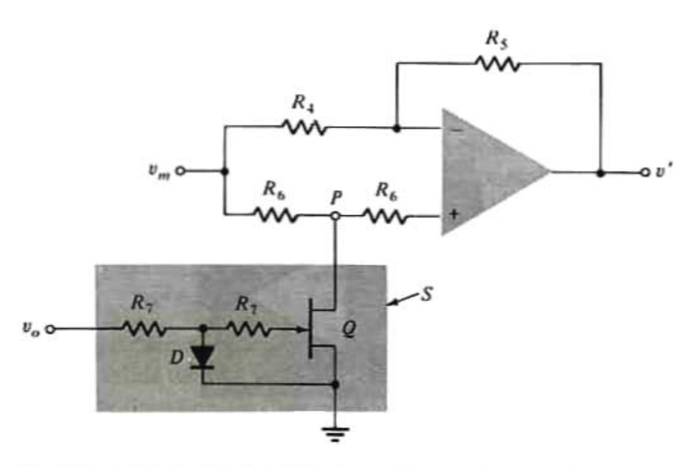


Figura 15-39. Amplificador positivo-negativo de ganancia gobernada: $A = \pm 1$, si $R_5 = R_4$.

15-15. MODULACIÓN DE UNA ONDA CUADRADA

La variación de característica de una *portadora* de alta frecuencia proporcionalmente a una señal de baja frecuencia se denomina *modulación*. El parámetro que se modula puede ser la frecuencia, la amplitud o el ancho del impulso. El sistema de oscilador de tensión gobernada de la Fig. 15-28 es un ejemplo de onda cuadrada de frecuencia modulada (FM). La Ec. (15-36) indica que la frecuencia f es proporcional a la magnitud de la señal moduladora v_m.

Modulación de amplitud

Multiplicando cualquier onda portadora por una señal moduladora v_m se obtiene una señal de amplitud modulada ya que el valor instantáneo de la portadora es proporcional a v_m. Para una portadora senoidal se puede emplear un multiplicador analógico (Sec. 16-14).

Si la portadora es una onda cuadrada puede llevarse muy fácilmente a cabo la multiplicación con un *amplificador bifásico* (Fig. 15-39). Si $v_o = +V_o$, la tensión de salida es $v' = -v_m$; con $v_o = -V_o$, $v' = +v_m$. El análisis se deja para el lector en el Prob. 15-41. En la Fig. 15-40*a* la señal de modulación v_m se ha representado (por facilidad de dibujo) con trazos rectilíneos, siendo la portadora la onda cuadrada v_o de la Fig. 15-40*b*. La onda resultante, de amplitud modulada (AM) está esbozada en la Fig. 15-40*c*. Obsérvese que cuando $-v_o$ es positivo, $v' = v_m$ y cuando $-v_o$ es negativo $v' = -v_m$. En otras palabras, la onda cuadrada queda multiplicada por la señal de modulación. A este sistema a veces se le denomina *modulador de altura de impulso o modulador de amplitud de impulso* (PAM).

Modulador recortador

Se obtiene un modulador de amplitud sencillo «recortando» la señal mediante un interruptor gobernado sincrónicamente por la onda cuadrada. El interruptor S_1 de la Fig. 15-41 está gobernado por el negativo de la onda cuadrada de la fig. 15-40*b*. La función de S_1 la puede muy bien desempeñar el interruptor JFET

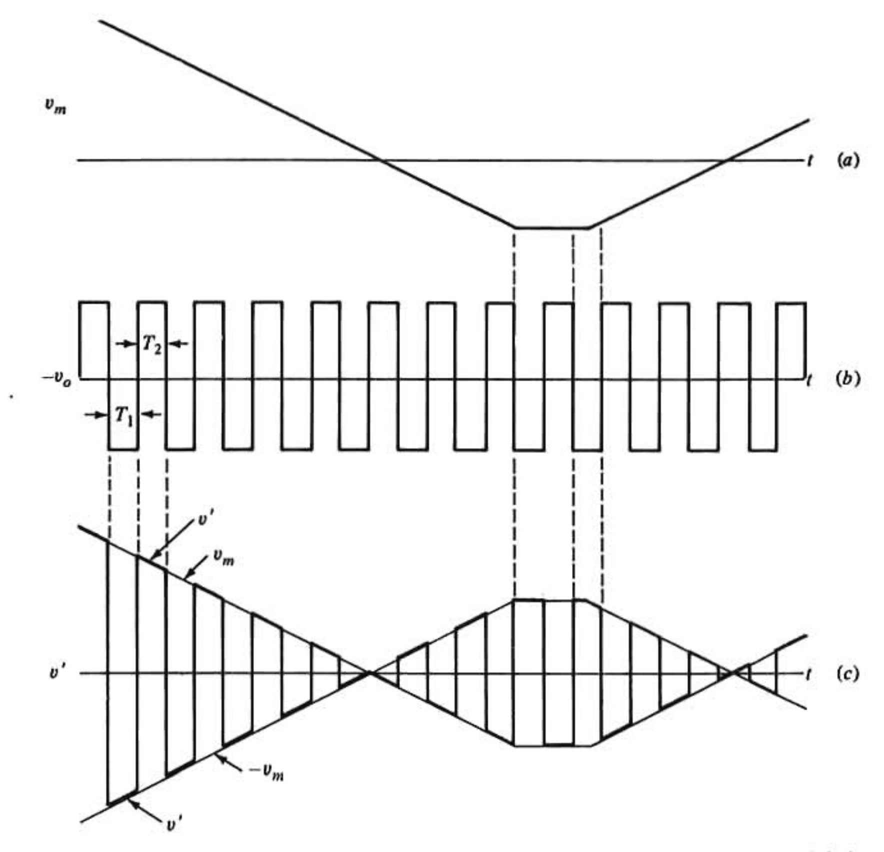


Figura 15-40. (*a*) Señal moduladora. (*b*) Onda portadora cuadrada de frecuencia constante. (*c*) Onda modulada en amplitud.

S de la Fig. 15-36 o el interruptor analógico CMOS de la Fig. 6-32. Durante el periodo T_2 cuando v_o (en las Figs. 15-40 y 15-41) es negativo, S_1 está abierto y $v = v_m$. Durante T_1 cuando v_o es positivo, S_1 está cerrado y $v = 0$, supuesto que la resistencia de S_1 cerrado sea mucho menor que *R*. Con las señales de modulación v_m y de corte v_o de las Figs. 15-40*a* y 15-40*b*, respectivamente, la onda *v* es tal como indica la Fig. 15-41*b*. Obsérvese que la onda *v* es una versión *recortada* o *muestrada* de la onda v_m, por lo que al circuito de la Fig. 15-41*a* se le llama *recortador*.

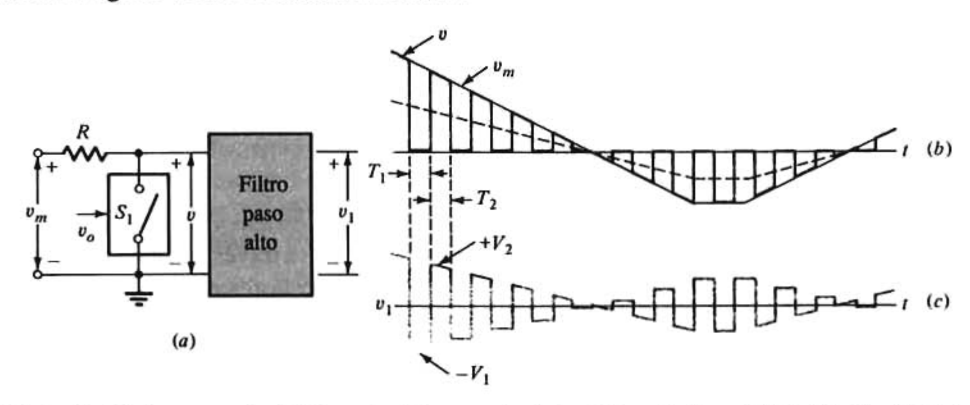


Figura 15-41. (*a*) Modulador recortador. (*b*) Reproducción recortada de la señal moduladora de la Fig. 15-40*a*. (*c*) Onda modulada en amplitud.

Observemos que cuando S_1 está abierto la señal v reproduce la señal de entrada v_m, y tal como se ve en la figura en cada intervalo en el que S_1 está abierto se produce una apreciable variación en la tensión v_m. Es decir, que cuando v_m es positivo, los extremos positivos de la onda v_m no se mantienen a tensión constante y lo mismo sucede en los extremos negativos cuando v_m es negativo. Lo más corriente es que la frecuencia de trabajo del interruptor sea muy elevada (unas 100 veces mayor) frente a la frecuencia de la señal v_m. Por tanto, no hay cambio apreciable en v_m mientras S_1 esté abierto. De acuerdo con esto, es apropiado describir la onda v_m como una onda cuadrada de amplitud proporcional a v_m y con un valor medio (señalado a trazos) también proporcional a la señal v_m. También se puede decir que v es una onda cuadrada de la frecuencia del interruptor, modulada en amplitud por la señal de entrada y superpuesta a una señal proporcional a la propia señal de entrada v_m.

La frecuencia inferior de corte del filtro paso alto es tal que la onda cuadrada de frecuencia relativamente alta pasa con poca distorsión mientras que la frecuencia de la señal está bastante por debajo del punto de corte. En consecuencia, a la salida del filtro se tiene la onda de la Fig. 15-41*c* que corresponde a v pero habiéndole restado el valor medio. Obsérvese que v_1 es una réplica atenuada de la onda v' modulada en amplitud, obtenida en la Fig. 15-40.

Demoduladores

El proceso de recuperar la señal moduladora de la señal modulada en amplitud v_m se denomina *demodulación*. El amplificador de ganancia positiva-negativa empleado como modulador funciona igualmente como demodulador. Esta afirmación se justifica con el siguiente razonamiento. Si la onda modulada v' de la Fig. 15-40*c* se utiliza como entrada v_m a la Fig. 15-39, tendremos que en el intervalo T_1 (Fig. 15-40*b*) cuando $v' = -v_m$, la ganancia A es -1, y en el siguiente semiperiodo T_2 cuando $v' = v_m$, $A = +1$. Por tanto, la salida v' (en la Fig. 15-39) en cualquier periodo es v_m (en la Fig. 15-40). Evidentemente se ha reconstruido la señal original v_m.

En la Fig. 15-42 se indica una variante de demodulador que se corresponde con el modulador recortador de la Fig. 15-41. El interruptor S_2 está gobernado por $+ v_o$ y por tanto actúa en sincronismo con S_1 de la

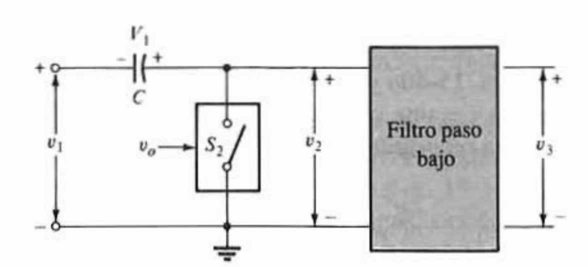


Figura 15-42. Demodulador síncrono.

Fig. 15-41. Por ejemplo, en el intervalo T_1 de la Fig. 15-41*c*, S_2 está cerrado y la salida es nula. Por tanto, durante T_1 el extremo negativo de v_1 está conectado a tierra y la tensión a través de C es $-V_1$ como se aprecia en la Fig. 15-42. En el semiciclo siguiente T_2 de la onda cuadrada S_2 está abierto, $v_1 = + V_2$, y $v_2 = V_2 + V_1$ que es la amplitud de v (Fig. 15-41) durante T_2. A consecuencia del efecto de acoplamiento de C y del interruptor gobernado S_2 la onda v_1 se reconvierte en la señal modulada recortada v de la Fig. 15-41*b*. Si esta onda v se pasa por el filtro paso bajo de la Fig. 15-42 que rechaza la alta frecuencia de la onda cuadrada y transmite la señal de baja frecuencia, la onda resultante v_3 es la modulación v_m de la Fig. 15-40*a*. El conjunto de condensador C, interruptor S_2 y filtro de paso bajo forman un *demodulador síncrono*.

Amplificador recortador estabilizado

Veremos ahora un sistema modulador-demodulador que tiene una aplicación particularmente interesante. Supongamos que se necesita amplificar una pequeña señal $v_m(t)$ (por ejemplo del orden de los milivoltios) y que dv_m/dt es extremadamente pequeña. Por ejemplo, si la señal es periódica, el periodo puede ser de minutos y aún de horas de duración. Un amplificador de alterna con el acoplamiento entre etapas acostumbrado no es factible ya que los condensadores de bloqueo deberían ser prohibitivamente grandes y se haría necesario un acoplamiento directo entre etapas. Pero con tal amplificador de continua no podríamos distinguir entre los cambios de la tensión de salida debidos a las variaciones de la tensión de entrada y los debidos a variaciones en algunos componentes activos a causa quizás de la temperatura.

Si el amplificador es de gran ganancia, aun un pequeño desplazamiento del punto de trabajo de la primera etapa, amplificado por las etapas siguientes, puede suponer una gran variación en la salida. Resumiendo, para este objeto se requiere un amplificador de continua extremadamente estable.

Para soslayar esta dificultad se utiliza un amplificador de alterna precedido de un modulador y seguido de un demodulador. Este procedimiento queda representado en la Fig. 15-43. Puesto que la señal de entrada v_m de variación lenta es recortada, puede admitirla fácilmente un amplificador de alterna convencional (que es un sistema de paso alto). Seguidamente se demodula la onda amplificada para reconstruir una réplica aumentada de la entrada v_m. A este sistema se le denomina amplificador recortador estabilizado. Obsérvese sin embargo que el amplificador no está estabilizado por el recortador sino más bien porque la combinación síncrona de modulador-demodulador elimina la necesidad de un amplificador directamente acoplado exento de desviaciones.

La respuesta en frecuencia de un amplificador recortador estabilizado es muy pobre. No obstante existen amplificadores estabilizados en alta frecuencia, de varios fabricantes, que aumentan el recortador con un Amp-Op acoplado en alterna, de alta frecuencia, de forma que la respuesta global se extiende hasta la frecuencia cero. Por ejemplo, el HA 2900 de Harris Semiconductor o el 3292 de Burr-Brown tienen las excelentes características siguientes: desviación de tensión offset de ± 0,3. μV/°C; desviación de corriente offset ± 1 pA/°C; ancho de banda con ganancia unidad, 3 MHz, y ganancia mínima en lazo abierto equivalente a 140 dB.

Modulación de ancho de impulso

Si se aplica una onda triangular $v(t)$ a un comparador cuya tensión de referencia V_R no sea constante, sino más bien una señal de audio $v_m(t)$, se obtendrá una sucesión de impulsos. El ancho de estos impulsos refleja la información audio. La Fig. 15-44*a* representa el sistema de *modulación de ancho de impulso*.

Si $v > v_m$ la salida del comparador es $v_o = V_o$ y si $v < V_m$ entonces $v_o = -V_o$ como se indica en la Fig. 15-44*b*. Cuando $v_m = 0$ el ancho del impulso es $T/2$ siendo T el periodo de la onda triangular. A medida que v_m va creciendo se va reduciendo linealmente el ancho de los impulsos de salida v_o. El tren de impulsos tiene un valor medio proporcional a la señal de modulación. Por tanto, un detector de valor medio puede utilizarse como demodulador. Obsérvese que los retrasos de conmutación iguales, positivos y negativos se compensan en el comparador y no afectan al ancho del impulso.

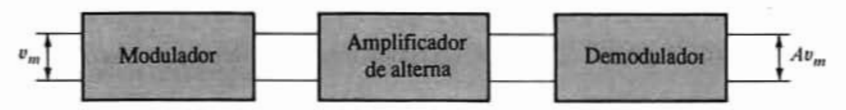


Figura 15-43. Amplificador recortador estabilizado.

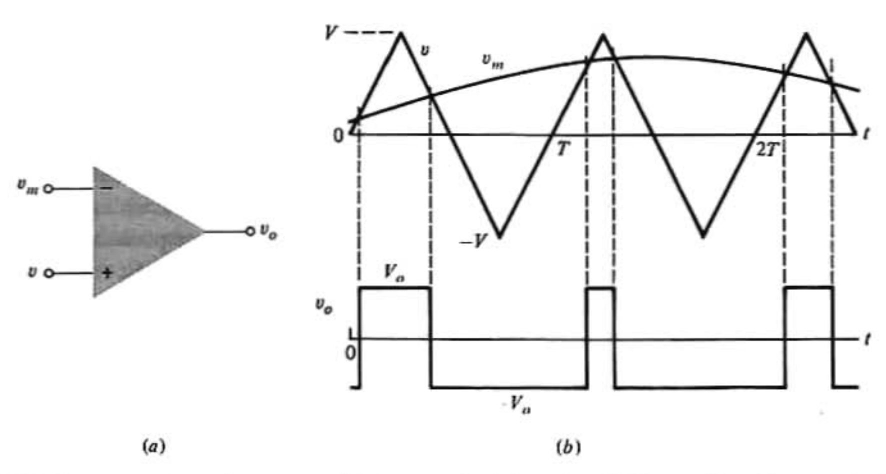


Figura 15-44. (*a*) Un comparador usado como modulador de ancho de impulso. (*b*) Como referencia se emplea la onda triangular v_r. La señal moduladora es v_m y el tren de impulsos de salida es v_o.

El sistema descrito es también un modulador asimétrico lineal (Sec. 15-10). La asimetría viene dada por $\delta = 0{,}5(1 - v_m/V)$ siendo V el valor de pico de la onda triangular.

REFERENCIAS

1 Hodges, D.A., y H.G. Jackson: "Analysis and Design of Digital Integrated Circuits," McGraw-Hill Book Company, Nueva York, 1983.

2 Grebene, A.B.: "Bipolar and MOS Analog Integrated Circuit Design," John Wiley and Sons, Nueva York, 1984.

3 Ghausi, M.S.: "Electronic Devices and Circuits: Discrete and Integrated," Holt, Nueva York, 1985.

4 Schilling, D. y C. Belove: "Electronic Circuits: Discrete and Integrated," McGraw-Hill Book Company, Nueva York, 1979.

5 Soclof, S.: "Applications of Analog Integrated Circuits," Prentice-Hall, Englewood Cliffs, N.J., 1985.

6 Taub, H., y D. Schilling: "Digital Integrated Electronics, McGraw-Hill Book Company," Nueva York, 1977.

7 Sedra, A.S., y K.C. Smith: "Microelectronic Circuits," Holt, Nueva York, 1981.

8 Millman, J., y H. Taub: "Pulse, Digital and Switching Waveforms," McGraw-Hill Book Company, Nueva York, 1965.

TEMAS DE REPASO

15-1. Establecer el criterio de Barkhausen, es decir, las condiciones nedesarias para sostener oscilaciones senoidales.

15-2. ¿Cuáles son los márgenes de ganancia y de fase necesarios para sostener oscilaciones senoidales?

15-3. Esbozar el oscilador de desplazamiento de fase empleando: (*a*) un Amp-Op, y (2) un JFET.

15-4. (*a*) Esbozar la topología de un oscilador de circuito resonante generalizado empleando las impedancias Z_1 Z_2 y Z_3.
(*b*) ¿A qué frecuencia oscilará el circuito?
(*c*) ¿En qué condiciones la configuración se reduce a un oscilador Colpitts? ¿y a uno Hartley?

15-5. (*a*) Esbozar el circuito de un oscilador de puente de Wien.
(*b*) ¿Qué componentes determinan la frecuencia de oscilación?
(*c*) ¿Y cuáles la amplitud?

15-6. (*a*) Dibujar el modelo eléctrico de un cristal piezoeléctrico.
(*b*) Esbozar la reactancia en función de la frecuencia.
(*c*) ¿Sobre qué parte de la curva de reactancia se desea que se produzcan oscilaciones cuando se emplea el cristal como parte de un oscilador senoidal? Explíquese.

15-7. Esbozar el circuito de un oscilador gobernado por cristal.

15-8. Comparar y contrastar los tres tipos de multivibradores.

15-9. Dibujar un multivibrador monoestable de puerta NOR y explicar su funcionamiento.

15-10. ¿Cuál es la función de un diodo en el multivibrador CMOS?

15-11. Repetir el tema 15-9 para un circuito astable.

15-12. (*a*) Esbozar la característica de un comparador ideal con tensión de referencia V_R.
(*b*) Repetir el punto anterior para un comparador real.

15-13. (*a*) Citar dos mejoras en las características del comparador que se pueden conseguir conectando el Amp-Op en cascada con una combinación en serie de una resistencia *R* y dos diodos Zener en oposición.
(*b*) ¿Qué determina la magnitud de la resistencia *R*?

15-14. (*a*) Esbozar el sistema indicado en el tema anterior para un comparador inversor con una referencia V_R.
(*b*) Dibujar la característica de transferencia realística si la tensión de salida se toma en el terminal de salida del Amp-Op, y también si se toma a través de los dos diodos Zener.

15-15. Esbozar el circuito para convertir una senoide en: (*a*) una onda cuadrada y (*b*) una serie de impulsos positivos, uno por cada ciclo.

15-16. Explicar cómo se mide la diferencia de fase entre dos senoides.

15-17. Si se presentan picos de ruido en la señal de entrada de un comparador en las proximidades de la amplitud V_R. ¿Por qué la salida puede rechinar?

15-18. (*a*) Esbozar un comparador regenerativo (disparador Schmitt) y explicar su funcionamiento.
(*b*) ¿Qué parámetros determinan la ganancia del lazo?
(*c*) ¿Cuáles la histéresis?
(*d*) Esbozar la característica de transferencia e indicar la histéresis.

15-19. Repetir el tema anterior para un disparador Schmitt de emisor acoplado.

15-20. (*a*) Dibujar el sistema de un generador de onda cuadrada empleando un comparador.
(*b*) Explicar su funcionamiento dibujando las ondas de tensión del condensador y de la salida.
(*c*) Indicar un método para obtener una onda cuadrada no simétrica ($T_1 \neq T_2$).

15-21. (*a*) Empleando un comparador y un integrador dibujar el sistema de un generador de onda triangular con $T_1 = T_2$.
(*b*) Explicar el funcionamiento dibujando la onda de tensión del condensador.

15-22. Dibujar la configuración de un amplificador positivo-negativo de ganancia controlada, y explíquese su funcionamiento.

15-23. (*a*) En un oscilador gobernado por tensión ¿Cuál es la característica gobernada por la tensión exterior aplicada?
(*b*) ¿Qué se entiende por modulación de asimetría del ciclo?

15-24. (*a*) Dibujar la configuración de un generador de impulso (de disparo único) empleando un comparador.
(*b*) Explicar su funcionamiento haciendo referencia a las ondas del condensador y de salida.

15-25. (*a*) Un condensador *C* se carga desde una alimentación *V* a través de una resistencia R. Se emplea un JFET de canal *n* a manera de interruptor en paralelo con *C*, y está polarizado de forma que el transistor *Q* esté cortado. La tensión v_c del condensador se aplica al terminal inversor de un comparador con tensión de referencia $V_R < V$. En el instante $t = 0$ un impulso de cebado v_1 pone a *Q* en conducción. Esbozar las ondas v_t, v_c y v_o (salida del comparador).
(*b*) Explicar el funcionamiento y demuéstrese que esta configuración funciona como multivibrador monoestable redisparable.

15-26. Dibujar el diagrama de bloques de un sistema de base de tiempos para un osciloscopio de rayos catódicos.

15-27. Esbozar la configuración de un generador de barrido con onda de salida, (*a*) exponencial, (*b*) lineal, (*c*) indicar una forma de interruptor de reposición.

15-28. (*a*) Esbozar un sistema a base de un integrador para generar una onda escalonada v, partiendo de un tren de impulsos v_p.
(*b*) Esbozar v_p y v y explicar su funcionamiento.
(*c*) Explicar cómo reponer el sistema después de N impulsos.

15-29. Repetir el tema anterior para un generador de escalones, contador de almacenamiento.

15-30. Explicar cómo modular en amplitud una onda portadora senoidal v_c mediante una onda de menor frecuencia v_m.

15-31. (*a*) Explicar cómo modular la amplitud de una portadora cuadrada v_c mediante una onda de menor frecuencia v_m empleando un amplificador de ganancia controlada positivo-negativo A.
(*b*) Explicar por qué A puede emplearse también como demodulador de amplitud.

15-32. Esbozar el sistema de modulador-recortador y explicar su funcionamiento.

15-33. ¿Qué es un amplificador recortador estabilizado? Explíquese.

15-34. (*a*) Explicar cómo se emplea un comparador a manera de modulador de ancho de impulso.
(*b*) Dibujar la onda moduladora v_m y la correspondiente onda de salida v_o.

16

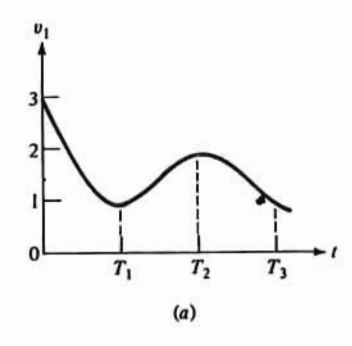
Acondicionamiento y conversión de datos

Los sistemas de control, comunicaciones, cálculo e instrumentación electrónicos pueden considerarse como procesadores de la información contenida en las señales eléctricas presentes en el sistema. Er. capítulos anteriores se ha indicado que la información reside en las características de la onda de señal. Por ejemplo, el dato puede estar contenido en la frecuencia, fase, amplitud, duración del impulso o en la presencia o ausencia de un impulso en un momento dado. En el Cap. 15 se han tratado circuitos para la generación de una variedad de tales ondas. En este capítulo se describe un cierto número de circuitos empleados en el acondicionamiento y conversión de datos, específicamente aquellos que se traducen en una característica de la señal apropiada a una aplicación particular. Se incluyen los convertidores de analógico a digital (A/D), de digital a analógico (D/A) (llamados también ADCs y DACs respectivamente), los filtros activos *RC* comprendiendo los circuitos gobernados por capacidad, así como otros varios para el cálculo analógico.

16-1. SEÑALES Y PROCESADO DE SEÑALES

Para describir las ondas eléctricas conviene clasificarlas en ondas continuas y ondas discretas. En la Fig. 16-1 se representan dos señales continuas y en la Fig. 16-2 dos discretas. Como se ve en la Fig. 16-1 una señal continua se expresa por una función del tiempo definida para todos los valores de t, es decir, que t es una variable continua. La señal discreta existe sólo en determinados instantes. Su descripción funcional es válida sólo para los intervalos discretos de tiempo.

Se puede percibir otra particularidad de las ondas de las Figs. 16-1 y 16-2 si consideramos la señal de la Fig. 16-1*a* como una tensión representativa de una cantidad física (quizás puede ser la tensión de salida de un micrófono). La señal discreta de la Fig. 16-2*a* tiene la misma amplitud en los instantes $t = 0$, T_1, T_2 y T_3 que la señal continua de la Fig. 16- 1*a*. Ambas ondas de tensión tienen una correspondencia biunívoca en tiempo y amplitud con la cantidad física representada. La onda de la Fig. 16-1*a* es una señal de muestreo



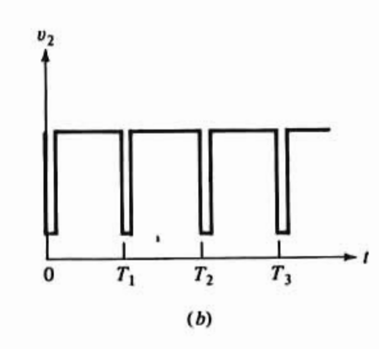


Figura 16-1. Dos ondas de señales continuas.

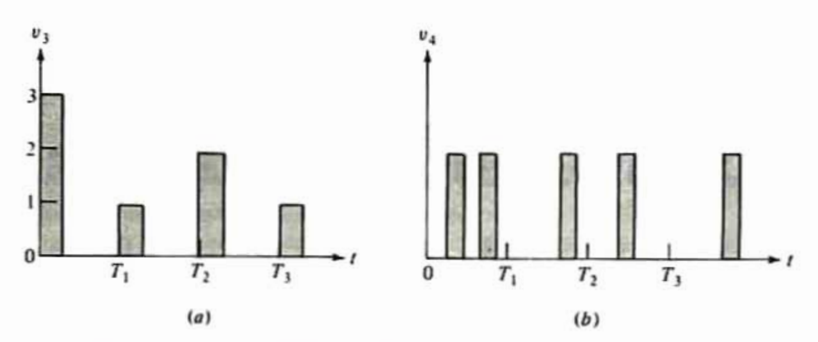


Figura 16-2. Dos señales discretas. La onda en (*a*) representa impulsos cuyas amplitudes son las de la Fig. 16-1a en los instantes (*b*) T_1, T_2 y T_3 respectivamente. La onda en (*b*) es la representación binaria de 2 bit de las amplitudes en (*a*) a T_1, T_2 y T_3.

de datos o simplemente una señal de muestreo, y los sistemas que utilizan tales señales forman los sistemas de muestreo.

En este contexto, la secuencia de los impulsos en cada intervalo de tiempo de la Fig. 16-2*b* es una representación numérica o digital de las correspondientes muestras de tensión representadas en la Fig. 16-2. Ni la amplitud ni el tiempo de las señales de las Figs. 16-1*b* y 16-2*b* corresponden a la cantidad física v_1. Esencialmente son señales en las que la información está contenida en la presencia o ausencia de un impulso durante un período de tiempo dado.

Las ondas de las Fig. 16-1*a* y 16-2*a* son señales analógicas y las de las Figs. 16-1*b* y 16-2*b* son digitales. Ambos tipos de señales se encuentran frecuentemente en los sistemas electrónicos modernos. Evidentemente se necesitan circuitos que procesen estas señales pasándolas de uno a otro tipo. Las siguientes descripciones ayudarán a exponer las distintas funciones que el circuito debe cumplimentar.

La Fig. 16-3 representa un sistema comercial de radio modulada en amplitud. El principal objetivo del sistema es transferir una información audio desde el extremo emisor al extremo receptor. El primer paso del proceso es convertir una energía acústica en una señal eléctrica. La conversión la realiza un transductor, corrientemente un micrófono. Como la salida del transductor es una señal de bajo nivel se hace necesaria

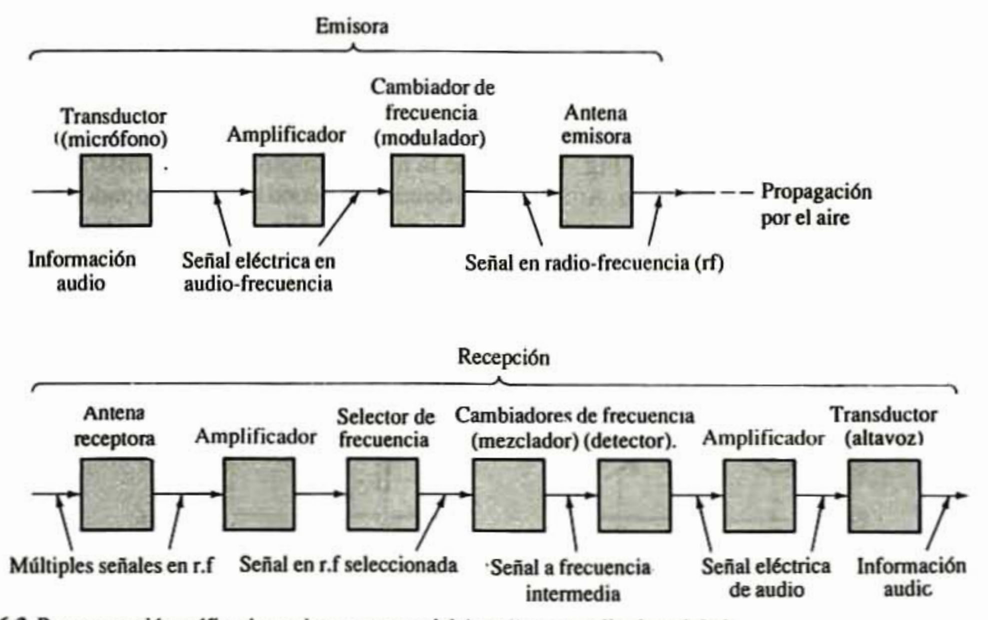


Figura 16-3. Representación gráfica de un sistema comercial de radio en amplitud modulada.

una amplificación. Las señales en radio-frecuencia (señales de frecuencia superior a los 500 kHz) se propagan por el aire mucho mejor que las de audio-frecuencia (20 a 20.000 Hz). Por ello frecuentemente la información audio se traduce a frecuencias de radio por un proceso denominado *modulación.*

En el receptor, el proceso para extraer la información es casi inverso al de transmisión. La señal que llega es débil y debe ser amplificada, pero además, como a la antena receptora llegan muchas señales (estaciones emisoras) hay que identificar y separar la deseada, función a la que se denomina *selección de frecuencia.* Por consideraciones prácticas se realizan dos traslados de frecuencia (demodulación), el mezclador y el detector, antes de extraer la señal de audio deseada. El transductor final, normalmente altavoz, reconvierte la señal eléctrica en la onda acústica audible.

En un sistema de amplitud modulada (AM) la información de audio está contenida en la amplitud de la portadora de radio-frecuencia (Fig. 16-4*a*), mientras que en el sistema de frecuencia modulada (FM) la información reside en las variaciones de frecuencia de la onda de radio. En los procesos de modulación y de demodulación en el sistema de FM intervienen convertidores de tensión-frecuencia y de frecuencia-tensión.

Si la información audio a emitir es la música contenida en un disco digital, la señal digital almacenada se convierte en una onda analógica mediante un convertidor D/A. (Recuérdese que un disco gramofónico puede considerarse como una memoria de sólo lectura ROM.)

Las transmisiones telefónicas modernas emplean señales moduladas por impulsos codificados (PCM) en los que la información oral se convierte en una señal digital en el transmisor reconstruyéndose luego como señal analógica en el receptor. Para transmisiones a gran distancia las señales PCM son más efectivas que las analógicas, porque los datos digitales se ven menos afectados por el ruido que las ondas analógicas. Para tener en cuenta las pérdidas de transmisión, las señales analógicas deben amplificarse periódicamente (aproximadamente cada 50 km). El ruido introducido por estos repetidores (amplificadores) es acumulativo pudiendo resultar unas señales seriamente perturbadas. En el sistema PCM los repetidores detectan la señal de llegada y la regeneran y «limpian» para transmitirla al repetidor o estación siguiente. En consecuencia, a la señal se le suma el ruido introducido en un solo enlace. Obsérvese que los circuitos digitales, al tener un margen de ruido grande (Cap. 6) hacen la transmisión eficaz.

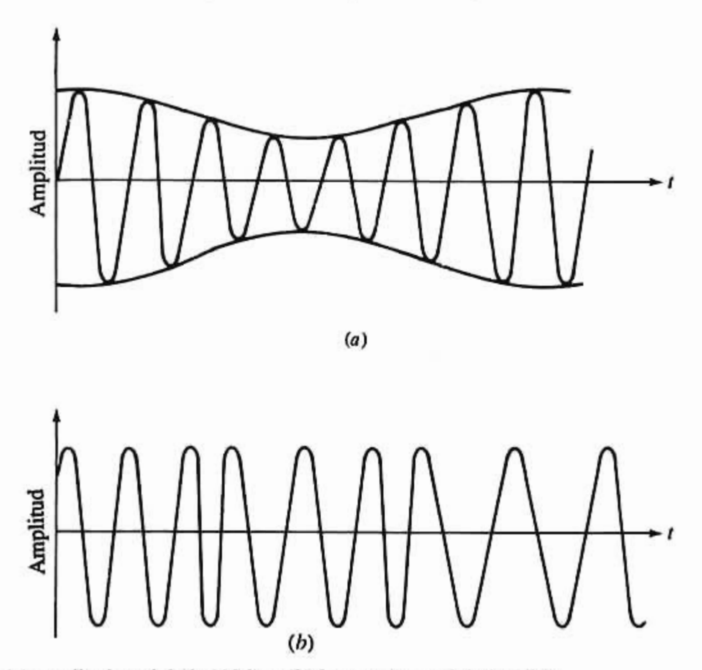


Figura 16-4. Ondas de: (*a*) amplitud modulada (AM), y (*b*) frecuencia modulada (FM).

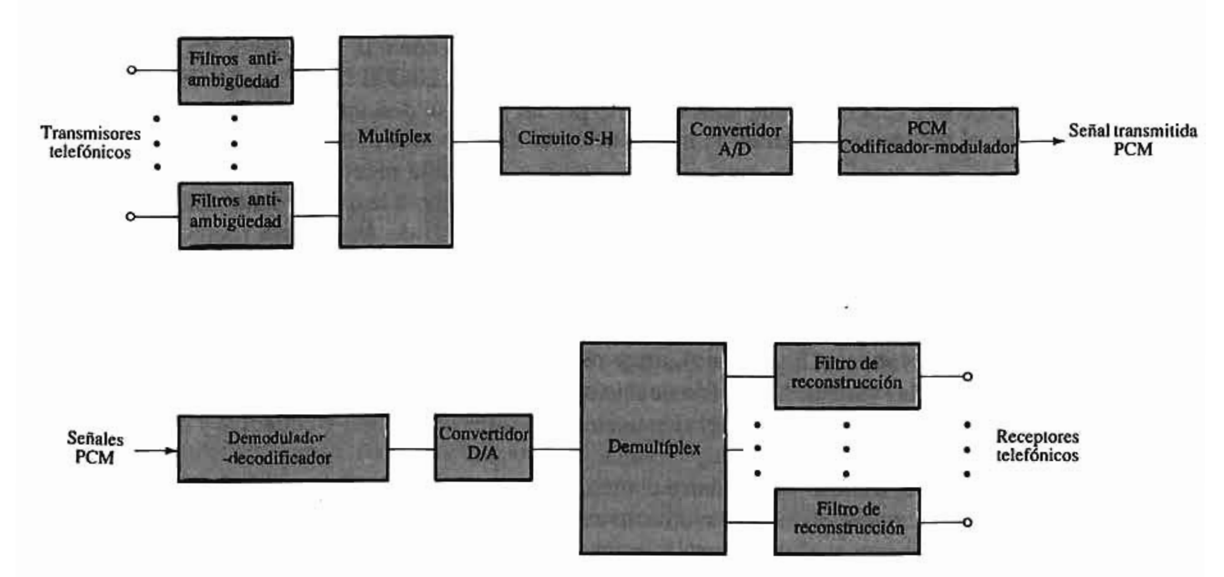


Figura 16-5. Representación gráfica de un sistema telefónico. Normalmente se aplican 24 señales al multíplex y se emplea un demultíplex de 24:1 para separar las distintas conversaciones.

En la Fig. 16-5 se representa, simplificado, un sistema telefónico. La señal de audio, generada por un micrófono, se muestrea, (circuito de muestreo y retención) y se convierte en digital mediante un convertidor A/D. La señal digital se emplea para modular la señal PCM transmitida. En el receptor se demodula la portadora y se reconvierte en señal analógica. En la transmisión de datos ésta función la realiza un modulador-demodulador.

En la misma Fig. 16-5 figuran también dos filtros (selección de frecuencia). El filtro *anti-ambigüedad* se usa el transmisor y elimina la ambigüedad en la señal muestreada. Para comprender el origen de esta ambigüedad consideremos dos señales senoidales, $v_1 = 2\text{sen}\pi\times 10^3 t$ y $v_2 = -2\text{sen}\ 7\pi 10^3 t$ como en la Fig. 16-6. Las frecuencias de estas señales son 0,5 y 3,5 kHz respectivamente. Si se muestrean v_1 y v_2 a un ritmo de 4 kHz (es decir a cada 0,25 ms), los valores tomados son los indicados por los puntos señalados sobre la senoide más amplia (de menor frecuencia). Como puede verse en la figura, v_1 y v_2 tienen en esos instantes el mismo valor. Por tanto, existe una ambigüedad que imposibilita una reconstrucción única de la señal original. Sin embargo si v_1 y v_2 se muestrean al ritmo de 8 kHz (cada 0,125 ms) ya no existirá esa ambigüedad como se ve en la propia figura. Para evitar que se produzca tal ambigüedad la frecuencia de muestreo debe ser por lo menos el doble de la mayor frecuencia contenida en la señal analógica. El objeto del filtro es limitar la frecuencia máxima de la señal analógica que se debe muestrear a una mitad de la frecuencia de muestreo. El filtro de reconstrucción se necesita a veces para alisar la onda de salida del convertidor D/A.

La representación de la Fig. 16-5 es aplicable a muchos sistemas que emplean el procesado digital. Por ejemplo, la señal de entrada puede ser proporcional a la velocidad del desplazador utilizado para transportar el portador de la oblea en la fabricación de circuitos integrados. Para la utilización de la potencia de un computador digital (o micro-procesador) en el proceso de control, se muestrea la señal de entrada y se convierte en su equivalente digital. El computador trabaja sobre esta información y proporciona una señal (digital) que indica si hay que corregir la velocidad del desplazador. La salida digital se transforma en una señal analógica que se amplifica (normalmente) y se aplica al sistema de transporte. Si, además, para el control se necesita la posición del desplazador, la señal de velocidad puede integrarse y convertirse también en una señal digital. El multíplex permite el muestreo de las señales de velocidad y de posición (desplazamiento) con el mismo circuito.

Las descripciones cualitativas de los párrafos anteriores muestran la variedad de funciones que se deben

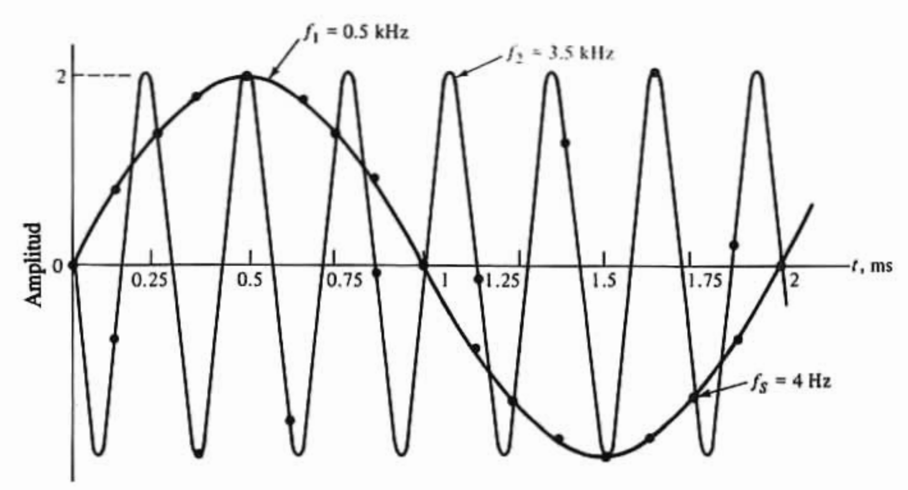


Figura 16-6. Demostración de ambigüedad. La senoide de 0,5 kHz y la de 3,5 kHz tienen la misma amplitud si se muestrean cada 0,25 ms (frecuencia de muestreo de 4 kHz). Sin embargo, muestreando cada 0,125 ms (frecuencia de muestreo de 8 kHz) tendremos distintas amplitudes en las dos señales.

cumplir para el procesado eficaz de señales. En las siguientes secciones se tratará de la conversión mutua de señales analógicas y digitales. En lo que resta del capítulo veremos una variedad de circuitos útiles en el acondicionamiento y adquisición de datos.

16-2. TOMA Y RETENCIÓN DE INFORMACIÓN

Un sistema típico de adquisición de datos recibe señales de un cierto número de fuentes distintas y las transmite en forma adecuada a una calculadora o a un canal de comunicación. Un multíplex (Sec. 16-3) selecciona secuencialmente cada señal, para convertir seguidamente la información analógica en una tensión constante durante el tiempo de sensibilización por medio de un sistema de adquisición y retención: La salida constante de este circuito puede convertirse para su transmisión en una señal digital mediante un convertidor analógico-digital A/D (Sec. 16-13).

El circuito de retención en su forma más sencilla está formado por un interruptor S en serie con un condensador, como en la Fig. 16-7*a*. La tensión a través del condensador sigue la señal de entrada durante el tiempo T_g cuando una puerta de control lógica cierra S y mantiene el valor instantáneo alcanzado al final del intervalo T_g cuando la puerta de gobierno abre S. El interruptor puede ser un interruptor bipolar de transistor, un MOSFET gobernado por una señal de excitación o una puerta de transmisión CMOS.

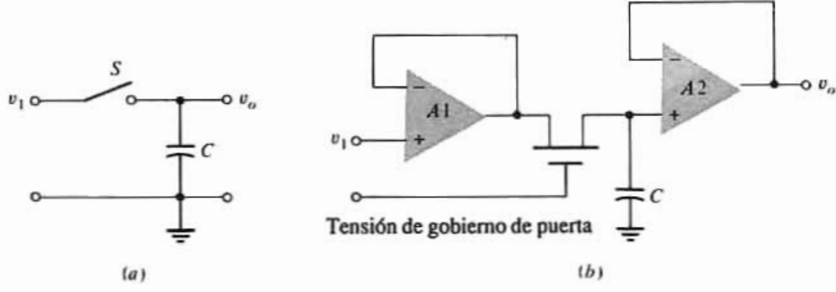


Figura 16-7. (*a*) Circuito simple de toma y retención, (*b*) sistema práctico: El interruptor MOSFET sustituye al S de (*a*). La baja resistencia de salida del seguidor de tensión A1 carga rápidamente C cuando el interruptor MOSFET está cerrado. La gran resistencia de entrada de A2 mantiene la carga en C cuando el interruptor se abre.

La configuración de la Fig. 16-7*b* corresponde a uno de los sistemas de retención prácticos más sencillos. Un impulso positivo en la puerta del NMOS pone en conducción el interruptor y el condensador de retención C carga hacia el valor instantáneo de la tensión de entrada, con una constante de tiempo $(R_o + r_{DS(ON)})\,C$ siendo R_o la resistencia de salida (verdaderamente baja) del Amp-Op seguidor de tensión de entrada A_1 y $r_{DS(ON)}$ la resistencia en conducción del FET (Sec. 4-2). En ausencia de un impulso positivo se corta el interruptor y el condensador queda aislado de cualquier carga a través del Amp-Op $A2$, manteniendo la tensión alcanzada. Se recomienda que en los circuitos de componentes discretos o híbridos se empleen condensadores con dieléctrico de policarbonato, polietileno, poliestireno, Mylar o Teflon. La mayor parte de los demás condensadores no retienen la tensión almacenada, a consecuencia de un fenómeno de polarización que hace descender esa tensión con una constante de tiempo de varios segundos. Esto es la resistencia de pérdida de condensador.

Recordemos que la célula básica en un RAM dinámico MOS (Sec. 9-5) debía reponerse cada unos pocos milisegundos. Como un MOSFET es un condensador, la pérdida de carga en un circuito integrado es análoga a la descrita más arriba. Sin embargo, si un sistema de toma y retención integrado se excita frecuentemente (por lo menos una vez cada unas pocas décimas de milisegundo, como es lo corriente), habrán pocas fugas ya que el tiempo entre tomas es considerablemente menor que la constante de tiempo.

Otros dieléctricos de los mencionados más arriba presentan también un fenómeno denominado *absorción dieléctrica* que hace que un condensador «recuerde» parte de su carga anterior (si varía su tensión). Aún cuando no se den los fenómenos de polarización y de absorción, la corriente en el interruptor cortado (< 1 nA) y la de polarización del Amp-Op circularán a través de C. Puesto que la corriente de polarización máxima de entrada es menor que 1 nA, se deduce que con una capacidad de 0,5 μF el ritmo de variación durante el período de retención es de menos de 2 mV/s.

Dos factores adicionales influyen en el funcionamiento del circuito: el *tiempo de apertura* (normalmente menor de 100 ns) que es el tiempo transcurrido desde que se aplica el impulso al interruptor hasta que éste se cierra, y el *tiempo de adquisición* que es el requerido por el condensador para pasar de un nivel de tensión de conservación hasta el nuevo valor de entrada una vez cerrado el interruptor.

Cuando el condensador es mayor de 0,05 pF se debe incluir una resistencia de aislamiento de unos 10 kΩ entre el condensador y la entrada + del Amp-Op. Esta resistencia se necesita para proteger el amplificador en caso de un cortocircuito en la entrada o que el suministro de potencia caiga súbitamente estando el condensador cargado.

Si R_o y $r_{DS(ON)}$ son tan pequeños que se pueden despreciar, el tiempo de adquisición queda limitado por la corriente máxima I que el Amp-Op seguidor de entrada pueda suministrar. La tensión del condensador varía a un ritmo $dv_c/dt = I/C$. Puesto que la corriente de cortocircuito de un Amp-Op es limitada (25 mA en el chip 741) se emplea un seguidor de emisor complementario exterior para aumentar la corriente

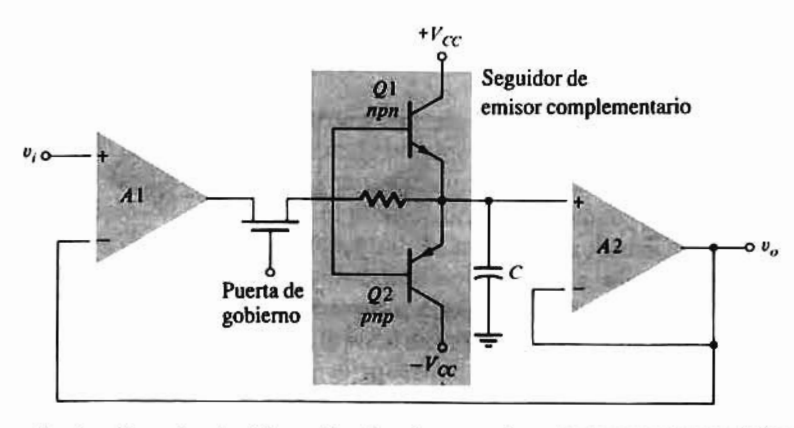


Figura 16-8. Sistema de retención mejorado. (El seguidor de emisor complementario se comenta en la Sec. 14-6.)

disponible para cargar (o descargar) C con rapidez extrema. En la Fig. 16-8 puede verse esta disposición situada entre el interruptor de toma y el condensador. Obsérvese que $A1$ no actúa ya como seguidor, sino que su terminal de entrada negativo está ahora conectado a la salida v_o. Esta conexión asegura que durante el *intervalo de muestreo*, $v_o = v_i$. Durante el intervalo de retención, v_o se mantiene al valor alcanzado por v_i al final del tiempo de muestreo, salvo las variaciones muy pequeñas de tensión a través de C debidas a la corriente de polarización del Amp-Op de salida y a las corrientes de fuga del interruptor y del seguidor de emisor. Cuanto mayor sea la capacidad de C tanto menor es la variación de tensión durante la retención. Sin embargo, cuanto menor sea C menor será el tiempo de adquisición y por tanto mayor la fidelidad con que la salida sigue a la entrada durante el muestreo. Además el condensador de retención crea un polo adicional con el que se debe contar al considerar la transmisión del lazo y la estabilidad. Por tanto, debe elegirse C como compromiso entre estas tres circunstancias conflictivas, dependiendo de la aplicación del caso.

Se puede adquirir un sistema de toma y retención (S-H) en un solo chip monolítico (por ej. el HA 2420 de Harris Semiconductor o el LF 198 de National Semiconductor) con el condensador de almacenamiento exterior. El terminal inversor de $A1$ es accesible desde una patilla exterior, y por tanto este chip se puede emplear para construir un sistema S-H ya sea inversor o no inversor que si se le añade la resistencia exterior habitual (Prob. 16-5) dará una ganancia.

16-3. MULTÍPLEX Y DEMULTÍPLEX ANALÓGICOS

Tal como indica la Fig. 7-17*b* un *multíplex* selecciona una de entre N fuentes y transmite las señales (analógicas) a una única línea de transmisión. De todos los interruptores (mencionados en la sección anterior) capaces de pasar las señales de entrada al canal de salida la mejor actuación se consigue con la

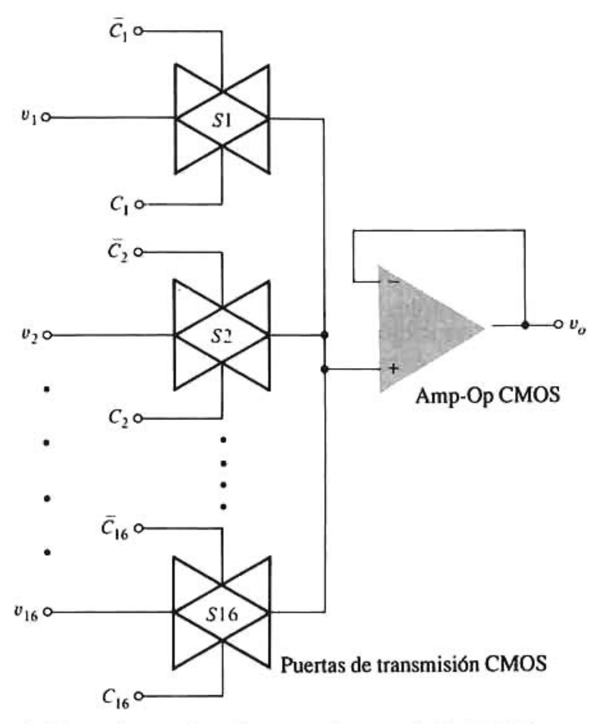


Figura 16-9. Multíplex analógico de 16 entradas, empleando puertas de transmisión CMOS.

puerta de transmisión CMOS (Fig. 6-32). Si en la fabricación de esta puerta se emplea aislamiento dieléctrico se puede obtener una corriente de fuga de sólo 1 nA a + 125ºC, con un tiempo de conmutación de 250 ns. Para esta aplicación existen muchos dispositivos distintos de tales puertas CMOS.

En la Fig. 16-9 se representa un diagrama de bloques de un conmutador analógico de 16 entradas. Se obtiene un multíplex divisor de tiempo si el conmutador MOSFET complementario $S1$ se cierra (es decir, si está en su estado de baja resistencia) durante un tiempo T, el interruptor $S2$ cierra durante el segundo período T, $S3$ transmite durante el tercer período T, y así sucesivamente. En la Fig. 16-9 el símbolo C_k (k = 1,2,...16) representa la tensión de gobierno digital y $\bar{C}_k$ su valor complementario, obtenido de un inversor (no representado). Si C_k es igual al binario 1, la puerta CMOS transmite la señal analógica v_k a la salida, pero si C_k es el binario 0 no hay transmisión alguna.

La Fig. 16-10 corresponde al diagrama de bloques para obtener las tensiones de gobierno digitales necesarias para el multíplex de la Fig. 16-9. El control C_k es la salida de la k-ésima línea de un decodificador de 4 a 16 líneas (Sec. 7-6). Las cuatro líneas de dirección A, B, C y D son las salidas de un contador binario excitado por un generador de impulsos. Si el intervalo entre impulsos es T, se obtiene la distribución de tiempos con el sistema de las Figs. 16-10 y 16-9 correspondiendo a una conversión paralelo-serie vista en la Sec. 7-7.

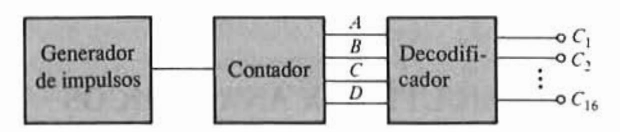


Figura 16-10. Sistema de generación de tensiones de gobierno digitales C_k para el multíplex.

Demultíplex analógico

El multíplex arriba descrito ha entrado el dato analógico en un canal único, ocupando cada señal analógica su propio lugar en el tiempo. Al final de la línea de transmisión, debe separarse cada señal de las demás y situarla en un canal individual. Este proceso inverso constituye la *demodulación*, estando representado esquemáticamente en la Fig. 7-17*a*. El conmutador de múltiples posiciones de esta figura se sustituye por N puertas de transmisión CMOS y la serie de datos se aplica a la entrada de todas estas puertas. Las señales de gobierno C_k se obtienen de la forma indicada en la Fig. 16-10. Los sistemas para C_k en los extremos emisor y receptor del canal deben estar sincronizados. Este sistema multíplex-demultíplex economiza el volumen, peso y coste de N-1 canales de transmisión ya que todas las señales analógicas se transmiten por un solo canal (N puede ser varios centenares). El CD 4051M de la National Semiconductor es un multíplex-demultíplex analógico de ocho canales.

16-4. CONVERTIDORES DE DIGITAL A ANALÓGICO (D/A)

Muchos sistemas admiten una información digital a manera de señal de entrada y la traducen o convierten en una tensión o corriente analógica. A este sistema se le denomina *convertidor de digital a analógico o convertidor D/A* (o DAC). La información digital se presenta en una variedad de códigos, siendo los más usuales el binario puro o el codificado binario-decimal (BCD).

La salida V_o de un convertidor D/A de N bit viene dada por

$$V_o = (2^{N-1}a_{N-1} + 2^{N-2}a_{N-2} + \cdots + 2^2a_2 + 2^1a_1 + a_o)V$$

$$= \left(a_{N-1} + \frac{1}{2}a_{N-2} + \frac{1}{4}a_{N-3} + \cdots + \frac{1}{2^{N-2}}a_1 + \frac{1}{2^{N-1}}a_o\right)2^{N-1}V \qquad (16\text{-}1)$$

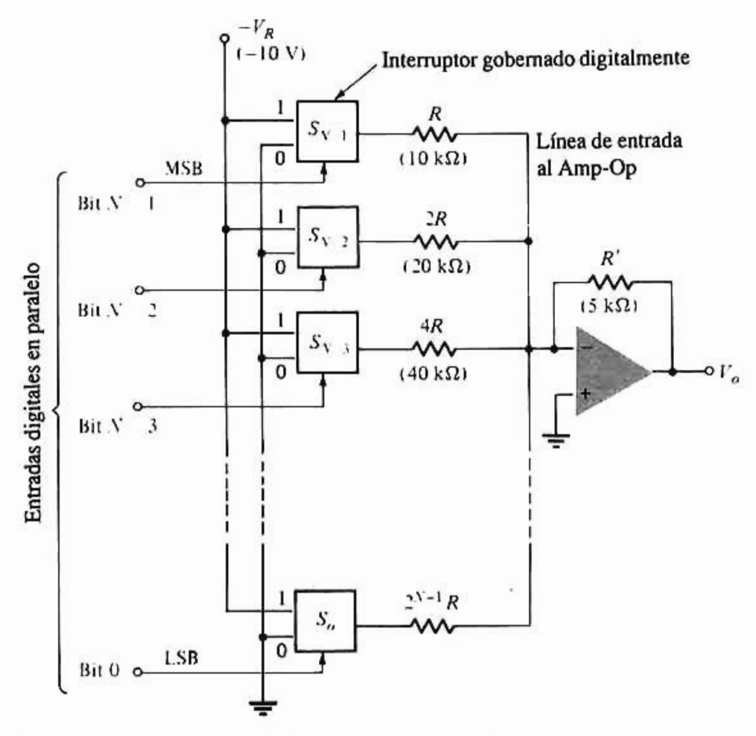


Figura 16-11. Convertidor D/A con resistencias crecientes según las potencias de 2.

siendo V un factor de proporcionalidad determinado por los parámetros del sistema, representando los coeficientes a_n la información binaria, siendo $a_n = 1(0)$ si el n-ésimo bit es 1(0). En este circuito se emplea una tensión de referencia estable V_R. El bit más significativo (MSB) es el correspondiente a a_{N-1} siendo su valor ponderado $2^{N-1}\,V$ mientras que el bit menos significativo (LSB) corresponde a a_0 siendo su valor $2^0V = V$.

Consideremos por ejemplo una información de cinco bit ($N = 5$) de forma que la Ec. (16-1) pasa a ser

$$V_o = (16a_4 + 8a_3 + 4a_2 + 2a_1 + a_o)V \tag{16-2}$$

Para mayor sencillez supongamos $V = 1$. Entonces si $a_o = 1$ y todas las demás a son cero, tendremos $V_o = 1$. Si $a_1 = 1$ y todas las demás a son cero obtendremos $V_o = 2$. Si $a_o = a_1 = 1$ y todos los demás son nulos, $V_o = 2 + 1 = 3V$, etc. Evidentemente V_o es una tensión analógica proporcional a la entrada digital.

La Fig. 16-11 representa esquemáticamente un convertidor D/A. Los bloques S_0, S_1, S_2...S_{N-1} son interruptores electrónicos gobernados digitalmente. Por ejemplo, cuando hay un 1 en la línea del bit más significativo, el conmutador S_{N-1} conecta la resistencia R a la tensión de referencia - V_R. Por el contrario, si en la línea del bit más significativo hay un 0, el conmutador conecta la resistencia a la línea de tierra. Por tanto, este interruptor es un conmutador electrónico unipolar de dos direcciones (SPDT). El Amp-Op actúa como convertidor corriente-tensión (Sec.10-22). Vemos que si el bit más significativo es 1 y todos los demás 0, la corriente a través de la resistencia R es - V_R/R y la salida es $V_R R'/R$. Análogamente, la salida del bit menos significativo será $V_o = V_R R'/16R$ (si $N = 5$). Si los cinco bit son 1 la salida será

$$V_o = (1 + \tfrac{1}{2} + \tfrac{1}{4} + \tfrac{1}{8} + \tfrac{1}{16})\frac{V_R R'}{R} = (16 + 8 + 4 + 2 + 1)\frac{V_R R'}{16R} \tag{16-3}$$

Lo que concuerda con la Ec. (16-1) si $V = V_R R'/16R$. Este razonamiento confirma que la tensión analógica V_o es proporcional a la entrada digital.

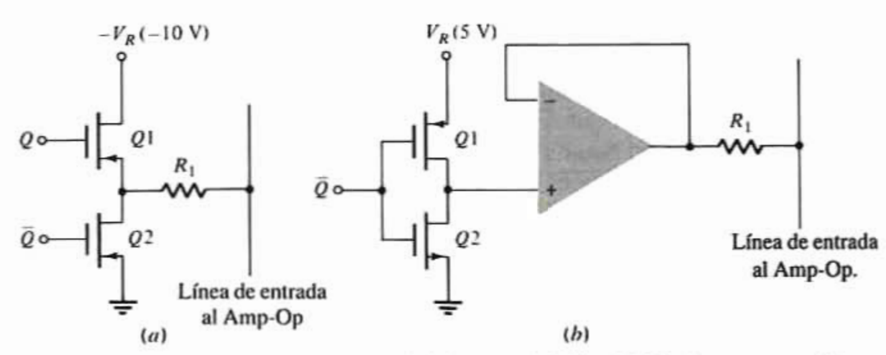


Figura 16-12. Dos disposiciones del interruptor gobernado digitalmente de la Fig. 16-10, (*a*) en totem, y (*b*) en configuración CMOS inversor. La resistencia R_1 depende del bit que se considere, así, para el bit N-3 de la Fig. 16-11, $R_1 = 4$ R.

Son posibles diversas variantes en los interruptores gobernados digitalmente de la Fig. 16-11, dos de las cuales se indican en la Fig. 16-12. En la Fig. 16-12*a* un excitador MOSFET en totem alimenta cada una de las resistencias conectadas a la entrada del Amp-Op. Las dos entradas de puerta complementarias Q y $\bar{Q}$ provienen de un MOSFET SR biestable o registrador que mantiene la información digital para convertirla en un número analógico. Supongamos que la lógica 1 corresponde a - 10 V y la lógica 0 a 0 V (lógica negativa). Un 1 en la línea de bit pasa el biestable en $Q = 1$ y $\bar{Q} = 0$, y por tanto el transistor $Q1$ conduce, conectando la resistencia R_1 a la tensión de referencia - V_R mientras el transistor $Q2$ se mantiene en corte. Análogamente un 0 en la línea del bit de entrada conecta la resistencia al terminal de tierra.

La Fig. 16-12*b* es una excelente variante de interruptor electrónico unipolar de dos direcciones. Esta configuración consiste en un inversor CMOS que alimenta un Amp-Op que a su vez excita R_1 con resistencia de salida muy baja. Queda indicado un sistema de lógica positiva con $V(1) = V_R = +5$ V y $V(0) = 0$V. El complemento $\bar{Q}$ del bit $Q = a_n$ en consideración, se aplica a la entrada. Por tanto, si $a_n = 1$, entonces $\bar{Q} = 0$, la salida del inversor es lógica 1 y quedan 5 V aplicados a R_1. Por otra parte, si el n-ésimo es un binario 0, $\bar{Q} = 1$ y la salida del inversor es de 0 V de forma que R_2 queda conectada a tierra. Esto confirma el funcionamiento correcto del circuito de la Fig. 16-12*b* como conmutador unipolar de dos direcciones.

La precisión y estabilidad del convertidor D/A de la Fig. 16-11 depende principalmente en la precisión absoluta de las resistencias y de su variación con la temperatura. Siendo todas las resistencias distintas y la mayor de ellas igual a $2^{N-1} R$, en que R es el valor de la menor se llega a valores excesivamente grandes, resulta dificultoso y caro conseguir resistencias estables y precisas de tales valores. Por ejemplo, para un convertidor D/A de 12 bit la resistencia mayor es de 5,12 MΩ y la menor de 2,5 kΩ. La caída de tensión a través de tan gran resistencia debido a la corriente de polarización afecta a la precisión. Además, la fabricación práctica de resistencias tan grandes queda excluida. Por otra parte, si la resistencia más grande tiene un valor razonable (51,2 kΩ) la menor (25 Ω) puede ser del orden de la resistencia de salida del conmutador, afectando nuevamente a la precisión. Por ello, este tipo de convertidor se emplea raramente cuando se precisan más de 4 bit. El convertidor tipo escalera que describiremos a continuación soslaya esta dificultad de resistencias excesivamente grandes y se emplean frecuentemente en sistemas de conversión de datos.

Convertidor D/A tipo escalera

En la Fig. 16-13 podemos ver un circuito que utiliza doble número de resistencias que el de la Fig. 16-11 para el mismo número N de bits, pero de valores R y $2R$ únicamente. La escalera de este circuito es un dispositivo divisor de corriente y por tanto la relación entre resistencias tiene más importancia que su

valor absoluto. Observemos en la figura que desde cualquier nudo la resistencia es $2R$ tanto hacia la izquierda como hacia la derecha o hacia el interruptor.

Por ejemplo, hacia la izquierda del nudo 0 la resistencia a tierra es $2R$; hacia la izquierda del nudo 1 existe la combinación en paralelo de dos resistencias $2R$ a tierra en serie con R, con resistencia total $R + R = 2R$, y así sucesivamente. Por tanto, si cualquier interruptor, por ej. el N-2, se conecta a V_R, la resistencia vista por V_R es $2R + 2R \parallel 2R = 3R$, y la tensión en el nudo N-2 es $(V_R/3R)R = V_R/3$.

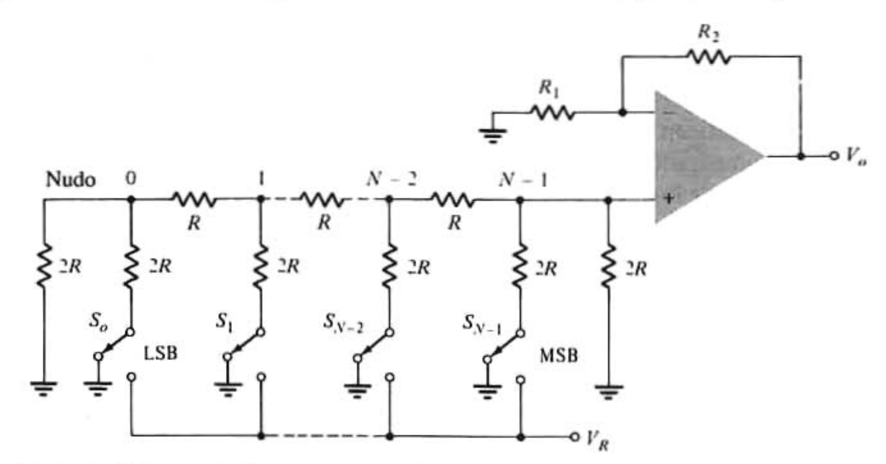


Figura 16-13. Convertidor Digital-Analógico en escalera R-2R.

Consideremos ahora que el bit más significativo sea de lógica 1 de forma que la tensión en el nudo N-1 sea $V_R/3$.

La salida será

$$V_o = \frac{V_R}{3}\frac{R_1 + R_2}{R_1} \equiv V' \tag{16-4}$$

Análogamente, cuando el segundo bit más significativo (N-2) es el binario y todos los demás son 0, la tensión de salida en el nudo N-2 es $V_R/3$, pero en el nudo N-1 la tensión es la mitad de este valor, por motivo de la atenuación debida a la resistencia R entre nudos y a la resistencia r desde el nudo N-1 a tierra. Por tanto, para el segundo bit más significativo (N- 2) se tiene $V_o = V'/2$. De igual forma se puede demostrar (Prob. 16-6) que el tercer bit más significativo da una salida $V'/4$, y así sucesivamente. Evidentemente, la salida es de la forma de la Ec. (16-1) con $V' = 2^{N-1}V$.

Debido a las capacidades parásitas entre nudos y tierra se produce un retraso de tiempo en la propagación de izquierda a derecha de la escalera. Cuando se cierra S_0 el retraso en la propagación es mucho mayor que cuando se cierra el interruptor del bit más significativo. Así, cuando cambia la tensión digital aparece una onda transitoria en la salida antes de que V_0 se establezca en su propio valor. Estos transitorios se evitan con un cambiador D/A de escalera invertida (Prob. 16-7).

Convertidor D/A multiplicador

Un convertidor D/A que emplee una señal analógica variable V_a en lugar de una tensión de referencia fija se denomina *convertidor D/A multiplicador*. Por la Ec. (16-1) vemos que la salida es el producto de la información digital y la tensión analógica $V_a (= 2^{N-1}V)$ dependiendo este valor de la información binaria (que representa un número menor que la unidad). A esta disposición se le llama a veces *atenuador*

programable porque la salida V_o es una fracción de la entrada V_a y la posición del atenuador se puede gobernar con lógica digital. Este tipo de convertidor se emplea a veces para gobernar la frecuencia central o ancho de banda de un filtro de estado variable (Sec.16-11).

El D/A básico descrito en esta sección debe aumentarse con circuitos adicionales. Entre estos circuitos adicionales se incluye la tensión de referencia, el Amp-Op y las conexiones y circuitos lógicos necesarios para la entrada de datos. Se pueden conseguir comercialmente sistemas monolíticos conteniendo todos estos circuitos. El AD 558 de Analog Devices es un D/A bipolar de 8 bit en el que los circuitos digitales se fabrican con tecnología I^2L (lógica de inyección integrada). También se emplea la escalera *R*-2*R* en el AD 7541 que es un D/A de 12 bit (que puede funcionar como un convertidor D/A multíplex).

Frecuentemente para manejar 16 bit se utiliza una arquitectura segmentada de dos etapas. Los 4 bit más significativos se decodifican digitalmente para seleccionar una tensión de una cadena de resistencias similar a la usada en el comparador de la Fig. 16-16. Esta tensión pasa a ser la de referencia V_R de un D/A en escalera *R*-2*R*, que convierte los 12 bit menos significativos. Efectivamente, los 4 bit más significativos dividen V_R en 16 segmentos desde 0 a 15 V_R/16 V. Los 12 bit menos significativos dividen luego la fracción apropiada de V_R en 4096 (2^{12}) partes. Así, para V_R = 10 *V*, el D/A de 16 bit da una salida analógica de 0 a 10 V con incrementos de 153 μV. Esta arquitectura se emplea en el AD 7546 que incorpora la escalera básica del AD 7541.

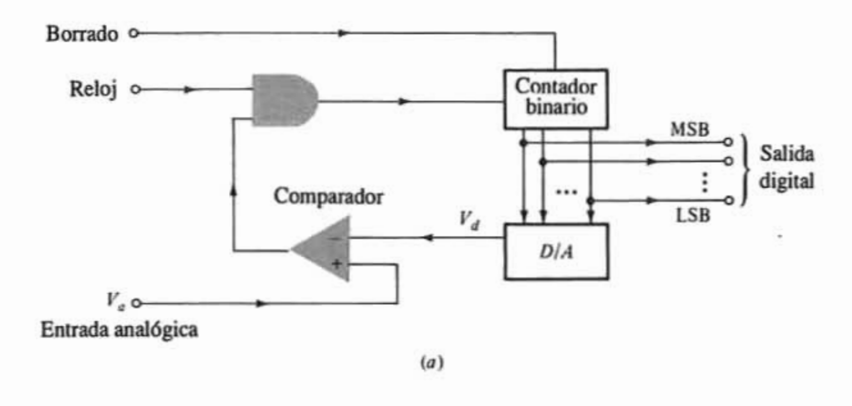
También se fabrican convertidores D/A de 16 bit con tecnología BIMOS (Sec.14-10) para aprovechar la baja potencia de la lógica CMOS junto con la alta velocidad de los circuitos analógicos bipolares (AD 569). Recientemente se han introducido convertidores D/A con circuitos CMOS gobernados por capacidad que han sido muy eficaces en la reducción de la potencia consumida ya que se han eliminado la mayor parte de las resistencias (Sec.16-12).

16-5. CONVERTIDORES DE ANALÓGICO A DIGITAL (A/D)

Frecuentemente se hace necesario que datos tomados de un sistema físico se conviertan a forma digital. Estos datos normalmente aparecen en forma analógica eléctrica. Por ejemplo, una diferencia de temperatura puede estar representada por la salida de un termopar, el esfuerzo de un elemento mecánico se puede representar por el desequilibrio eléctrico de un puente medidor de esfuerzos, etc. De aquí nace la necesidad de dispositivos que conviertan la información analógica a forma digital. Se han ideado muchos de tales dispositivos. Seguidamente trataremos de los cuatro sistemas más corrientes: (1) Convertidor analógico-digital con contador (A/D), (2) el comparador A/D por aproximaciones sucesivas, (3) el comparador A/D en paralelo, y (4) el comparador A/D de relación o de doble pendiente.

Convertidor A/D con contador

Expondremos este sistema haciendo referencia a la Fig. 16-14*a*. Un impulso de borrado pone el contador a cero. El contador registra en forma binaria el número de impulsos de la línea del reloj. El reloj es una fuente de impulsos igualmente espaciados en el tiempo. Como el número de impulsos contados crece linealmente con el tiempo, la información binaria que representa esta cuenta se usa como entrada a un convertidor D/A cuya salida es la onda en escalera de la Fig. 16-14*b*. Mientras la entrada analógica V_a sea mayor que V_d el comparador (que es un amplificador diferencial de gran ganancia: ver Sec. 15-7) tiene una salida alta y la puerta AND está abierta para la transmisión de los impulsos del reloj al contador. Cuando V_d supera a v_a la salida del comparador cambia a su valor bajo y se cierra la puerta AND. Con esto se detiene la cuenta en el momento en que $V_a \approx V_d$ y se puede leer en el contador la información digital que representa la tensión de entrada analógica.



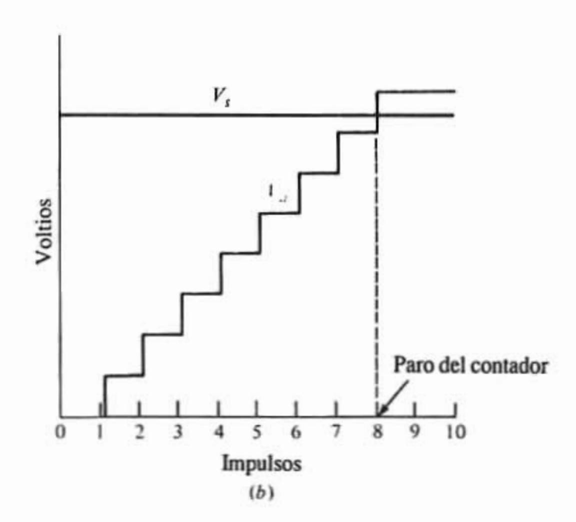


Figura 16-14. (*a*) Convertidor A/D con contador, y (*b*) salida en escalera del convertidor D/A.

Si la tensión analógica varía con el tiempo no es posible convertir continuamente el dato analógico sino que será necesario muestrear la señal de entrada a intervalos fijos. Si el valor máximo de la tensión analógica está representado por n impulsos y si el periodo del reloj es de T segundos, el intervalo mínimo entre muestreos (tiempo de conversión) es de nT segundos.

Se obtiene una versión mejorada del A/D contador ADC llamada de *arrastre* o *servo-convertidor* mediante un contador reversible (Sec. 8-6 y Fig. 8-18). Esta modificación del sistema de la Fig. 16-14*a* está representada en la Fig. 16-15. No se emplea ni impulso de borrado ni una puerta NAND. Sin embargo se necesita un contador reversible, y la salida del comparador alimenta el gobierno del contador. Para comprender el funcionamiento del sistema supongamos inicialmente que la salida del convertidor D/A es menor que la entrada analógica V_a con lo que la salida positiva del comparador hace que el contador lea subiendo. La salida del convertidor D/A aumenta con cada impulso del reloj hasta superar V_a. La línea de control reversible cambia de estado de forma que ahora cuenta bajando (pero sólo una cuenta, el bit menos significativo). Con esto el gobierno cambia nuevamente a la situación de subir y la cuenta aumenta en un bit menos significativo. Este proceso se va repitiendo de forma que la salida digital oscila hacia atrás y hacia delante en ± 1 bit menos significativo alrededor del valor correcto. El tiempo de conversión es pequeño para pequeños cambios de la señal analógica muestreada y por tanto este sistema se puede emplear eficazmente como convertidor de arrastre A/D.

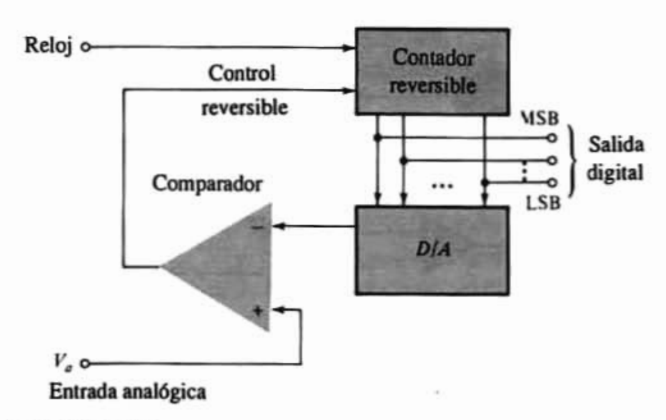


Figura 16-15. Convertidor de arrastre A/D.

Convertidor A/D por aproximaciones sucesivas

En lugar del contador binario como en la Fig. 16-15 este sistema se vale de un programador. El programador pone el bit más significativo en 1 y todos los demás en 0, y el comparador compara la salida del D/A con la señal analógica. Si la salida del D/A es la mayor, el 1 del bit más significativo se elimina y pasa al siguiente inmediato inferior. Si es la entrada analógica la que es mayor, el 1 permanece en su lugar. A continuación se prueba un 1 en cada bit del decodificador D/A hasta tener al final del proceso el equivalente binario de la señal analógica. En un sistema de N bit el tiempo de conversión es de N periodos del reloj frente al caso más desfavorable de 2^N intervalos de pulsación para el convertidor A/D con contador. El AD 7582 (de Analog Devices Co) que es un encapsulado CMOS de 28 patillas en dos líneas, es un convertidor A/D de 12 bit que emplea las técnicas de las aproximaciones sucesivas.

Convertidor A/D comparador en paralelo (Flash)

Este sistema es con mucho el más rápido de todos los convertidores. Su funcionamiento se comprende fácilmente basándose en el convertidor de A/D de 3 bit de la Fig. 16-16. La tensión analógica v_a se aplica simultáneamente a un banco de comparadores con umbrales igualmente espaciados (tensiones de refe-

Tabla 16-1 Tabla de la verdad del convertidor A/D de la Fig. 16-15.

Entradas							*Salidas*		
W_7	W_6	W_5	W_4	W_3	W_2	W_1	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	1	1	0	1	0
0	0	0	0	1	1	1	0	1	1
0	0	0	1	1	1	1	1	0	0
0	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1

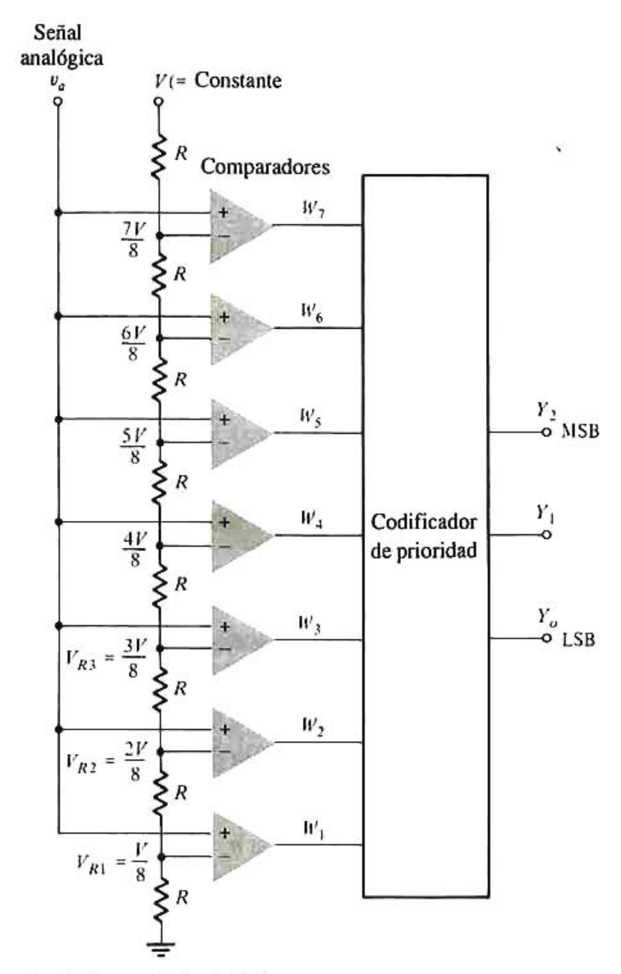


Figura 16-16. Convertidor comparador A/D en paralelo, de 3 bit.

rencia $V_{R1} = V/8$, $V_{R2} = 2\ V/8$, etc). Este tipo de proceso puede llamarse de conversión por secciones ya que la entrada analógica queda incluida en un campo de tensión determinado por los umbrales de los comparadores adyacentes. Obsérvese que las salidas W de los comparadores toman una forma bien distintiva: salida baja (lógica 0) para todos los comparadores con umbral por encima de la tensión de entrada y salida alta (lógica 1) para cada comparador con umbral por debajo de la entrada analógica. Por ejemplo, si $2V/8 < v_a < 3V/8$ tendremos $W_1 = 1$, $W_2 = 1$ y todos los demás W iguales a cero. En esta situación la salida digital será ($Y_2 = 0$, $Y_1 = 1$, $Y_0 = 0$), lo que significa una tensión analógica de entrada comprendida entre $2V/8$ y $3V/8$.

La tabla 16-1 es la de la verdad con entradas W y salidas Y. Comparándola con la tabla 7-3 se demuestra que la lógica es la de un codificador de 3 bit con prioridad; los valores de «X» en la Tabla 7-3 se han sustituido por «1». La columna señalada W_0 en la Tabla 7-3 no figura en la Tabla 16-1 porque si $v_a < V/8$ entonces desde W_1 a W_7 son todas 0, y también lo son las salidas ($Y_2 = 0$, $Y_1 = 0$, $Y_0 = 0$).

El tiempo de conversión viene limitado únicamente por la velocidad del comparador y del codificador de prioridad. Usando el AMD 686 A de «Advanced Micro Devices» y conversión con codificador de prioridad TI 147, se pueden conseguir retardos del orden de 20 ns.

Esta técnica tiene el inconveniente de la complejidad del conjunto. El número de comparadores necesarios es de 2^{N-1} siendo N el número de bit deseados (siete comparadores, para el convertidor de 3

bit de la Fig. 16-16). Por tanto, el número de comparadores aproximadamente se duplica por cada bit añadido, y además cuanto mayor sea N mayor será la complejidad del codificador de prioridad.

Convertidor A/D de relación o de doble pendiente

En la Fig. 16-17 se representa este sistema, muy empleado. Consideremos un funcionamiento unipolar con $V_a > 0$ y $V_R < 0$. Inicialmente S_1 está abierto, S_2 cerrado, y el contador borrado. En el instante $t = t_1$, S_1

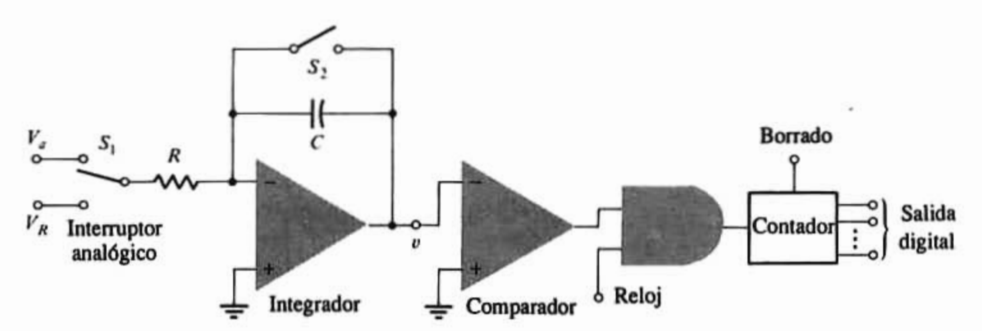


Figura 16-17. Representación esquemática de un convertidor A/D de doble pendiente.

conecta V_a al integrador y se abre S_2. La tensión analógica muestreada, y por tanto constante, V_a, se integra a lo largo de un número fijado n_1 de impulsos del reloj. Si el periodo del reloj es T la integración tiene lugar durante un lapso de tiempo definido conocido $T_1 = n_1T$ y la onda v a la salida del integrador (Sec.6-7) se indica en la Fig. 16-18.

Si se emplea un contador asíncrono de N etapas y si $n_1 = 2^N$, en el instante t_2 (al final de la integración de V_a) todos los biestables del contador estarán a cero. Esto se ve claramente en la onda de la Fig. 8-14 para un contador asíncrono de cuatro etapas en el que después de contar $n_1 = 2^4 = 16$, $Q_0 = 0$, $Q_1 = 0$, $Q_2 = 0$ y $Q_3 = 0$. Dicho de otra forma, el contador vuelve automáticamente a cero por sí mismo al final del intervalo T_1. Obsérvese también en la Fig. 8- 14 que en el impulso 2^N el estado de Q_{N1} (bit más significativo) cambia de 1 a 0 por primera vez. Este cambio de estado se puede emplear como señal de gobierno del interruptor analógico o la puerta de transmisión (Fig. 6- 32).

Debido al funcionamiento del contador descrito en el párrafo anterior, la tensión de referencia V_R queda automáticamente conectada a la entrada del integrador en el instante $t = t_2$ en cuyo momento la lectura del contador es cero. Como V_R es negativo, la onda v tiene la pendiente positiva de la Fig. 16-18. Hemos supuesto que $|V_R| > V_a$ de forma que el tiempo de integración T_2 es menor que T_1. Mientras v sea negativa, la salida del comparador será positiva y la puerta AND permite contar los impulsos del reloj. Cuando v cae a cero, en $t = t_3$, la puerta AND se inhibe y no entran más impulsos del reloj en el contador.

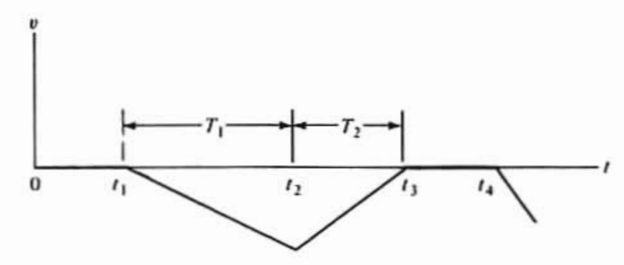


Figura 16-18. Onda de salida del integrador de la Fig. 16-17.

Demostraremos ahora que la lectura del contador en el instante t_3 es proporcional a la tensión analógica de entrada. El valor de v en el momento t_3 viene dado por

$$v = -\frac{1}{RC}\int_{t_1}^{t_2} V_a\,dt - \frac{1}{RC}\int_{t_2}^{t_3} V_R\,dt = 0$$

Con V_a y V_R constante,

$$V_a(t_2 - t_1) + V_R(t_3 - t_2) = 0 \qquad \text{o} \qquad V_a = |V_R|T_2/T_1$$

si el número de impulsos acumulados en el intervalo T_2 es n_2, tendremos que $T_2 = n_2T$. Puesto que $T_1 = n_1 T = 2^N T$ resulta

$$V_a = \frac{T_2|V_R|}{T_1} = \frac{n_2|V_R|}{n_1} = n_2\frac{|V_R|}{2^N} \tag{16-5}$$

Siendo $|V_R|$ y N constantes queda demostrado que V_a es proporcional a la lectura del contador n_2. Obsérvese que este resultado es independiente de la constante de tiempo RC.

El sistema comprende un secuenciador lógico automático (no representado en la Fig. 16-17) que borra el contador entre t_3 y t_4, toma una nueva muestra de la tensión analógica, retrocede S_1 a V_a en el instante t_4 repitiéndose el proceso, obteniéndose así una nueva lectura de V_a cada $t_3 = t_1 + T_1 + T_2$ segundos. Esta técnica puede ser muy precisa. Los voltímetros digitales con seis cifras emplean este proceso. El contador alimenta un decodificador de lámpara de forma que la salida se hace visible. En cada ciclo se obtiene una nueva lectura de la tensión.

El sistema de doble pendiente es de por sí inmune al ruido debido a la integración de la señal de entrada, es decir, que las inevitables interferencias de 60 Hz (en Europa 50 Hz) pueden eliminarse escogiendo un tiempo de integración que sea múltiplo entero del periodo de la línea de potencia. Esto pone en evidencia un inconveniente del sistema como es el del tiempo de conversión muy largo ya que $1/60\text{ s} \approx 16\text{ ms}$. Tales convertidores A/D pueden adquirirse en distintos grados de complejidad de empleo. El ICL 7109 de «Datel Intersil» es un A/D monolítico de doble pendiente de 12 bit compatible con los microprocesadores.

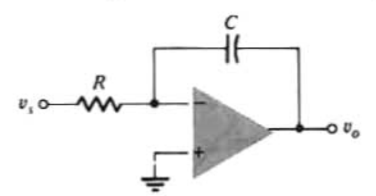


Figura 16-19. Integrador Miller.

16-6. CIRCUITOS DE INTEGRACIÓN Y DIFERENCIACIÓN

El integrador analógico es muy útil para muchas aplicaciones de procesado de señales. El integrador ideal introducido en la Sec. 10-22 y repetido para mayor conveniencia en la Fig. 16-19 emplea un Amp-Op ideal. En el Cap. 15 se describieron varios circuitos generadores de onda que llevaban incorporado el circuito mostrado en la Fig. 16-19. El objetivo de esta sección es el tratar de circuitos integradores prácticos en los que se tiene en cuenta el comportamiento no lineal del Amp-Op.

Corriente de polarización y offset en continua

La etapa de entrada del Amp-Op es generalmente un amplificador diferencial. La tensión offset de

entrada en continua V_{io} aparece en la entrada del amplificador, y se integrará apareciendo en la salida como una tensión creciente linealmente. La corriente de polarización de entrada circulará también a través del condensador de realimentación, cargándolo y dando lugar a una componente adicional de la tensión de entrada, creciendo también linealmente. Estos dos efectos (fuentes de error) aumentan continuamente la salida hasta que el amplificador llegue a su punto de saturación. Vemos que existe un límite en el tiempo posible de integración debido a los componentes de error anteriores. El efecto de la corriente de polarización puede reducirse aumentando la capacidad del condensador de realimentación C reduciendo al mismo tiempo el valor de R para una constante de tiempo RC dada.

Ganancia finita y ancho de banda

El integrador proporciona una tensión de salida proporcional a la integral de la tensión de entrada, supuesto que el Amp-Op de la Fig. 16-19 tenga una ganancia $|A_v|$ infinita y un ancho de banda también infinito. La ganancia de tensión como función de la variable compleja s es, después de transformar la Ec. (10-17)

$$A_v(s) = \frac{V_o(s)}{V_s(s)} = -\frac{Z_2'}{Z_1} = -\frac{1}{RCs} \tag{16-6}$$

resultando evidente que el integrador ideal tiene un polo en el origen.

Supongamos que en ausencia de C el Amp-Op tiene un polo dominante en f_1 o $s_1 \equiv -2\pi f_1$. Por tanto, la ganancia de tensión A_v es aproximadamente de

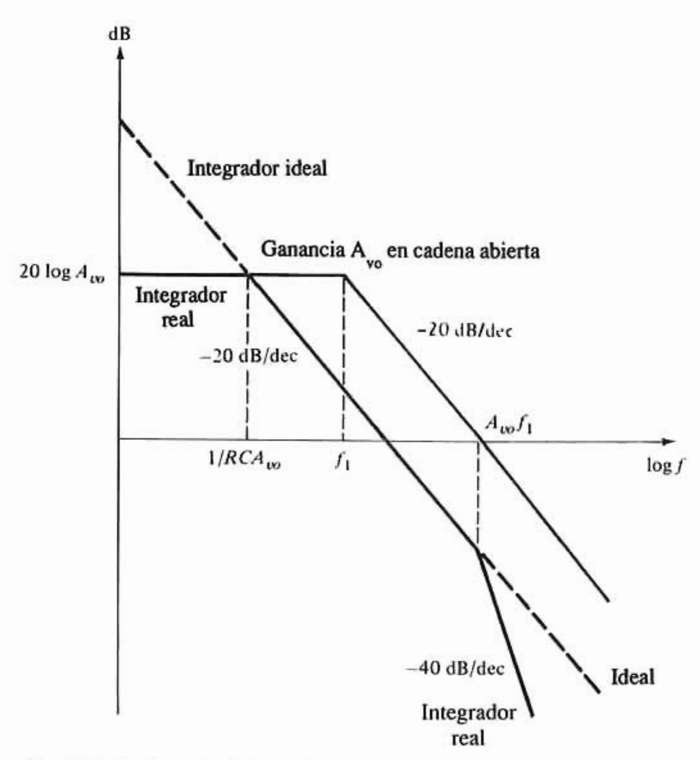


Figura 16-20. Diagrama asintótico de Bode (magnitud) de un integrador práctico. La línea de trazos representa un integrador ideal. También está representada la ganancia del Amp-Op en lazo abierto.

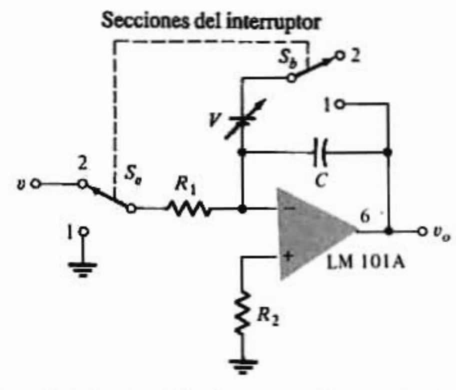


Figura 16-21. Integrador comercial (*Cortesía de National Semiconductor Corporation*).

$$A_v = \frac{A_{vo}}{1 + j\,(f/f_1)} = \frac{A_{vo}}{1 - s/s_1} \tag{16-7}$$

Si suponemos que la resistencia R_o de salida del Amp-Op es cero y la de entrada R_i tiende a infinito, con $A_{vo} \gg 1$ y $A_{vo}RC \gg 1/\,|s_1|$ se obtiene

$$A_v(s) = \frac{-A_{vo}}{(1 + s/A_{vo}|s_1|)(1 + sRCA_{vo})} \tag{16-8}$$

siendo A_{vo} la ganancia de tensión a baja frecuencia del Amp-Op.

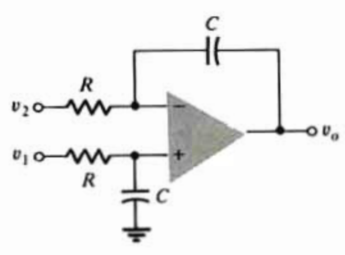


Figura 16-22. Integrador diferencial. La tensión de salida v_o es proporcional a la integral de la diferencia de tensiones v_1-v_2.

La función de transferencia anterior tiene dos polos en el eje real negativo en comparación con un polo en el origen del integrador ideal. En la Fig. 16-20 se ven las curvas de Bode de las magnitudes de las Ecs. (16-6) a (16-8). Observemos que la respuesta de un integrador real difiere de la ideal tanto en baja como en alta frecuencia. Para altas frecuencias el funcionamiento del integrador queda afectado por el ancho de banda finito ($-s_1/2\pi$) del Amp-Op, mientras que a bajas frecuencias la integración está limitada por su ganancia finita.

Circuito práctico

Un integrador práctico puede ir equipado con un circuito exterior para introducir las condiciones iniciales como se ve en la Fig. 16-21. Cuando el interruptor S está en la posición 1 la entrada es cero y el condensador C se carga a la tensión V, fijando la condición inicial $v_o = V$. Cuando el interruptor S está en su posición 2 el amplificador queda conectado como integrador siendo su salida V, más la integral respecto

al tiempo de la tensión de salida v por un factor constante. Si $R_1 = R$, la corriente de polarización a través de C es I_{io} (¿por qué?) en lugar de I_B reduciendo así el error debido a esa corriente de polarización.

El condensador C debe tener muy pocas pérdidas y normalmente tiene el dieléctrico de Teflon, de poliestireno, o de Mylar con valores de la capacidad entre 0,001 y 10 µF.

Integrador diferencial

El circuito de la Fig. 16-22 se denomina a veces *integrador diferencial* porque su tensión de salida v_o se puede expresar (como en el Prob. 16-15)

$$v_o = \frac{1}{RC} \int (v_1 - v_2)\, dt \tag{16-9}$$

o en el campo de frecuencias como

$$V_o = \frac{V_1 - V_2}{RCs} \tag{16-10}$$

Obsérvese que este circuito es el equivalente integrador del amplificador de instrumentación (diferencia) de la Fig. 14-39. El circuito de la Fig. 16-22 se emplea en varias estructuras de filtros activos (Secs.16-10 y 16-11).

Diferenciador

Si en el circuito de la Fig. 16-19 se intercambian las posiciones de R y C como en la Fig. 16-23, el circuito resultante es un *diferenciador*. Con una tierra virtual en la entrada del Amp-Op tendremos

$$i_C = C\frac{dv_s}{dt} \qquad \text{y} \qquad i_R = -\frac{v_o}{R}$$

Puesto que $i_C = i_R$ despejando v_o se tiene

$$v_o = -Ri = -RC\frac{dv_s}{dt} \tag{16-11}$$

Por tanto, la salida es proporcional a la derivada de la entrada respecto al tiempo. Si la señal de entrada es $v = \text{sen}\omega t$, la salida será $v_o = -RC\omega t \cos\omega t$. Así, la magnitud de salida crece linealmente al crecer la frecuencia y el circuito diferenciador tiene ganancia elevada a altas frecuencias. Con esto se amplifican las componentes de alta frecuencia del ruido del amplificador lo que puede tapar completamente la señal diferenciada. A menor frecuencia, sin embargo, la variación lineal de v_o con la frecuencia de la excitación senoidal hace que el diferenciador actúe como un simple convertidor de *frecuencia a tensión*.

16-7. CÁLCULO ANALÓGICO ELECTRÓNICO

El Amp-Op es el bloque constructivo fundamental en calculadoras analógicas electrónicas. A manera de ejemplo, veamos cómo programar la ecuación diferencial

$$\frac{d^2v}{dt^2} + K_1\frac{dv}{dt} + K_2 v - v_1 = 0 \tag{16-12}$$

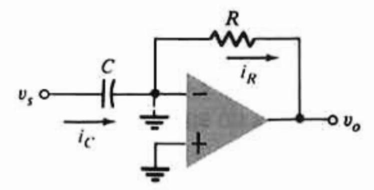


Figura 16-23. Circuito diferenciador.

siendo v_1 una función dada del tiempo, y K_1 y K_2 dos constantes reales y positivas.

Empecemos por suponer que tenemos d^2v/dt^2 en forma de una tensión. Por medio de un integrador tendremos una tensión proporcional a dv/dt, y un segundo integrador nos dará otra tensión proporcional a v. Un sumador (y cambiador de escala) nos da $- K_1 (dv/dt) - K_2 v + v_1$. Según la ecuación diferencial (16-12) esto es igual a d^2v/dt^2 y por tanto la salida de este amplificador sumador se envía al terminal de entrada donde en principio habíamos supuesto que disponíamos de d^2v/dt^2.

El proceso descrito está representado en la Fig. 16-24. Se supone la tensión d^2v/dt^2 accesible en un terminal de entrada. El integrador (1) tiene una constante de tiempo $RC = 1$ s y por tanto su salida en el terminal 1 es $- dv/dt$. Esta tensión se envía a un integrador similar (2) y la tensión en el terminal 2 es $+ v$. La tensión en el terminal 1 se aplica al inversor y cambiador de escala (3) siendo su salida en el terminal 3 $+ K_1 (dv/dt)$. Este mismo Amp-Op (3) se utiliza como sumador. Por tanto, si la tensión $v_1(t)$ se aplica también a dicho amplificador tal como se indica, el terminal de salida 3 contendrá también el término $-v_1$ y la salida completa será $+K_1 (dv/dt) - v_1$. El cambiador-sumador (4) se alimenta de los terminales 2 y 3 y por tanto en el terminal (4) habrá una tensión $- K_2v - K_1 (dv/dt) + v_1$. De acuerdo con la Ec. (16-12) esto debe ser igual a d^2v/dt^2 que es la tensión supuesta en el terminal de entrada. La calculadora se completa conectando el terminal 4 al de entrada. (Este último paso no está en la Fig. 16-24 para mayor claridad en la explicación). Las condiciones iniciales especificadas (el valor de dv/dt y de v en el momento $t = 0$) deben incluirse ahora en la calculadora. Obsérvese que las tensiones en los terminales 1 y 2 de la Fig. 16-24 son proporcionales a dv/dt y a v respectivamente. Por tanto las condiciones iniciales se obtendrán (como en la Fig. 16-21) aplicando las tensiones correctas V_1 y V_2 a través de los condensadores de los integradores 1 y 2 respectivamente.

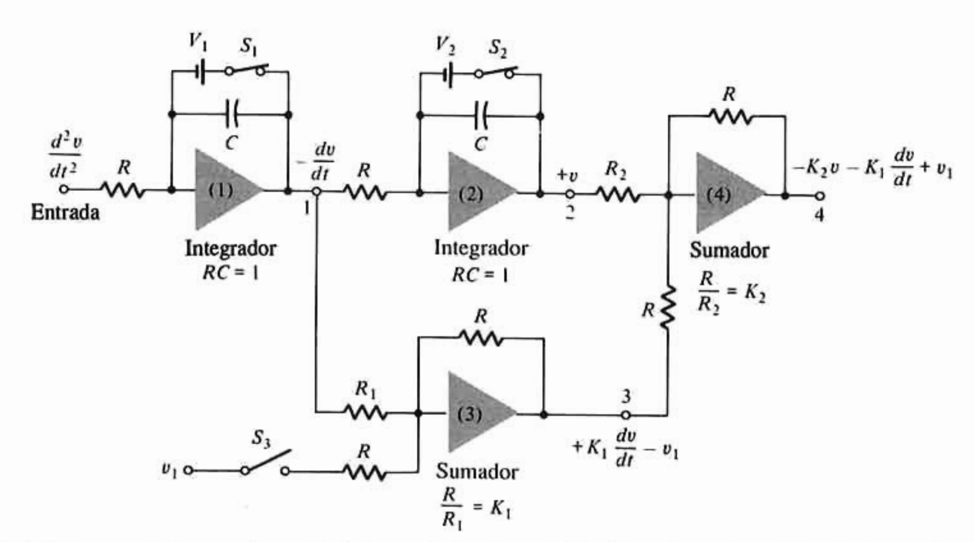


Figura 16-24. Diagrama de bloques de un calculador analógico. A t = 0, S_1 y S_2 se abren y S_3 se cierra. Cada entrada de Amp-Op es como en la Fig. 16-21.

La solución se obtiene abriendo simultáneamente los interruptores S_1 y S_2 y cerrando S_3 (por medio de relés) en el instante $t = 0$ y observando la forma de onda en el terminal 2. Si deseamos también la derivada dv/dt se puede tener su forma de onda en el terminal 1. El indicador puede ser un tubo de rayos catódicos (con barrido por disparo) o un registrador, o para un análisis cualitativo de cantidades de variación lenta, un voltímetro de alta impedancia.

También se puede resolver la Ec. (16-12) con una calculadora que tenga diferenciadores en lugar de integradores. Sin embargo, invariablemente se prefieren los integradores a los diferenciadores en aplicaciones de cálculo analógico, porque la ganancia de un integrador disminuye con la frecuencia mientras que la de un diferencidor teóricamente crece linealmente con la frecuencia, por lo que es más fácil estabilizar el primero que el segundo frente a oscilaciones espúreas. A consecuencia de su ancho de banda limitado, un integrador es menos sensible a las tensiones de ruido que el diferenciador. Además, si la onda de entrada cambia rápidamente, el amplificador de un diferenciador puede sobrecargarse. Finalmente, como cuestión práctica, es conveniente introducir las condiciones iniciales en un integrador.

16-8. FILTROS ACTIVOS *RC*

Los sistemas representados gráficamente en las Figs. 16-3 y 16-5 y descritos en la Sec.16-1 acusan la necesidad de una selección de frecuencias en el procesado de señales. Los *filtros activos RC* son un tipo de circuitos selectores de frecuencia en los que los únicos componentes utilizados son resistencias, condensadores y Amp-Op (elementos activos). El hecho de no necesitar inductancias supone una ventaja importante ya que la fabricación moderna de circuitos integrados excluye el uso de inductancias. Aún en los circuitos de componentes discretos deben evitarse las inductancias, si es posible, por ser voluminosas, pesadas y no lineales. Además engendran campos magnéticos parásitos y pueden disipar mucha potencia. Por ejemplo, a $\omega = 2\pi \times 10^2$ rad/s una reactancia de 10 kΩ requiere una inductancia de 1,6 henry (H), y para construir una bobina de 1,6 H se necesitan muchas espiras. Por tanto resulta grande físicamente y su resistencia puede disipar una energía considerable.

Características ideales

Consideremos el sistema representado en la Fig. 16-25*a* en el que la señal de entrada $v_1(t)$ contenga varios componentes de distintas frecuencias. Se utiliza el filtro para separar una banda de frecuencias de entre las presentes. Es decir, que la señal de salida del filtro $v_2(t)$ contenga solamente alguna de las frecuencias componentes de $v_1(t)$. Conviene describir las propiedades selectivas del filtro en términos de la función de transferencia $H(j\omega) = V_2/V_1$ como en la Fig. 16-25*b*. En la Fig. 16-26 están representadas las cuatro características ideales de la respuesta en frecuencia, útiles en la clasificación de los filtros.

La característica *paso-bajo* de la Fig. 16-26*a* indica que todas las frecuencias desde cero (continua) a la de corte f_H, se transmiten sin pérdidas. Las entradas con frecuencia de sus componentes $f > f_H$ dan salida cero. Es decir, que $H\,|(j\,2\pi f)| = H(j\,2\pi f) = H_0$ para $f < f_H$ y $H(j\,2\pi f) = 0$ para $f > f_H$. El funcionamiento en alta frecuencia de las etapas en emisor y en fuente común descritas en el Cap.11 aproxima esta respuesta.

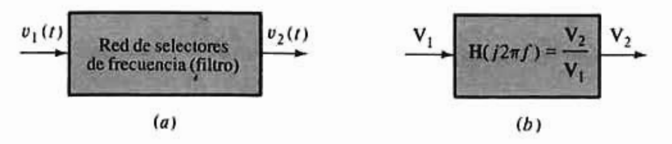


Figura 16-25. Representación de un filtro atendiendo: (*a*) al tiempo, y (*b*) a la frecuencia.

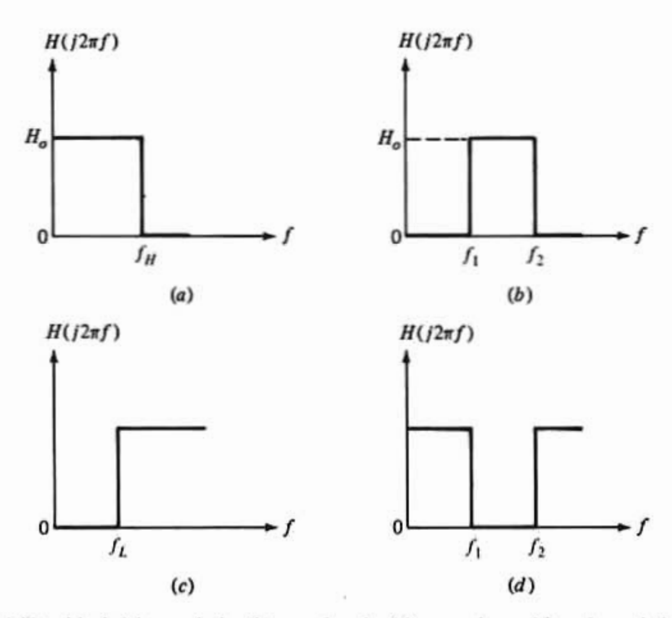


Figura 16-26. Respuestas del filtro ideal: (*a*) paso-bajo, (*b*) paso-banda, (*c*) paso-alto, y (*d*) rechazo de banda.

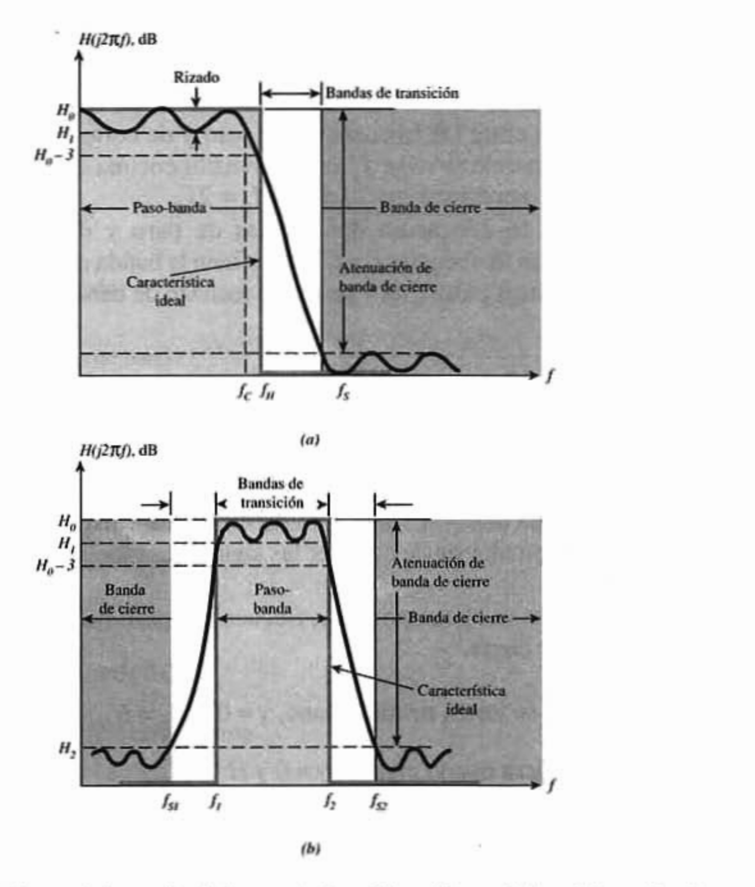


Figura 16-27. Características reales de frecuencia de un filtro: (*a*) paso-bajo, y (*b*) paso-banda.

La Fig. 16-26*b* corresponde a la característica *paso-banda* e indica que hay transmisión entre f_1 y f_2 y rechazo para cualquier otra frecuencia componente. Así tenemos $H(j2\pi f) = 0$ para $f < f_1$ y $f > f_2$ y $H(j\,2\pi f) = H_0$ si $f_1 \leq f \leq f_2$. La respuesta *paso-alto* de la Fig. 16-26*c* señala que $H(j\,2\pi f) = 0$ si $f < f_L$ y una transmisión uniforme $H(j\,2\pi f) = H_0$ si $f > f_l$. Los condensadores de acoplamiento y de paso de la Sec. 11-10 aproximan la respuesta paso-alto. Para rechazar una banda de frecuencias entre f_1 y f_2 se emplea el filtro de *rechazo de banda* cuya característica es la de la Fig. 16-26*d*, en la que la salida es cero si $f_1 < f < f_2$ y H_0 para cualquier otra f.

Características reales de respuesta en frecuencia

Las características ideales de la Fig. 16-26 son sólo aproximadas para los circuitos prácticos. La Fig. 16-27*a* corresponde a la respuesta real de paso-bajo. La banda de paso señalada en la Fig. 16-27*a* es la zona de frecuencias que se transmiten sin excesiva atenuación. Obsérvese que no es necesario que $H(j\,2\pi f)$ sea constante en la banda de paso; la diferencia $H_0 - H_1$ se denomina *rizado* γ, y normalmente no es mayor de 1 dB, usualmente 0,5 dB. La frecuencia f_H en la que $H(j\,2\pi f_H) = h_o - 3$ (en dB) se utiliza frecuentemente para señalar el extremo de la banda de paso, o sea, la frecuencia de corte. A veces es conveniente tomar f_C de la Fig. 16-27*a* como frecuencia de corte. Obsérvese que en la característica de paso-bajo $H(j\,2\pi f) = H_o - \gamma$ para todas las frecuencias $f \leq f_C$. Como f_C es la máxima frecuencia en la que $H(j\,2\pi f) = H_1$ a veces se denomina banda de rizado.

La banda de cierre comprende la zona de frecuencias que se atenúan, entendiendo por atenuación la diferencia (en dB) $H_0 - H_2$. La frecuencia f_S de cierre es la mínima en la que se alcanza la atenuación. Obsérvese que puede existir un rizado de paro.

El cambio de la banda de paso a la de cierre en un filtro real no es abrupto como en la respuesta ideal representada en la Fig. 16-26. La diferencia entre las frecuencias de paro y de corte ($f_S - f_H$ o $f_S - f_C$) constituye la banda de transición. Frecuentemente se elige f_S una octava por encima de la frecuencia de corte ($f_S = 2f_H$). Es corriente una atenuación superior a los 20 dB en $f_S = 2f_H$.

La respuesta en paso-banda de la Fig. 16-27*b* acusa dos bandas de paro y dos de transición, respectivamente, por encima y por debajo de las frecuencias f_2 y f_1 que definen la banda de paso. Se pueden trazar unas características similares de los filtros paso-alto, y de los de rechazo de banda, e identificarlos con las distintas bandas de frecuencia.

Especificación de filtros

Emplearemos la respuesta de paso-bajo de la Fig. 16-27*a* para definir la información que precisa el diseñador de un filtro. Como mínimo, el diseñador ha de conocer las siguientes especificaciones:

1. La frecuencia de corte f_H (o f_C), es decir, el campo de las frecuencias paso-banda.
2. La atenuación $H_o - H_2$ de la banda de cierre.
3. La frecuencia de corte, o sea f_S.
4. El rizado tolerable $\gamma = H_0 - H_1$. Si no se tolera rizado alguno, $\gamma = 0$ y $H_1 = H_0$.

El rizado tolerable $\gamma = H_0 - H_1$. Si no se tolera rizado alguno, $\gamma = 0$ y $H_1 = H_0$.

Otra particularidad que se acostumbra a especificar es el nivel de impedancia en la entrada y salida del filtro (los intermedios entre la fuente de señal y la carga). La característica de la Fig. 16-27*a* es la magnitud de la función de transferencia $H(j\omega)$. A veces se especifican también la respuesta en fase (retardo) y la respuesta transitoria (tiempo de subida, sobrevalor) del filtro.

Como los Amp-Op adquiribles en el mercado tienen un ancho de banda con ganancia unidad por encima de 100 MHz, se hace posible diseñar filtros hasta frecuencias de varios megaherzt (*)

A causa de las limitaciones debidas al ritmo de variación y a las diferencias de uno a otro ejemplar de Amp-Op en cuanto al producto ganancia-ancho de banda y a la ganancia en lazo abierto, se emplean muchos filtros activos integrados en frecuencias audio. Evidentemente, al disminuir el ancho de banda de ganancia unidad del Amp-Op, disminuye la frecuencia máxima del filtro.

16-9. FUNCIONES BUTTERWORTH Y CHEBYSHEV

Las respuestas en frecuencia representadas en la Fig. 16-27 son aproximaciones de las características ideales de paso-bajo y paso-banda de las Figs. 16-26*a* y 16- 26*b* respectivamente. Pueden hacerse unas aproximaciones similares para el paso-alto y el rechazo de banda de las Figs. 16-26*c* y 16-26*d*. Para diseñar un filtro real deben expresarse matemáticamente las características de la Fig. 16-27. La forma general de la función de transferencia $H(s)$ puede expresarse

$$H(s) = \frac{A(s)}{B(s)} \tag{16-13}$$

Tabla 16-2 Funciones de transferencia bicuadráticas

Tipo de característica	Forma de la función de transferencia H(s) = A(s)/B(s)	
Paso-bajo	$\dfrac{K}{s^2 + (\omega_o/Q)s + \omega_o^2}$	$\dfrac{K(s + z)}{s^2 + (\omega_o/Q)s + \omega_o^2}$
Paso-alto	$\dfrac{Ks^2}{s^2 + (\omega_o/Q)s + \omega_o^2}$	$\dfrac{Ks(s + z)}{s^2 + (\omega_o/Q)s + \omega_o^2}$
Paso-banda	$\dfrac{Ks}{s^2 + (\omega_o/Q)s + \omega_o^2}$	
Rechazo de banda	$\dfrac{K(s^2 + \omega_z^2)}{s^2 + (\omega_o/Q)s + \omega_o^2}$	

Siendo $A(s)$ y $B(s)$ polinomios en la frecuencia variable s. Evidentemente para que haya estabilidad los ceros de $B(s)$ residen en el semiplano izquierdo. La localización de los ceros de $A(s)$ no tiene restricciones. Sin embargo, se supone que el número de polos finitos de $N(s)$ es igual o menor que el número de ceros de $B(s)$ es decir, los polos de $H(s)$.

La función bicuadrada

Consideremos $H(s)$ en la forma

$$H(s) = \frac{a_2 s^2 + a_1 s + a_0}{s^2 + b_1 s + b_0} \tag{16-14}$$

(*) A estas frecuencias, los Amp-Op son costosos y frecuentemente se emplean otros tipos de filtros.

La expresión de la Ec. (16-14) se denomina *función bicuadrática* o simplemente *bicuadrada* porque tanto numerador como denominador son de segundo grado en s. Las cuatro respuestas de la Fig. 16-26 se pueden aproximar por la Ec. (16-14) ajustando apropiadamente el valor de los coeficientes. En el caso de paso-banda de la Fig. 16-26*b*, $H(s) = 0$ para $s = j\,2\pi f$ igual a cero e infinito. El coeficiente $a_0 = 0$ si $H(0) = 0$; análogamente si $H(j\,2\pi f) \rightarrow 0$ cuando $f \rightarrow \infty$ es necesario que $a_2 = 0$. Unos razonamientos análogos aplicados a los tres casos restantes conducen a los resultados dados por la Tabla 16-2.

La función paso-bajo en la columna izquierda de la Tabla 16-2 puede escribirse

$$H(s) = \frac{H_o}{(s^2/\omega_o^2) + (1/Q)\,(s/\omega_o) + 1} \tag{16-15}$$

siendo $H_0 = K/\omega_0^2$. La Ec. (16-15) tiene la misma forma que la Ec. (13-13) para el amplificador realimentado de dos polos. La respuesta en frecuencia de esta función está representada en la Fig. 13-13 a medida que varía el factor de amortiguación $k = 1/2Q$. Como se ve en esta última figura, la función de dos polos no amortigua mucho a $s/\omega_0 = 2$. Por ejemplo si $k > 0{,}6$, se supone que el pico está minimizado, siendo la amortiguación a $s/\omega_0 = 2$ menor de 14 dB lo que da poca selectividad, insuficiente para muchas de las aplicaciones de los filtros. En general se necesitan funciones de orden superior para conseguir las atenuaciones típicas que se dan en la práctica.

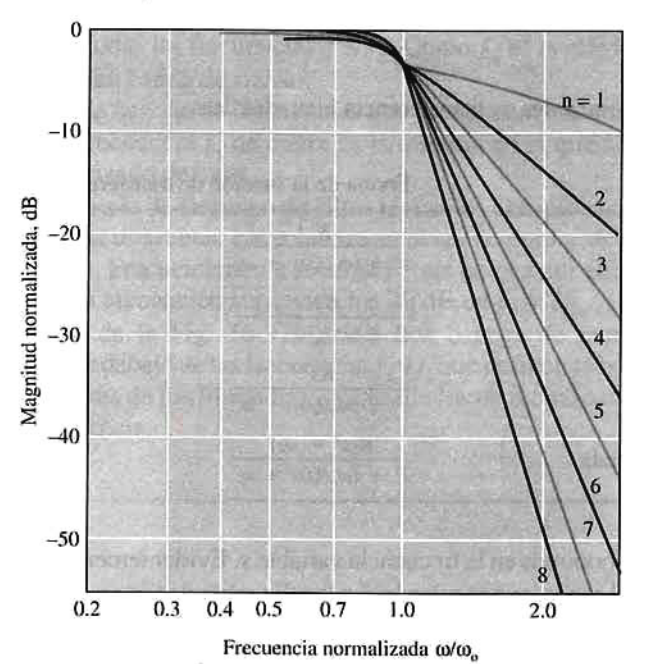


Figura 16-28. Características del filtro Butterworth paso-bajo para distintos valores de n.

Polinomios de Butterworth

El uso de los polinomios de Butterworth es una aproximación a la característica de paso-bajo. Así, $H(s) = H_0/B(s)$ siendo $B(s)$ un polinomio cuya magnitud viene dada por

$$B^2(\omega) = 1 + \left(\frac{\omega}{\omega_o}\right)^{2n} \tag{16-16}$$

Los filtros que se valen de estos polinomios se denominan *filtros de Butterworth*. En la Fig. 16-28 se

representa la respuesta en frecuencia normalizada para varios valores de n. Obsérvese que la magnitud de $H(j\omega)/H_0$ es 3 dB con $\omega = \omega_0$ para cualquier valor de n, siendo luego decreciente. Cuanto mayor es n tanto más se aproxima la curva a la respuesta ideal de la Fig. 16-26*a*. Se observa también que no existe rizado en el paso-banda siendo la respuesta esencialmente constante para $\omega < \omega_0$. Los polinomios de Butterworth son parte de una clase de filtros de *magnitud-plana-máxima* (MFM); es decir, que las (n-1) primeras derivadas de $H(j\omega)$ calculadas a $\omega = 0$ son idénticamente cero.

Si normalizamos la frecuencia suponiendo $\omega_0 = 1$ rad/s, vemos que la Tabla 16-3 da los términos Butterworth $B_n(s)$ para n hasta ocho (hasta el octavo orden). Obsérvese que si n es par los términos son productos de factores de segundo orden de la forma del denominador de la Ec. (16-15). Los términos impares contienen todos ellos un factor $(s + 1)$. Estos polinomios tienen la propiedad de que sus raíces estén situadas sobre una circunferencia unidad.

El valor de n (o sea el orden del filtro) viene determinado por la atenuación requerida como se verá en el siguiente ejemplo.

Tabla 16-3. Polinomios de Butterworth normalizados

n	*Factores del polinomio* $B_n(s)$
1	$(s + 1)$
2	$(s^2 + 1.414s + 1)$
3	$(s + 1)(s^2 + s + 1)$
4	$(s^2 + 0.765s + 1)(s^2 + 1.848s + 1)$
5	$(s + 1)(s^2 + 0.618s + 1)(s^2 + 1.618s + 1)$
6	$(s^2 + 0.518s + 1)(s^2 + 1.414s + 1)(s^2 + 1.932s + 1)$
7	$(s + 1)(s^2 + 0.445s + 1)(s^2 + 1.247s + 1)(s^2 + 1.802s + 1)$
8	$(s^2 + 0.390s + 1)(s^2 + 1.111s + 1)(s^2 + 1.663s + 1)(s^2 + 1.962s + 1)$

Ejemplo 16-1

Determinar el orden de un filtro Butterworth paso-bajo que deba dar una atenuación de 40 dB cuando $\omega/\omega_0 = 2$.

Solución

Según la Ec. (16-16) la magnitud normalizada de la función de transferencia del filtro es

$$\left|\frac{H(j\omega)}{H_0}\right|^2 = \frac{1}{1 + (\omega/\omega_0)^{2n}}$$

Una atenuación de 40 dB corresponde a $H(j\omega)/H_0 = 0{,}01$ y por tanto

$$(0.010)^2 = \frac{1}{1 + 2^{2n}} \qquad \text{o} \qquad 2^{2n} = 10^4 - 1$$

Despejando n, tomando logaritmos de ambos miembros

$$2n = \frac{\log (10^4 - 1)}{\log 2} \qquad \text{y} \qquad n = 6.64$$

y puesto que el orden del filtro debe ser un número entero tomaremos $n = 7$.

Filtros Chebyshev

Cuando la especificación tolera un rizado moderado en el paso- banda, se emplea frecuentemente la aproximación de todo polo del filtro de Chebyshev. La función de transferencia es de la forma

$$H^2(j\omega) = \frac{H_o^2}{1 + \epsilon^2 C_n^2(\omega/\omega_C)} \tag{16-17}$$

en donde C_n (ω/ω_C) son los términos definidos por

$$\begin{aligned} C_n\left(\frac{\omega}{\omega_C}\right) &= \cos\left(n \cos^{-1}\frac{\omega}{\omega_C}\right) \qquad 0 \le \frac{\omega}{\omega_C} \le 1 \\ &= \cosh\left(n \cosh^{-1}\frac{\omega}{\omega_C}\right) \qquad \frac{\omega}{\omega_C} > 1 \end{aligned} \tag{16-18}$$

El parámetro ϵ está relacionado con el rizado de paso-banda γ en dB por

$$\epsilon^2 = 10^{\gamma/10} - 1 \tag{16-19}$$

Tabla 16-4. Polinomios normalizados para filtros Chebyshev

n	*Factores polinomiales del filtro Chebyshev*
	0.5-dB rizado (ϵ = 0.3493)
1	$s + 2.863$
2	$s^2 + 1.425\,s + 1.516$
3	$(s + 0.626)\,(s^2 + 0.626s + 1.142)$
4	$(s^2 + 0.351s + 1.064)\,(s^2 + 0.845s + 0.356)$
5	$(s + 0.362)\,(s^2 + 0.224s + 1.036)\,(s^2 + 0.586s + 0.477)$
6	$(s^2 + 0.1554s + 1.024)\,(s^2 + 0.4142s + 0.5475)\,(s^2 + 0.5796s + 0.157)$
7	$(s + 0.2562)\,(s^2 + 0.1014s + 1.015)\,(s^2 + 0.3194s + 0.6657)\,(s^2 + 0.4616s + 0.2539)$
8	$(s^2 + 0.0872s + 1.012)(s^2 + 0.2484s + 0.7413)(s^2 + 0.3718s + 0.3872)(s^2 + 0.4386s + 0.08805)$
	1.0-dB rizado (ϵ = 0.5089)
1	$s + 1.965$
2	$(s^2 + 1.098s + 1.103$
3	$(s + 0.494)\,(s^2 + 0.494s + 0.994)$
4	$(s^2 + 0.279s + 0.987)\,(s^2 + 0.674s + 0.279)$
5	$(s + 0.289)\,(s^2 + 0.179s + 0.988)(s^2 + 0.468s + 0.429)$
6	$(s^2 + 0.1244s + 0.9907)\,(s^2 + 0.3398s + 0.5577)\,(s^2 + 0.4642s + 0.1247)$
7	$(s + 0.2054)\,(s^2 + 0.0914s + 0.9927)\,(s^2 + 0.2562s + 0.6535)\,(s^2 + 0.3702s + 0.2304)$
8	$(s^2 + 0.07s + 0.9942)\,(s^2 + 0.1994s + 0.7236)\,(s^2 + 0.2994s + 0.3408)\,(s^2 + 0.3518s + 0.0702)$

Para un rizado de 0,5 dB, ϵ = 0,3493 y para γ = 1 dB, ϵ = 0,5089. La frecuencia $f_C = \omega_C/2\pi$ es el ancho de banda del rizado (Fig. 16-27). La frecuencia de 3 dB f_H está relacionada con f_C por

$$f_H = f_C \cosh\left(\frac{1}{n}\cosh^{-1}\frac{1}{\epsilon}\right) \tag{16-20}$$

En la Tabla 16-4 se dan los ocho primeros polinomios para rizados de 0,5 y de 1 dB. Cada uno está normalizado para 0,5 y 1.0 dB de rizado y $\omega_c = 1$ rad/s. Se puede demostrar que las raíces de las funciones presentadas en la Tabla 16-4 están sobre una elipse cuya excentricidad depende del rizado.

En la Fig. 16-29*a* figuran la respuestas en frecuencia normalizadas de un filtro Chebyshev de 1 dB para distintos valores de *n*. El rizado de paso-banda está representado en la Fig. 16-19*b* para $n = 3$ y $\gamma =$ 1 dB. Obsérvese nuevamente que al ir creciendo *n* la respuesta se aproxima cada vez más a la característica ideal.

Ejemplo 16-2

(*a*) Determinar el orden de un filtro Chebyshev de un 1 dB de rizado que dé una atenuación de 40 dB a$\omega/\omega_c = 2$; (*b*) determinar el ancho de banda de 3 dB del filtro.

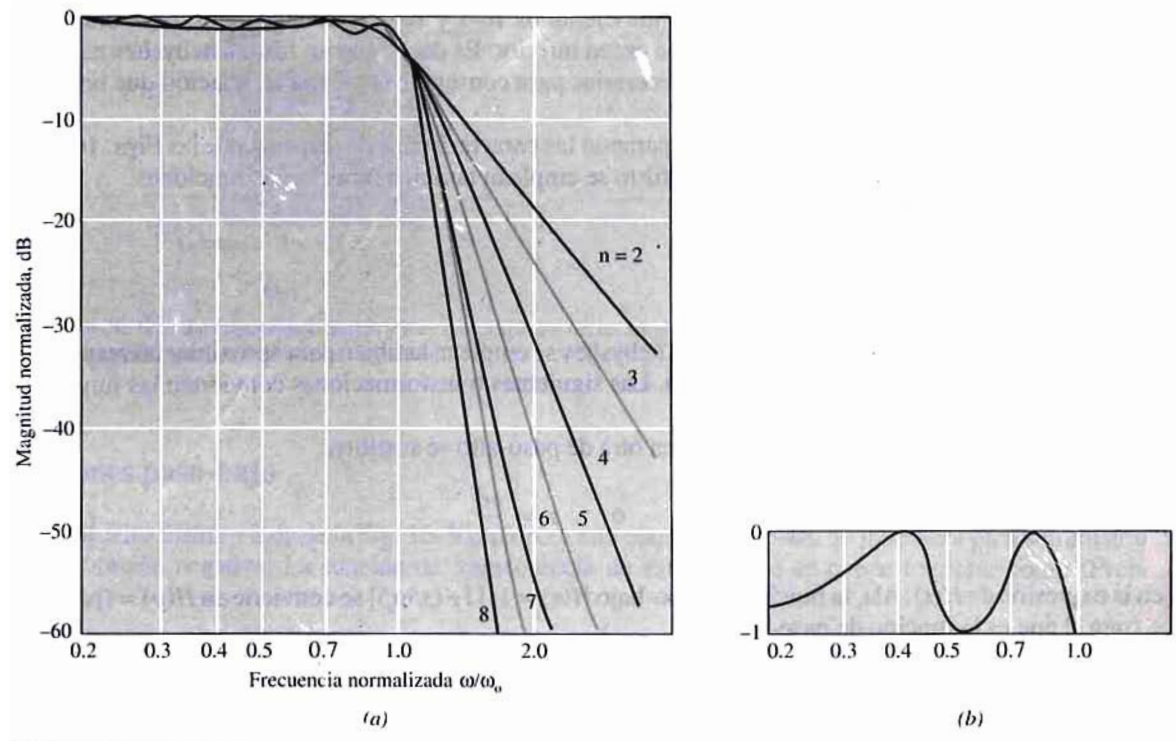


Figura 16-29. Características del filtro Chebyshev para distintos valores de *n*. Cada característica tiene un rizado paso- banda de 1 dB.

Solución

(*a*) La respuesta normalizada según la Ec. (16-17) es

$$\frac{H^2(j\omega)}{H_0^2} = \frac{1}{1 + \epsilon^2 C_n^2(\omega/\omega_C)}$$

Una atenuación de 40 dB corresponde a $H(j\omega)/H_0 = 0{,}01$. Por tanto

$$(0.01)^2 = \frac{1}{1 + (0.5089)^2 C_n^2(2)}$$

y

$$C_n^2\,(2) = \frac{10^4 - 1}{(0.5089)^2} = 3.861 \times 10^4$$

o

$$C_n(2) = 196.5$$

Empleando la Ec. (16-18) tendremos 196,5 = cosh (n cosh^{-1}2). Despejando n se llega a $n = 4{,}536$, tomándose $n = 5$.

(*b*) El valor de f_H/f_C se deduce de la Ec. (16-20) con $n = 5$:

$$\frac{f_H}{f_C} = \cosh \frac{1}{5} \cosh^{-1} \frac{1}{0.5089} = 1.034$$

De la comparación entre los resultados de los Ejemplos 16-1 y 16-2 se deduce que si se tolera algún rizado en paso-banda, puede usarse un filtro de orden inferior. Es decir, que un filtro Chebyshev necesita menos etapas (es de orden inferior) que las necesarias para conseguir la misma atenuación que un filtro Butterworth.

Esta observación se deduce también comparando las características de respuesta de las Figs. 16-28 y 16-29*a*. Para aproximar las características de filtro se emplean también otras varias funciones.

Transformación de frecuencia

Las funciones de los filtros Butterworth y Chebyshev se emplean también para aproximar las respuestas de paso-banda, paso-alto y rechazo de banda. Las siguientes transformaciones convierten las funciones de paso-bajo en cualquiera de las otras.

Para transformar la función de paso-bajo en otra de paso-alto se sustituye

$$\frac{p}{\omega_o} = \frac{1}{s/\omega_o} \qquad \text{o} \qquad s = \frac{\omega_o^2}{p} \tag{16-21}$$

en la expresión de $H(s)$. Así, la función de paso-bajo $H(s) = 1/[1+(s/\omega_0)]$ se convierte en $H(p) = (p/\omega_0)/[1 + (p/\omega_0)]$ que es la función de paso-alto.

Las transformaciones de paso-bajo a paso-banda y de paso-bajo a rechazo de banda son las dadas por las Ecs. (16-22) y (16-23) respectivamente. Se deja para el lector la comprobación de estas transformaciones (Prob. 16-18):

$$p = \frac{s^2 + \omega_o^2}{\omega_H s} = \frac{Q\,[(s/\omega_o)^2 + 1]}{s/\omega_o} \tag{16-22}$$

$$p = \frac{\omega_H s}{s^2 + \omega_o^2} = \frac{s/\omega_o}{Q[(s/\omega_o)^2 + 1]} \tag{16-23}$$

siendo $Q = \omega_0/\omega_H$, $f_0 = \omega_0/2\pi$ la frecuencia central y $f_H = \omega_H/2\pi$ la de 3 dB.

Las Ecs. (16-21) a (16-23) se usan para convertir las funciones de los filtros paso-bajo Butterworth y Chebyshev de las Tablas 16-3 y 16-4 en sus equivalentes de paso-alto, paso-banda y rechazo de banda. Obsérvese que la función paso-bajo de 5 polos se convierte en función paso-bajo o de rechazo de banda de 10 polos. En el de paso-banda, cinco polos proporcionan la atenuación a frecuencias $f < f_0$ y cinco polos dan la atenuación para $f > f_0$.

16-10. SECCIONES DEL AMPLIFICADOR SIMPLE

Frecuentemente los filtros se construyen conectando en cascada un cierto número de secciones, cada una de las cuales realiza una de las funciones de transferencia bicuadráticas que figuran en la Tabla 16-2. Así un filtro Chebyshev paso-bajo de seis polos y rizado 0,5 dB tiene tres secciones. Cada sección se emplea para facilitar uno de los factores cuadráticos de la Tabla 16-4. A continuación examinaremos algunas de las secciones bicuadradas más empleadas que utilizan únicamente un Amp-Op.

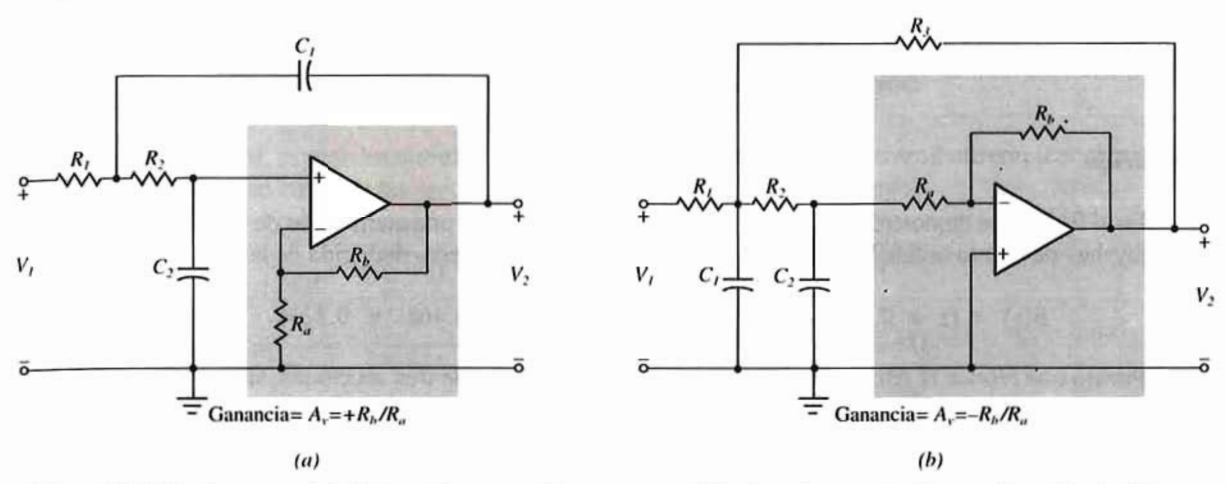


Figura 16-30. Secciones paso-bajo Sallen y Key que emplean: (*a*) un amplificador no inversor (realimentación positiva), y (*b*) un amplificador inversor (realimentación negativa).

Secciones paso-bajo

El circuito Sallen y Key de la Fig. 16-30*a* emplea una etapa de Amp-Op no inversora para suministrar realimentación negativa. La función de transferencia de este circuito se puede expresar como (Prob. 16-21):

$$H(s) = \frac{A_V}{R_1R_2C_1C_2s^2 + s\,[C_2(R_1 + R_2) + R_1C_1(1 - A_V)] + 1} \qquad (16\text{-}24)$$

siendo $A_V = 1 + R_b / R_a$ la ganancia de la etapa Amp-Op. Comparando la Ec. (16-24) con la función paso-bajo de la Ec. (16- 15) se tiene

$$\omega_o = \frac{1}{\sqrt{R_1R_2C_1C_2}} \qquad Q = \frac{\sqrt{R_1R_2C_1C_2}}{R_1C_1\,(1 - A_V) + C_2(R_1 + R_2)} \qquad (16\text{-}25)$$

Evidentemente los cinco parámetros del circuito R_1, R_2, C_1, C_2 y A_V proveen un grado de libertad superior al necesario para especificar ω_0 y Q. A veces, para simplificar la fabricación $C_1 = C_2 = C$ y $R_1 = R_2 = R$ con lo que las Ecs. (16-24) y (16-25) se reducen a

$$H(s) = \frac{A_V}{R^2C^2s^2 + RCs(3 - A_V) + 1} \qquad (16\text{-}26)$$

$$\omega_o = \frac{1}{RC} \qquad Q = \frac{1}{3 - A_V} \qquad (16\text{-}27)$$

Observemos que igualando ambas resistencias y ambas capacidades se tiene una constante de tiempo RC que establece ω_0 y la ganancia A_V que determina Q. Además observemos que para tener estabilidad, $A_V < 3$. Si $A_V \geq 3$, según la Ec. (16-26) el coeficiente s es ≤ 0 indicando que $H(s)$ tiene polos en el semiplano derecho.

Ejemplo 16-3

Diseñar un filtro paso-bajo con rizado no mayor de 1 dB desde continua hasta 1 kHz y que dé una atenuación mínima de 40 dB a 2 kHz.

Solución

En el Ej.16-2 se demostró que con un rizado de 1 dB se obtiene una atenuación de 40 dB con un filtro Chebyshev de quinto orden. La característica polinomial normalizada, deducida de la Tabla 16-4 es

$$B(s) = (s + 0.289)(s^2 + 0.179s + 0.988)(s^2 + 0.468s + 0.429)$$

Puesto que $H(s) = H_0/B(s)$ tiene tres factores, se usa un filtro de tres secciones, siendo éstas

$$H_1(s) = \frac{H'_{o1}}{s + 0.289} \qquad H_2(s) = \frac{H'_{o2}}{s^2 + 0.179s + 0.988}$$

$$H_3(s) = \frac{H'_{o3}}{s^2 + 0.468s + 0.429}$$

Cada una de las funciones dadas más arriba está normalizada a la frecuencia angular de corte $\omega_C = 1$ rad/s. La frecuencia de corte deseada es $f_C = 1$ kHz o $\omega_C = 2\pi \times 10^3$ rad/s.

Las funciones no normalizadas, escritas en la forma de la Ec. (16-15) son:

$$H_1(s) = \frac{H_{o1}}{(s/0.289\omega_C) + 1} \qquad H_2(s) = \frac{H_{o2}}{(s^2/0.988\omega_C^2) + (0.179s/0.988\omega_C) + 1}$$

$$H_2(s) = \frac{H_{o3}}{(s^2/0.429\omega_C^2) + (0.468s/0.429\omega_C) + 1}$$

Tanto H_2 como H_3 se pueden lograr con secciones paso-bajo Sallen y Key (Fig. 16-30*a*) con $R_1 = R_2$ y $C_1 = C_2$. La comparación de H_2 y H_3 con las Ecs. (16-26) y (16-27) da

$$\omega_{o2} = \sqrt{0.988\omega_C^2} = 0.994\omega_C = 0.994 \times 2\pi \times 10^3 \text{ rad/s}$$

$$\frac{1}{Q_2} = \frac{0.179}{\sqrt{0.988}} \qquad \text{y} \qquad Q_2 = 5.55$$

$$\omega_{o3} = \sqrt{0.429\omega_C^2} = 0.655\omega_C = 0.655 \times 2\pi \times 10^3 \text{ rad/s}$$

$$\frac{1}{Q_3} = \frac{0.468}{\sqrt{0.429}} \qquad \text{y} \qquad Q_3 = 1.4$$

Las Ecs. (16-27) relacionan Q y ω_0 con los parámetros del circuito. Obsérvese sin embargo que la especificación de ω_0 no permite una determinación única de R y de C sino sólo su producto. En la

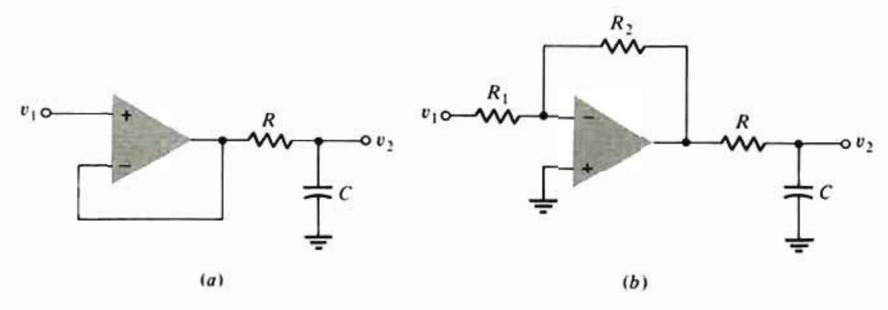


Figura 16-31. Dos circuitos que sitúan un cero en el eje real negativo, (*a*) no inversor, y (*b*) inversor.

fabricación de filtros, especialmente en tecnología híbrida, a veces resulta conveniente emplear el mismo valor de la capacidad en todas las secciones. Elegiremos $C = 0{,}05\mu F$. Por tanto

$$R_2 = \frac{1}{\omega_{o2}C} = \frac{1}{0.994 \times 2\pi \times 10^3 \times 0.05 \times 10^{-6}} = 3.20 \text{ k}\Omega$$

$$R_3 = \frac{1}{\omega_{o3}C} = \frac{1}{0.655 \times 2\pi \times 10^3 \times 0.05 \times 10^{-6}} = 4.86 \text{ k}\Omega$$

Resolviendo la Ec. (16-27) y despejando A_V tendremos $A_V = 3 - 1/Q$, y por tanto.

$$A_{V2} = 3 - \frac{1}{5.55} = 2.82 \qquad A_{V3} = 3 - \frac{1}{1.4} = 2.285$$

Puesto que $A_V \gg 1$ para un Amp-Op comercial, $A_V = 1 + R_b / R_a$. Para minimizar tanto el número de valores de resistencia usados como la dispersión de valores de los elementos (relación entre la mayor y la menor de las resistencias) elegiremos $R_a = 4{,}86$ kΩ en ambas secciones, y entonces

$$R_{b2} = (A_{V2} - 1)R_{a2} = (2.82 - 1)4.86 = 8.84 \text{ k}\Omega$$

$$R_{b3} = (A_{V3} - 1)R_{a3} = (2.285 - 1)4.86 = 6.4 \text{ k}\Omega$$

La sección restante H_1 (s), contiene un polo real de $s = -0{,}289\ \omega_c = 0{,}289 \times 2\pi \times 10^3$ rad/s. El seguidor de tensión que excita un circuito *RC* como se muestra en la Fig. 16-31*a* tiene una función de transferencia

$$\frac{V_2}{V_1} = \frac{1}{RCs + 1}$$

y se utiliza para lograr el polo real en $H_1(s)$. Comparando las funciones de transferencia se llega a

$$RC = \frac{1}{0.289\omega_C}$$

La elección de $C = 0{,}05\mu F$ da:

$$R = \frac{1}{0.289} \times 2\pi \times 10^3 \times 0.05 \times 10^{-6} = 11.0 \text{ k}\Omega$$

La Fig. 16-32 corresponde al circuito final.

También se usan circuitos de realimentación negativa empleando etapas Amp-Op inversoras para obtener funciones de transferencia de paso-bajo. El circuito de la Fig. 16-30*b* corresponde a una sección bicuadrada de paso-bajo. Se pueden conseguir polos reales con el circuito de la Fig. 16-31*b*. Las funciones de transferencia de estos circuitos son:

$$H(s) = \frac{H_o}{a_2 s^2 + a_1 s + 1} \tag{16-28}$$

siendo:

$$a_1 = \frac{R_3(R_1C_1 + R_1C_2 + R_2C_2)}{R_3 + R_1(1 + A_V)}$$

$$a_2 = \frac{R_1R_2R_3C_1C_2}{R_3 + R_1(1 + A_V)} \qquad H_o = \frac{A_v R_3}{R_3 + R_1(1 + A_V)}$$

$$\frac{V_2}{V_1} = -\frac{R_2}{R_1} \times \frac{1}{RCs + 1} \tag{16-29}$$

siendo $A_V = -R_b/R_a$.

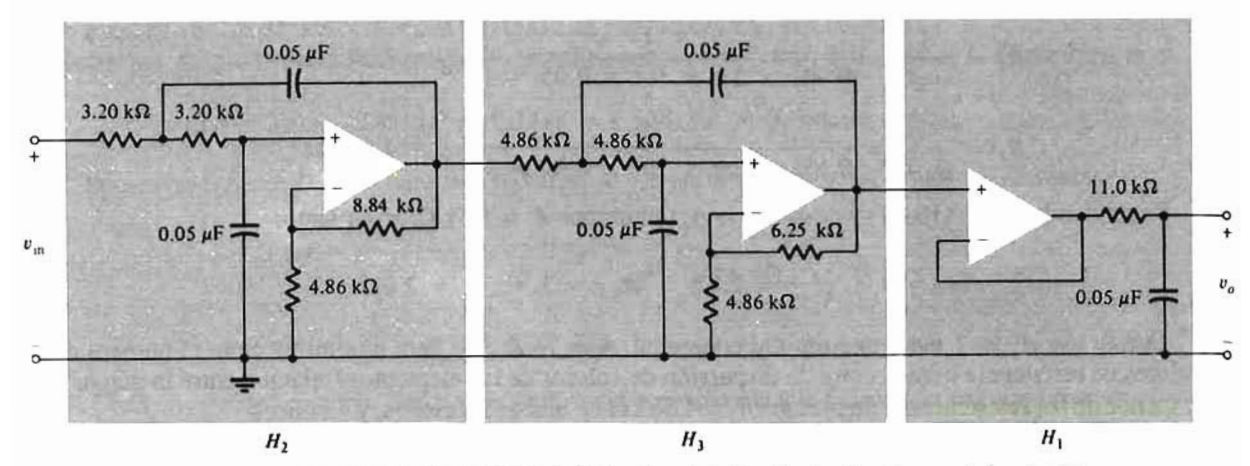


Figura 16-32. Esquema del circuito para el filtro paso-bajo Chebyshev de 1 dB y 5 polos descritos en el ejemplo 6-3.

Secciones paso-alto

Los circuitos de la Fig. 16-30 se convierten fácilmente en secciones de paso-alto intercambiando las resistencias y los condensadores como se representa en la Fig. 16-33. Asimismo, intercambiando la posición de R y de C en la Fig. 16-31 resulta un circuito con función de transferencia de la forma $H(s) = A_v RCs/(RCs + 1)$.

Secciones paso-banda

En la Fig. 16-34 se ven dos secciones utilizadas para obtener la respuesta de paso-banda. El circuito de la Fig. 16-34*a* usa un Amp-Op no inversor (realimentación positiva), mientras que en la disposición de la Fig. 16-34*b* se emplea realimentación negativa. Obsérvese que en la Fig. 16-34*b* se supone un Amp-Op ideal (ganancia infinita) mientras que en el circuito Sallen y Key de la Fig. 16-34*a* se emplea una etapa de ganancia finita. Las relaciones de transferencia de tensiones las dan las Ecs. (16-30) y (16-31) para las Figs. 16-34*a* y 16-34*b* respectivamente:

$$H(s) = \frac{V_2}{V_1}$$

$$H(s) = \frac{A_V R_2 R_3 C_2 s/(R_1 + R_3)}{\dfrac{s^2 R_1 R_2 R_3 C_1 C_2}{R_1 + R_3} + \dfrac{s[C_2 R_3 (R_1 + R_2) + C_2 R_1 R_2 (1 - A_V) + C_1 R_3 R_1]}{R_1 + R_3} + 1} \tag{16-30}$$

$$H(s) = \frac{V_2}{V_1} = \frac{-R_2 C_1 s}{R_1 R_2 C_1 C_2 s^2 + s R_1 (C_1 + C_2) + 1} \tag{16-31}$$

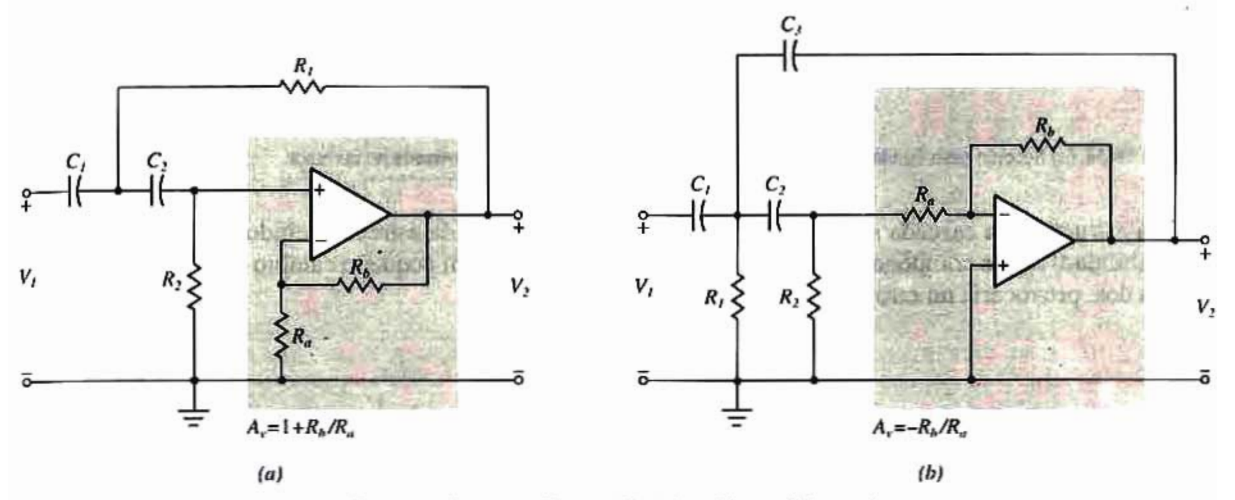


Figura 16-33. Secciones Sallen y Key paso-alto con realimentación (*a*) positiva, y (*b*) negativa.

Se deja para el lector (Prob. 16-28 y 16-29) la comprobación de estas ecuaciones.

La adición de realimentación positiva (R_a y R_b de la Fig. 16-35) al circuito de la Fig. 16-34*b* mejora el funcionamiento del circuito. La combinación de realimentación positiva y negativa permite la fabricación práctica de circuitos de Q más alto en filtros de orden elevado. Se puede demostrar (Prob. 16-31) que la función de transferencia de este circuito viene dada por:

$$H(s) = \frac{V_2}{V_1} = \frac{-A_V R_2 C_1 s/(A_V - 1)}{R_1 R_2 C_1 C_2 s^2 + s\,[R_1 (C_1 + C_2) - R_2 C_1/(A_V - 1)] + 1} \tag{16-32}$$

siendo $A_V = 1 + r_B/r_a$

Las secciones paso-banda de las Figs. 16-34 y 16-35 son útiles para formar circuitos de banda estrecha; es decir, que el paso-banda es una fracción de la frecuencia del centro. La respuesta de los circuitos de banda estrecha es similar a la obtenida con un simple circuito resonante en serie o paralelo con una Q moderada. En estas circunstancias las frecuencias superior e inferior de 3 dB, f_2 y f_1 respectivamente (Fig. 16-26*b*) están tan próximas entre sí que la frecuencia central $f_0 = \sqrt{f_1 f_2}$ es muy aproximadamente igual a $(f_1 + f_2)/2$ y el ancho de banda $f_2 - f_1 = f_0/Q$. En algunas aplicaciones $f_2 - f_1 > f_0$ y se necesitan circuitos pasa-banda de banda ancha. Se pueden tener estas características poniendo en cascada secciones de paso-bajo y de paso-alto como en la Fig. 16-36*a*. Si $\omega_H > \omega_L$ (Fig. 16-36*b*) resulta la respuesta paso-banda de la Fig. 16-36*c*. Obsérvese en esta última figura que la atenuación a bajas frecuencias (ω/ω_L) es debida a la red de paso-alto mientras que si $\omega > \omega_H$ la atenuación proviene de la sección de paso-bajo. Ambas redes transmiten la señal en la banda de paso ($\omega_L \leq \omega \leq \omega_H$).

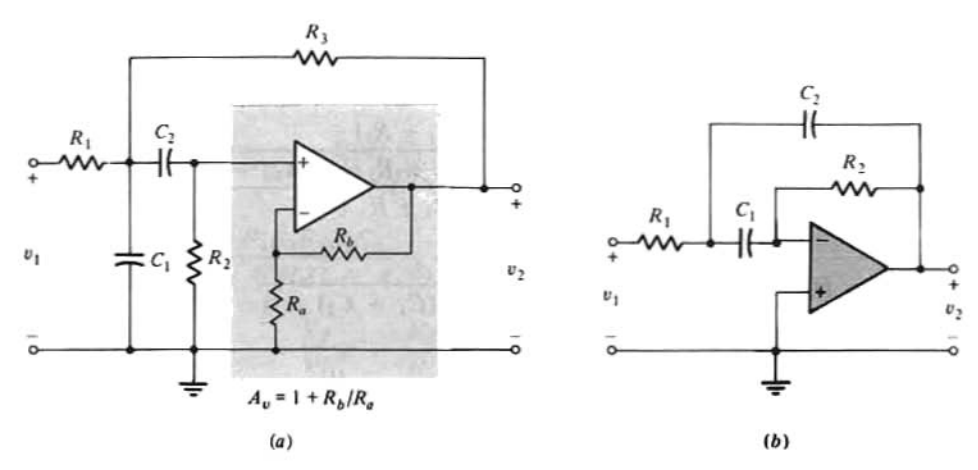


Figura 16-34. (*a*) Sección paso-banda no inversora Sallen y Key, (*b*) un circuito paso-banda no inversor.

La estructura en cascada no puede emplearse en el caso de banda estrecha debido a la variabilidad (sensibilidad) de los componentes. Si ω_L y ω_H fueran casi iguales, un pequeño cambio en una de ellas, o en las dos, provocaría un error significativo en la banda de paso.

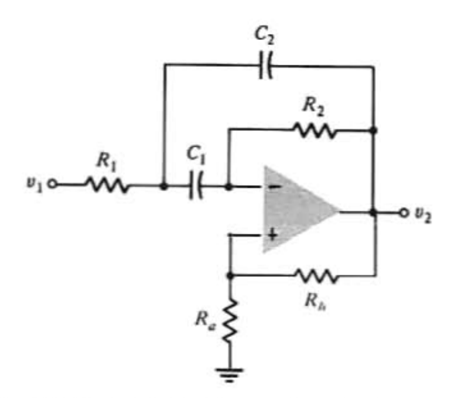


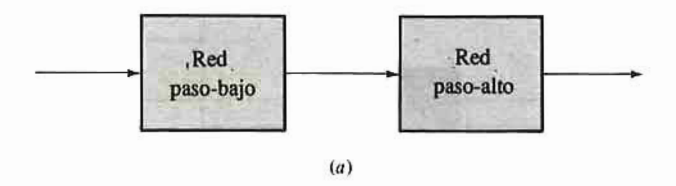
Figura 16-35. Circuito paso-banda Delyiannis empleando ambas realimentaciones, positiva y negativa.

Secciones de rechazo de banda

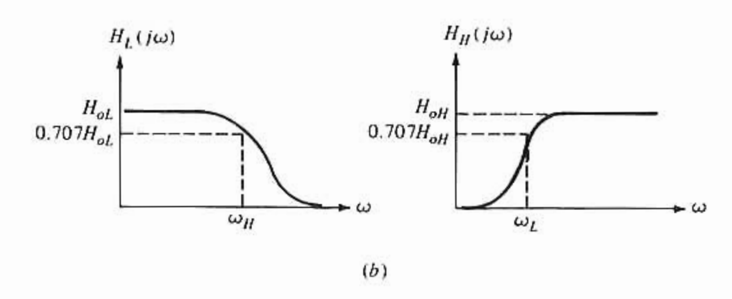
La configuración en paralelo de la Fig. 16-37*a* se emplea para formar un filtro paso-banda de banda amplia. Si las redes de paso-bajo y de paso-alto tienen las respuestas en frecuencia representadas en la Fig. 16-36*b* y $\omega_H < \omega_L$, la Fig. 16-37*b* es la respuesta del circuito de la Fig. 16-37*a*. Tanto la sección de paso-alto como la de paso-bajo atenúan en la banda entre ω_H y ω_L. Cuando $\omega < \omega_H$ la transmisión se hace a través de la sección de paso-bajo y si $\omega > \omega_L$ la señal se transmite por la sección de paso-alto.

A los circuitos de rechazo de banda estrecha se les denomina a veces como filtros dentados. Esto puede deducirse de la entrada «rechazo de banda» de la Tabla 16-2 en la que $H(j\,\omega_r) = 0$ cuando $s = j(\omega_r)$. Obsérvese que $H(j\,\omega) \neq 0$ para todas las $\omega \neq \omega_r$ como se ve en la respuesta en frecuencia representada en la Fig. 16-38. Para tener la respuesta de la Fig. 16-38 corrientemente se emplea el circuito de la Fig. 16-39. Los elementos pasivos forman una red en doble *T* que habilita los ceros del eje *j*. Como se ve en la Fig. 16-39, la elección de $R_1 = R_2 = R$, $C_1 = C_2 = C$, $R_3 = R/2$ y $C_3 = 2C$ da una función de transferencia: (con $Y = 0$):

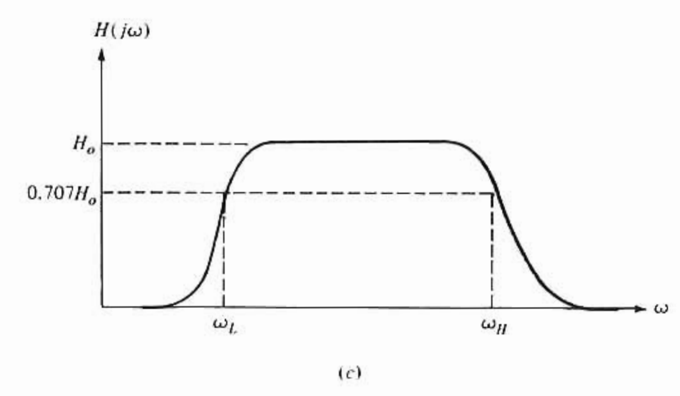
$$H(s) = \frac{V_2}{V_1} = \frac{A_V\,(R^2C^2s^2 + 1)}{R^2C^2s^2 + 2RC\,(2 - A_V)s + 1} \qquad (16\text{-}33)$$



(*a*)



(*b*)



(*c*)

Figura 16-36. (*a*) Un paso-bajo y un paso-alto en cascada para formar un circuito paso-banda de banda ancha. (*b*) Las características de respuesta en frecuencia de las redes paso-bajo y paso-alto dan la respuesta paso-banda (*c*) de la cascada.

En la Ec. (16-33) vemos que $\omega_0 = \omega_r = 1/RC$ y Q del diente viene determinada por la ganancia $A_V = 1 + R_a/R_b$ de la etapa del Amp-Op. Esta misma ecuación indica que la estabilidad requiere que $A_V < 2$.

Frecuentemente se desea que $\omega \neq \omega_0$. Los circuitos en los que $\omega_r > \omega_0$ se denominan dentados de paso alto, y cuando $\omega_r < \omega_0$ lo son de paso-bajo. La adición de la admitancia Y (representada punteada en la Fig. 16-39) convierte el circuito en una red ya sea de paso-alto o de paso-bajo. La elección de $Y = 1/R_4$ lleva a un dentado de paso-bajo, y se obtendrá de paso-alto si $Y = s\,C_4$. En ambos circuitos, $C_3 = C_1 + C_2$ y $1/R_3 = 1/R_1 + 1/R_2$.

Redes pasa-todo

La selección de una de las funciones del filtro Butterworth o Chebyshev (Sec. 16-8) para aproximar

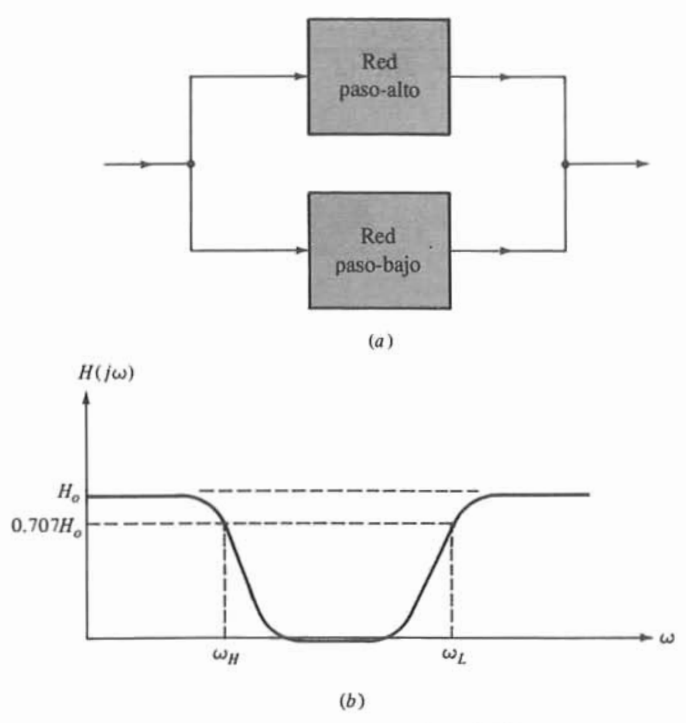


Figura 16-37. (*a*) Circuito de rechazo de banda de canal en paralelo. (*b*) Si $\omega_L < \omega_H$ en características paso-alto y paso-bajo de la Fig. 16-36*b*, se tiene la respuesta de rechazo de banda.

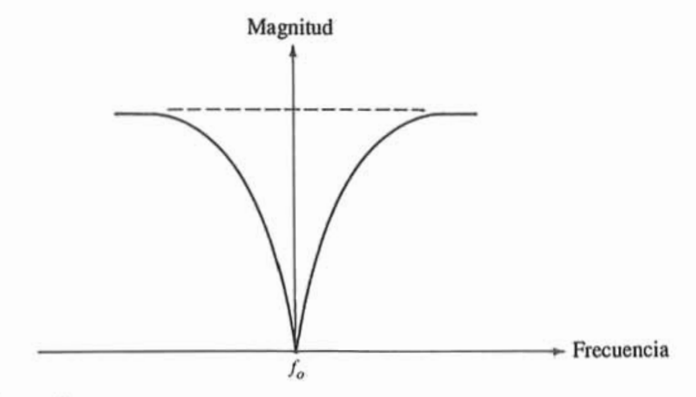


Figura 16-38. Respuesta de un «diente».

la magnitud de la respuesta del filtro especifica también su característica de fase $\angle H(j\omega)$. Frecuentemente interesa también controlar respuesta de fase del propio filtro. Un procedimiento consiste en conectar en cascada una sección pasa-todo con el filtro. La red pasa-todo tiene una magnitud $H(j\omega) = 1$ a todas las frecuencias. Sin embargo la respuesta en fase varía con la frecuencia. El circuito de la Fig. 16- 40 es una red pasa-todo de un polo cuya función de transferencia es

$$H(s) = \frac{V_2}{V_1} = \frac{1 - RCs}{1 + RCs} \tag{16-34}$$

Obsérvese que las frecuencias de polo y de cero de la Ec. (16-34) son iguales en magnitud. Sin embargo,

el cero está en el semi-plano derecho. La inspección de esta ecuación indica que $H(j\omega) = 1$ para todas las ω excepto para

$$\angle\ H(j\omega) = -2 \tan^{-1} RC \tag{16-35}$$

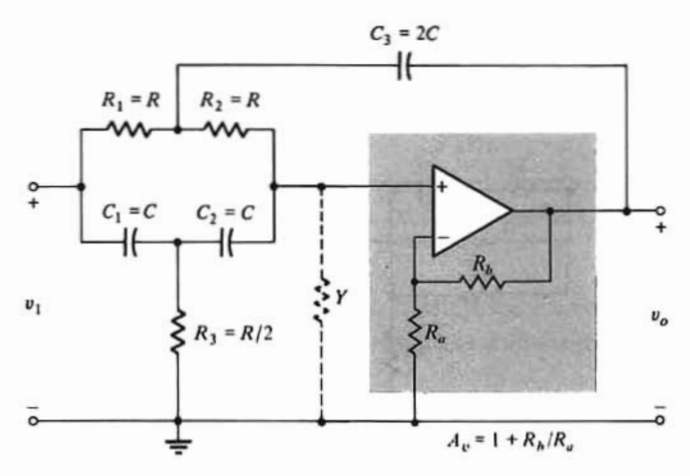


Figura 16-39. Red de doble objetivo empleada para obtener un «dentado». Si Y = 0 las frecuencias de dentado y de polo son iguales. La inclusión de Y ≠ 0 convierte el circuito en un dentado paso-alto o paso-bajo.

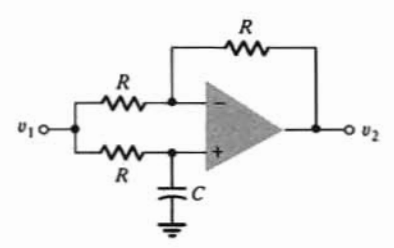


Figura 16-40. Red pasa-todo de un polo.

La característica de fase está representada en la Fig. 16-41. La línea de trazos rectilíneos es la aproximación de Bode. Ajustando la constante de tiempo RC del circuito se puede añadir un desplazamiento de fase de 0 a - 180º sobre el campo de frecuencia aproximada $1/10\ RC < \omega < 10/RC$ a la característica del filtro.

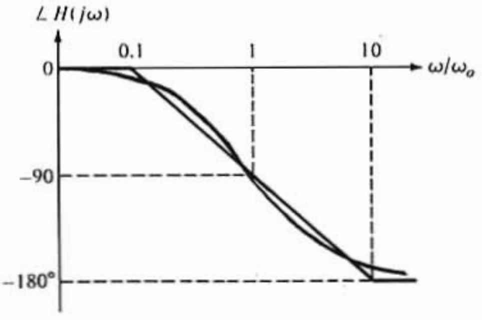


Figura 16-41. Característica de fase de una red pasa-todo de un polo. También está representado el diagrama asintótico de Bode (fase).

Se pueden preparar redes todo-paso bicuadráticas de la forma de la Ec. (16-36) empleando el circuito de la Fig. 16-42.

$$\frac{V_2}{V_1} = H(s) = \frac{s^2 - (\omega_o/Q)s + \omega_o^2}{s^2 + (\omega_o/Q)s + \omega_o^2} \qquad (16\text{-}36)$$

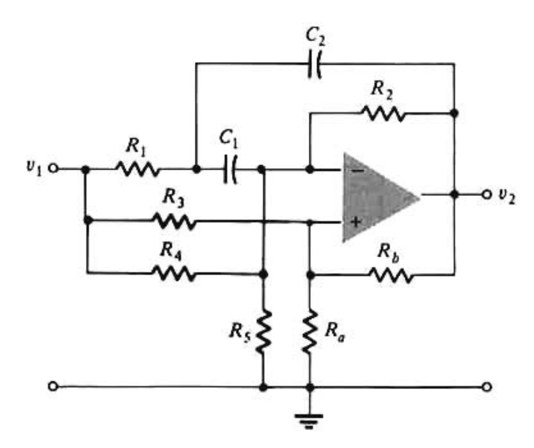


Figura 16-42. Sección general bicuadrada de Friend.

La Ec. (16-36) indica que cuando $\omega < \omega_o$, $\angle H(j\omega) < 0$ y cuando $\omega > \omega_o$, $\angle H(j\omega) > 0$. A la respuesta de fase del filtro se le puede añadir un desplazamiento de fase tanto positivo como negativo.

Sección general bicuadrada de Friend

Modificando el circuito de la fig. 16-35 (los elementos señalados con trazo menos intenso) se llega a una sección bicuadrada general desarrollada por Friend en los laboratorios de la Bell Telephone. Este circuito, llamado *resonador activo-normalizado de tantalio* puede usarse para formar todas las funciones de transferencia bicuadráticas, excepto las de paso-bajo, suprimiendo (abriendo el circuito) las resisten-apropiadas. Su ventaja en sistemas de comunicación a gran escala estriba en el hecho de que se puede usar la misma topología en todas las secciones de filtro y en todos los filtros de un sistema multíplex. Los elementos adicionales introducen vías de alimentación en sentido directo entre la entrada y la salida. Estas vías dan razón de s^2 y de los términos constantes añadidos al numerador de la Ec. (16-32). En consecuencia, $H(s)$ del circuito de la Fig. 16-42 tiene la forma dada en la Ec. (16-14).

16-11. SECCIONES BICUADRADAS DEL AMP-OP MÚLTIPLE

En la fabricación de los filtros prácticos la actuación de las secciones se mejora introduciendo etapas de Amp-Op adicionales. El coste de la mayor potencia consumida por los Amp-Op adicionales, frecuentemente queda más que compensado por la menor sensibilidad ante las variaciones de los componentes, la mayor facilidad de sintonización (ajuste de ω_o y de Q en cada sección) y la normalización de la topología para tener tres o cuatro respuestas en frecuencia básicas. Uno de tales circuitos, representado en la Fig. 16-43 puede emplearse como filtro paso-bajo, paso-banda o paso-alto. Las etapas A_{V1} y A_{V2} de dicha figura son amplificadores de tensión ideales de ganancia finita y se construyen empleando etapas de Amp-Op básicas (Fig. 10-42). La función de transferencia de este circuito (Prob. 16-43) se demuestra que es:

$$H(s) = \frac{A_{V1}A_{V2}Z_BZ_D}{(Z_A + Z_B)(Z_C + Z_D) - Z_AZ_DA_{V1}A_{V2}} \qquad (16\text{-}37)$$

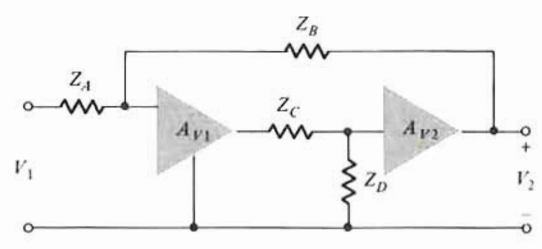


Figura 16-43. Estructura básica de sección bicuadrada de 2 Amp- Op. Si cada impedancia se elige ya sea como R o C, la respuesta puede ser de paso-bajo, paso-alto o paso-banda.

Dos de las cuatro impedancias Z_A, Z_B, Z_C y Z_D son resistencias y las otras dos son condensadores. La elección en cada caso determina la naturaleza de las respuesta como se ve en la Tabla 16-5.

Tabla 16-5. Selección de impedancia en el circuito de la Fig. 16-43

Respuesta	Z_A	Z_B	Z_C	Z_D
Paso-bajo	R_1	$1/sC_1$	R_2	$1/sC_2$
Paso-banda	R_1	$1/sC_1$	$1/sC_2$	R_2
Paso-alto	$1/sC_1$	R_1	$1/sC_2$	R_2

La seccción de filtro universal o de estado variable

La sección bicuadrada universal o de estado variable de la Fig. 16-44 puede dar simultáneamente salidas de paso-bajo, paso-banda y paso-alto. Como puede verse en dicha figura el circuito consiste en dos integradores y una etapa de ganancia inversora. la realimentación negativa alrededor de las tres etapas

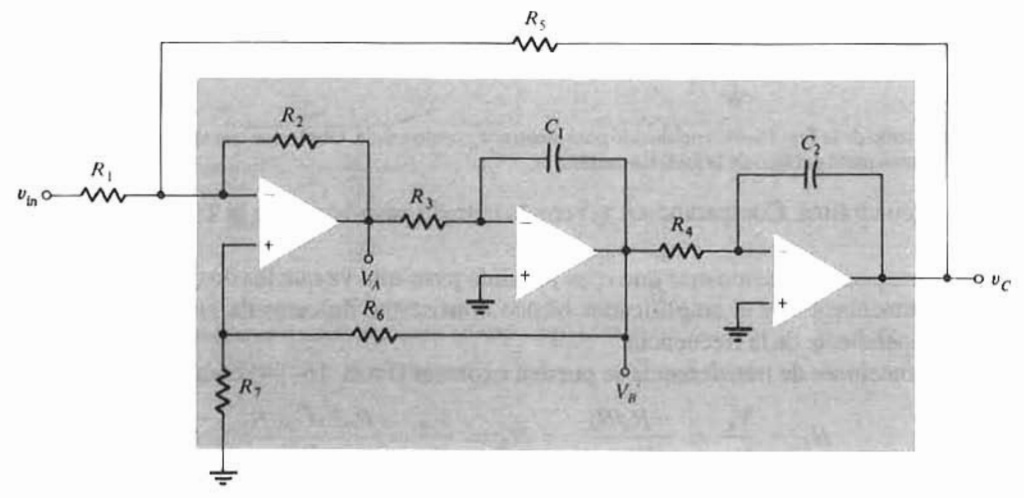


Figura 16-44. Sección de filtro de estado variable o universal. Las respuestas paso-bajo, paso-alto y paso-banda se alcanzan a v_C, V_A y v_B respectivamente.

la proporciona R_5 mientras que R_6 y R_7 forman un lazo de realimentación positiva alrededor de las dos primeras etapas. Las tensiones v_A, v_B y v_C son las salidas de paso-alto, paso-banda y paso-bajo respectivamente.

Cualitativamente podemos demostrar que v_C es la salida paso-bajo, con el siguiente razonamiento: Consideremos que el circuito de la Fig. 16-44 es un amplificador realimentado en el que R_5 y R_1 forman un lazo de realimentación resistivo alrededor del amplificador contenido en el rectángulo sombreado. La ganancia sin realimentación $A(s)$ es igual a $A_o/D(s)$ teniendo $D(s)$ dos raíces atribuida una a cada uno de los integradores del amplificador. La relación de retorno $T = -\beta A(s) = -\beta A_o/D(s)$ contiene los mismos dos polos que A(s) ya que β es real porque la red de realimentación es resistiva. Por tanto $A_F(s) = A(s)/[1 + T(s)] = A_o/[D(s) - \beta A_o]$. Evidentemente A_F tiene dos polos y ningún cero finito y es una función bicuadrática de paso-bajo.

El circuito de la Fig. 16-45 es el mismo que el de la Fig. 16-44. En este amplificador realimentado, un integrador forma parte de la red de realimentación (en trazo menos intenso). Así pues, β no es real, pero contiene un polo en $s = 0$ debido al integrador, es decir, $\beta = K/s$ siendo K una constante real. El amplificador incluye sólo un integrador y así tiene un solo polo $A(s) = A'_o/(1 + s/p_1)$. Empleando nuevamente la Ec. (12-5) tendremos

$$A_F(s) = \frac{A'_o/(1 + s/p_1)}{1 + [A'_o/(1 + s/p_1)] \times (K/s)} = \frac{A'_o s}{D(s)}$$

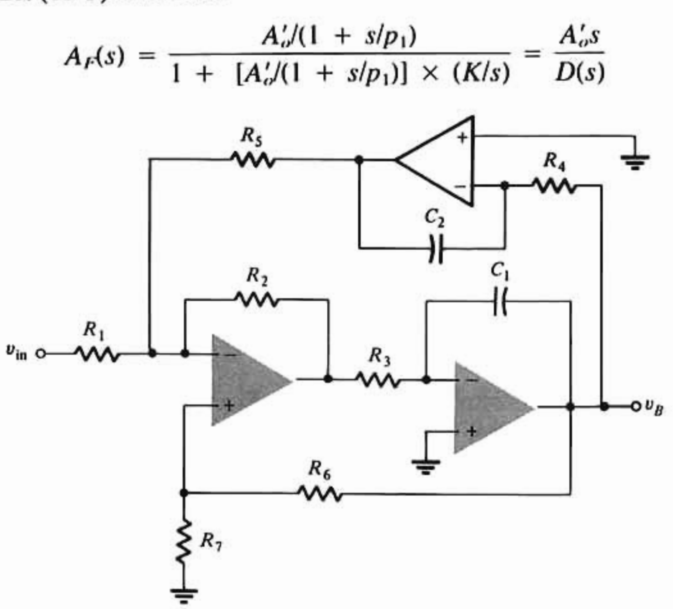


Figura 16-45. El circuito de la Fig. 16-44 reproducido para mostrar v_B como salida. Obsérvese que el integrador formado por R_4, C_2 y el Amp-Op forman parte del lazo de la realimentación.

siendo $D(s)$ una cuadrática. Comparando $A_F(s)$ con la entrada paso-banda de la Tabla 16-2 se ve que son equivalentes.

De igual forma podemos demostrar que v_A es la salida paso-alto ya que los dos integradores son parte de la red de realimentación, y el amplificador básico consistente únicamente en la etapa de Amp-Op inversora es independiente de la frecuencia.

Las diversas funciones de transferencia se pueden expresar (Prob. 16- 44) como

$$H_L = \frac{V_C}{V_{in}} = \frac{-R_s/R_1}{D(s)} \qquad H_B = \frac{V_B}{V_{in}} = \frac{R_4R_5C_2s/R_1}{D(s)} \qquad (16\text{-}38)$$

$$H_H = \frac{V_A}{V_{in}} = \frac{-R_3R_4R_5C_1C_2s^2/R_1}{D(s)}$$

siendo

$$D(s) = \frac{C_1C_2R_3R_4R_5}{R_2}s^2 + \frac{R_4R_7C_2(R_1R_2 + R_1R_5 + R_2R_5)}{R_1R_2(R_6 + R_7)}s + 1 \qquad (16\text{-}39)$$

La sección bicuadrada de la Fig. 16-44 es adquirible en el mercado procedente de varios fabricantes, incluidos Burr-Brown, Inc. y General Instruments, Inc. Estas secciones normalmente contienen los condensadores de precisión de 1000 pF (C_1 y C_2) y cuatro resistencias (generalmente R_2, R_3, R_4 y R_6) también de precisión. Las otras tres resistencias las fija el diseñador para alcanzar los valores deseados de ω_o, de Q y la máxima ganancia.

16-12. FILTROS GOBERNADOS POR CONDENSADOR

Los circuitos activos RC descritos en las tres secciones anteriores son todos ellos filtros a tiempo continuo, o sea, que en todo momento existen señales de entrada y de salida. Lo más frecuente es emplear una tecnología híbrida consistente en emplear Amp-Op monolíticos y resistencias y condensadores de película fina para formar las secciones de segundo orden que comprenden estos filtros. Estos filtros son sistemas de muestreo de datos analógicos (Sec. 16-1) conteniendo sólo condensadores, Amp-Op e interruptores analógicos. Si las frecuencias de la señal son muy inferiores a las de conmutación de los interruptores analógicos, estos filtros de muestreo de datos constituyen un substitutivo alternativo, pero equivalente, de los filtros activos RC. Entre las ventajas que pueden resultar de esta sustitución están:

1. Todo el filtro puede fabricarse en forma monolítica.
2. Puede emplearse la tecnología MOS de alta densidad de componentes, lo que frecuentemente permite situar en un chip único sistemas que requieran un procesado de señales analógico o digital.
3. En las secciones bicuadradas (de segundo orden) descritas anteriormente, la frecuencia angular ω_o (Tabla 16-2) normalmente depende de la constante de tiempo RC. Con el sistema gobernado por condensador puede hacerse que ω_o dependa de la relación de capacidades. Puesto que la relación entre componentes se puede ajustar con más precisión que los valores individuales, se consigue también más precisión en la relación de transferencia del filtro fabricado.
4. La supresión de resistencia disminuye el consumo de potencia.

Las topologías de muchos de estos filtros se derivan de los filtros de tiempo continuo descritos en las dos secciones anteriores. En esta sección describiremos los fundamentos del funcionamiento de tales filtros y de su empleo en las etapas Amp-Op de ganancia e integradora.

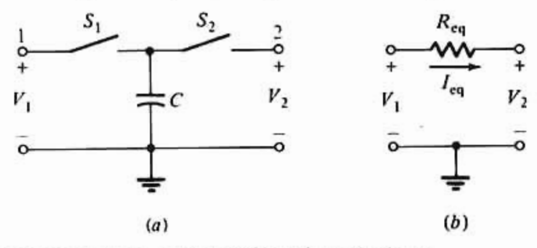


Figura 16-46. (*a*) Un condensador conmutado, y (*b*) su resistencia equivalente.

Resistencia simulada

Consideremos el circuito de la Fig. 16-46*a* en el que los interruptores S_1 y S_2 sean complementarios. El interruptor S_1 (o S_2) está cerrado (o abierto) durante T_1 segundos y abierto (o cerrado) durante T_2

segundos. El periodo de un ciclo de conmutación es $T = T_1 + T_2$ y $f_s = 1/T$ es la frecuencia de interruptor. Las tensiones V_1 y V_2 son fuentes ideales de tensión, y para nuestro razonamiento supondremos que $V_1 > V_2$. Con S_1 cerrado y S_2 abierto, C se carga a V_1. En el instante $t = T_1$ se abre S_1 y se cierra S_2 descargándose C hasta V_2. El ciclo se repite a $t = T = T_1+T_2$. Durante un ciclo la carga Q transportada del nudo 1 al 2 es $Q = C(V_1 - V_2)$. Puesto que esto sucede en T segundos, esto equivale a una corriente I_{eq}

$$I_{eq} = \frac{Q}{T} = \frac{C}{T}(V_1 - V_2) = Cf_s(V_1 - V_2) \tag{16-40}$$

La corriente I_{eq} es la misma existente en R_{eq} de la Fig. 16-46*b*, o sea

$$\frac{V_1 - V_2}{R_{eq}} = Cf_s(V_1 - V_2) \tag{16-41}$$

o

$$R_{eq} = \frac{1}{Cf_s} \tag{16-42}$$

La Ec. (16-42) demuestra que conmutar periódicamente el condensador equivale a conectar una resistencia como en la Fig. 16-46*b*. Obsérvese que esto es cierto si la frecuencia de conmutación f_s es mucho mayor que las de las señales V_1 y V_2.

Integradores

El circuito de la Fig. 16-47*a* es la realización de condensador conmutado del integrador a tiempo continuo de la Fig. 16-47*b*. La función de transferencia del circuito de esta última figura viene dada por la Ec. (16-6) repetida como en la Ec. (16-43)

$$A_V = \frac{V_o}{V_s} = \frac{-1}{RC_1 s} \tag{16-43}$$

Sustituyendo R de la Ec. (16-42) en la (16-43) nos dará la función de transferencia del integrador de condensador conmutado

$$A_V = \frac{V_o}{V_s} = -\frac{C_2 f_s}{C_1 s} \tag{16-44}$$

Evidentemente la Ec. (16-44) demuestra que A_V depende de la *relación de capacidades* C_2/C_1.

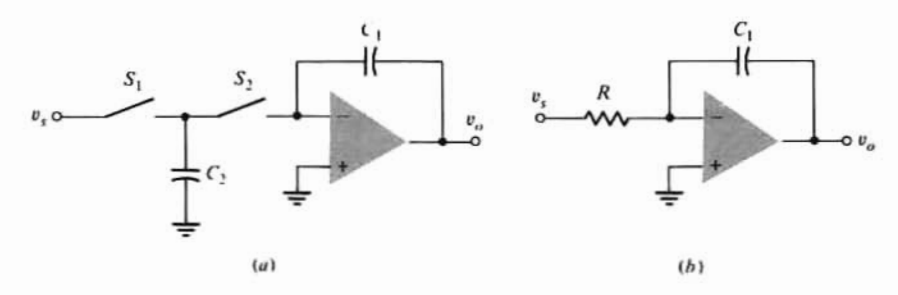


Figura 16-47. (*a*) Integrador con condensador conmutado, y (*b*) su equivalente en tiempo continuo.

Los transistores MOS temporizados en el integrador de la Fi. 16-48*a* representan los interruptores S_1 y S_2 de la Fig. 16-47*a*. Las señales ϕ y ϕ proceden de un reloj de dos fases sin sobreposición, de frecuencia f_s (Fig. 16-48*b*). El valor $V(1)$ del impulso del reloj debe ser mayor que la tensión umbral V_T del transistor NMOS. Análogamente, $V(0) < V_T$ de forma que el MOSFET es un interruptor abierto.

Etapa de ganancia

Una etapa de Amp-Op inversora se convierte en su equivalente de condensador conmutado sustituyendo cada resistencia de la etapa por la configuración de la Fig. 16-46*a*. Esto está representado en la Fig. 16-49 con interruptores MOSFET. Puesto que ambos pares interruptores trabajan a la misma frecuencia f_s, la función de transferencia del circuito será

$$A_V = \frac{V_o}{V_s} = -\frac{C_1}{C_2} \qquad (16\text{-}45)$$

La ganancia A_V puede ajustarse con precisión ya que depende de la relación de los valores de los componentes.

Sin embargo, el circuito de la Fig. 16-49*a* es impráctico. Puesto que los dos interruptores empleados para formar $R_{2(eq)}$ no están nunca cerrados simultáneamente no se forma ninguna realimentación alrededor del Amp-Op. Para salvar esta dificultad se emplea la disposición representada en la Fig. 16-49*b*. Cuando $\phi = 1$, C_1 se carga a la señal de entrada y C_2 se descarga (de forma que no queda retenida la carga previamente almacenada). Cuando $\phi = 0$ la tensión en C_1 se aplica al Amp-Op y C_2 constituye la vía de la realimentación. La ganancia viene dada por la Ec. (16-45)

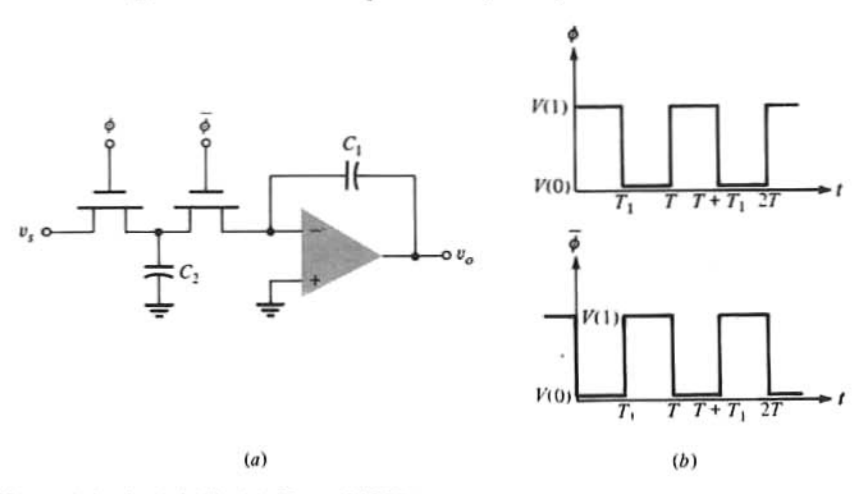


Figura 16-48. (*a*) El circuito de la Fig. 16-47*a* con MOSFETs temporizados usados como interruptores. (*b*) Ondas de reloj de dos fases sin sobreposición.

Secciones unipolares

Las tablas 16-4 y 16-5 indican que cualquier filtro de orden impar tiene un polo en el eje real. El circuito de la Fig. 16-31 da polos en el eje real negativo en los filtros de tiempo continuo. La implantación de condensadores conmutados en la Fig. 16-31 puede verse en la Fig. 16-50. De la Ec. (16-29) y Ejemplo 16-3, la sustitución de las Ec. (16-45) y (16-42) permite expresar la función de transferencia como:

$$H(s) = \frac{V_2}{V_1} = \frac{-C_1 s/C_4 f_s}{(C_1C_2s^2/C_3C_4f_S^2) + [s(C_1 + C_2)/C_3f_S] + 1} \tag{16-46}$$

Comparando la Ec. (16-46) con la Tabla 16-1 se tiene

$$\omega_o = f_S\sqrt{\frac{C_3C_4}{C_1C_2}} \qquad Q = \frac{1}{1 + C_1/C_2}\sqrt{\frac{C_1C_3}{C_2C_4}} \tag{16-47}$$

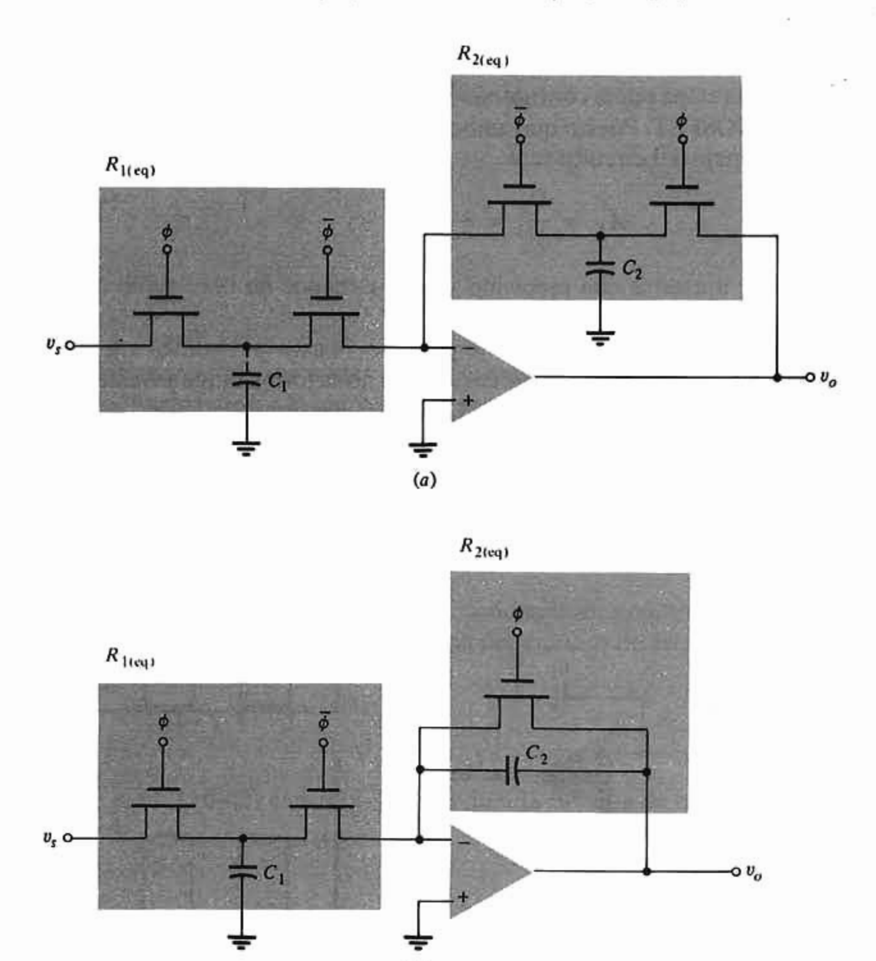
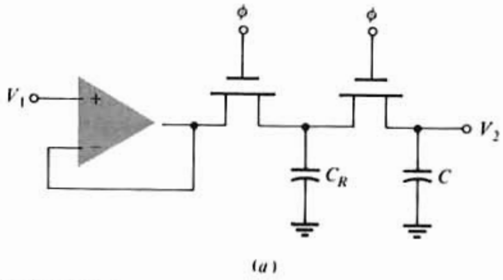


Figura 16-49. (*a*) Etapa de ganancia de Amp-Op inversor, no práctica, de condensador conmutado, y (*b*) un circuito práctico.

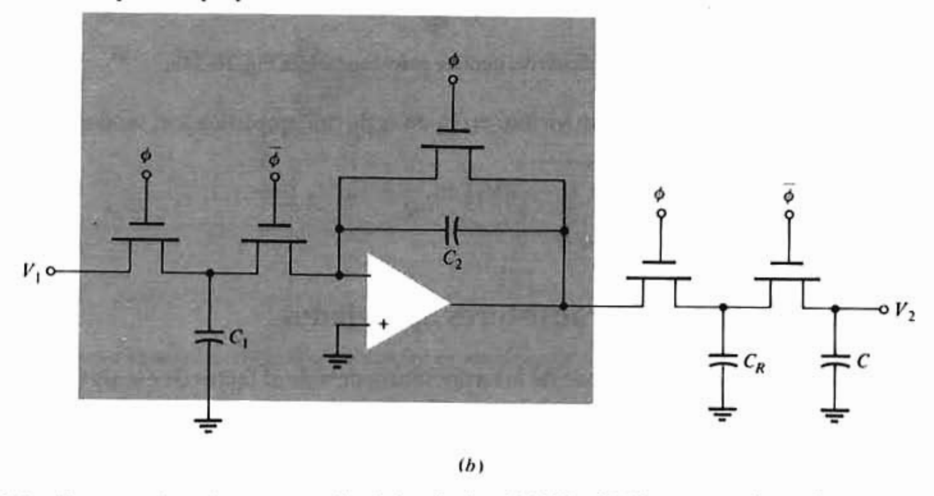
Tanto ω_o como Q dependen de la relación entre capacidades, que puede ser ajustada con precisión. Además, ω es directamente proporcional a f_s que a su vez es la frecuencia del reloj de dos fases. Como la frecuencia del reloj puede ajustarse muy exactamente, se pueden conseguir ω y Q con gran precisión. El circuito de la Fig. 16-51 se pude sintonizar variando la frecuencia f_s del reloj. La especificación de la relación entre condensadores determina Q; por tanto, aumentando (o disminuyendo) ω_o ajustando la frecuencia del reloj, aumenta (o disminuye) el ancho de banda ω_o/Q.

Existen en el mercado filtros conmutados por capacidad de varios fabricantes. El MF6-100 (National Semiconductor) es un filtro Butterworth paso-bajo de 6 polos fabricado con tecnología CMOS. La frecuencia de corte varía entre 0,1 y 20 kHz, necesitando una frecuencia del reloj de 100 veces la de corte.



(a)

Etapa de Amp-Op inversora.



(b)

Figura 16-50. Versión con condensadores conmutados de los circuitos de la Fig. 16-31 que crea polos reales.

La ganancia de paso-banda es igual a la unidad, de forma que realmente se puede tener un filtro de 12 polos conectando en cascada dos circuitos.

La firma EG&G tiene una serie (R 56XX) de filtros Chevyshev paso- banda de 6 polos cuya frecuencia central puede variarse entre 0,5 a 20 kHz. En esta misma serie existen también filtros de paso- alto y dentados.

Se puede diseñar un filtro universal monolítico (National Semiconductor MF 10) que dé características de paso-bajo, paso-alto, paso-banda, rechazo de banda y pasa-todo. Se puede diseñar un filtro de cuatro polos que requiere un reloj externo y ocho resistencias exteriores.

16-13. AMPLIFICADORES LOGARÍTMICOS Y EXPONENCIALES

En la Fig. 16-52 está representado un Amp-Op con la resistencia de realimentación R'_2 sustituida por el diodo $D1$. Este amplificador se usa cuando se pretende tener una tensión de salida proporcional al logaritmo de la tensión de entrada.

Según la Ec. (2-3) la característica tensión-corriente del diodo es

$$i_f = I_S(\epsilon^{v_f/\eta V_T} - 1) \approx I_S \epsilon^{v_f/\eta V_T}$$

supuesto que $v_f/\eta V_T \gg 1$. Entonces:

$$v_f = \eta V_T(\ln i_f - \ln I_S) \qquad (16\text{-}48)$$

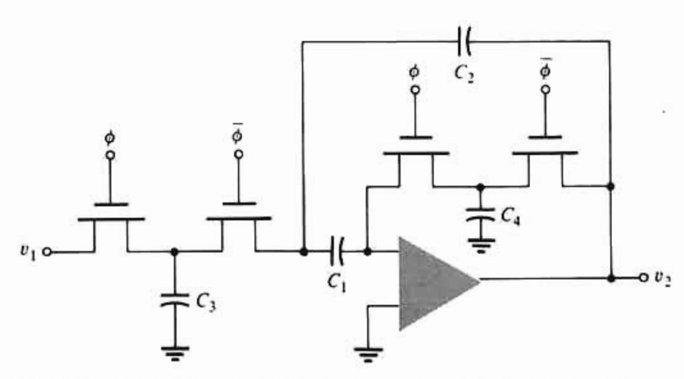


Figura 16-51. Realización con condensador conmutado del circuito paso-banda de la Fig. 16-34b.

Puesto que $i_s = v_s/R$ debido a la tierra virtual en la entrada del amplificador, tendremos

$$v_o = -v_f = -\eta V_T\left(\ln \frac{v_s}{R} - \ln I_S\right) \tag{16-49}$$

Amplificador logarítmico con transistores aparejados

Vemos en la Ec. (16-49) que v_o depende de la temperatura debido al factor de escala ηV_T y a la corriente de saturación I_s. El factor η cuyo valor normalmente depende de la corriente del diodo puede eliminarse sustituyendo el diodo por un transistor con base a tierra. Otra ventaja importante de utilizar un transistor en lugar de un diodo es que la relación exponencial entre corriente y tensión abarca un campo de tensiones mucho más extenso. Ampliando la Fig. 16-52 con un segundo transistor aparejado se puede eliminar de la expresión de v_o la corriente de saturación inversa I_s (que se duplica por cada 10º de aumento de temperatura). El sistema final, representado en la Fig. 16-53 comprende una etapa Amp-Op no inversora de salida con ganancia $A_V = 1 + R_4/R_3$.

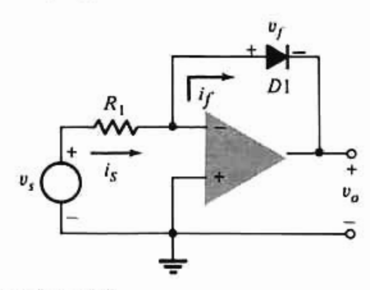


Figura 16-52. Amplificador logarítmico elemental.

Seguidamente vamos a deducir la expresión logarítmica de v_o. Para esta argumentación prescindiremos del potenciómetro de equilibrado de alta resistencia. Para transistores emparejados y siendo $i_B < i_C$ la entrada positiva a $A2$ está a la tensión

$$v \equiv V_{BE2} - V_{BE1} = V_T \ln i_{C2} - V_T \ln i_{C1} = -V_T \ln \frac{i_{C1}}{i_{C2}} \tag{16-50}$$

Puesto que v es igual a la pequeña diferencia entre las tensiones base-emisor de $Q2$ y de $Q1$, despreciaremos v frente a la tensión de referencia V_R. Puesto que $i_{B2} < i_{C2}$ y debido a la tierra virtual en la entrada de $A1$, tendremos

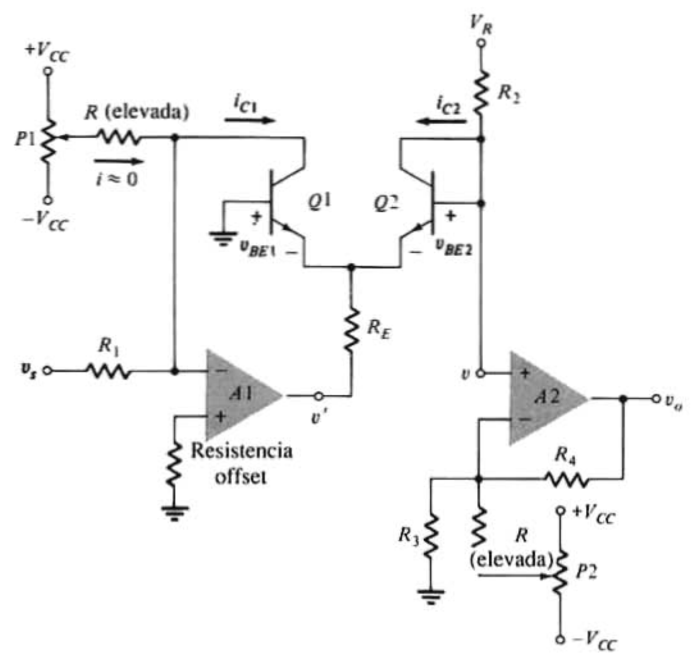


Figura 16-53. Amplificador logarítmico mejorado, que emplea un amplificador diferencial (Q1 y Q2) para sustituir el diodo de la Fig. 16-52.

$$i_{C2} = \frac{V_R}{R_2} \qquad \text{y} \qquad i_{C1} = \frac{v_s}{R_1} \tag{16-51}$$

Puesto que *A*2 es un Amp-Op no inversor, $v_o = v\,(R_3 + R_4)\,/R_3$. La combinación de esta ecuación con las (16-50) y (16-51) nos da

$$v_o = -V_T \frac{R_3 + R_4}{R_3} \ln\left(\frac{v_s}{R_1}\frac{R_2}{V_R}\right) \tag{16-52}$$

Experimentalmente se ha hallado que la Ec. (16-52) se satisface dentro de un campo dinámico de cuatro décadas con tensiones de entrada desde 2 mV hasta 20 V. Por encima de los 20 V, los mayores valores de las corrientes de los transistores que circulan por las resistencias óhmicas de colector y de base dan una componente de caída de tensión lineal que conduce a una desviación respecto a la relación logarítmica. Con una tensión de entrada por debajo de unos 2 mV, la corriente de entrada se hace comparable a la de polarización y ya no resulta válida la relación logarítmica entre v_o y v_s.

El potenciómetro *P*1 se emplea para equilibrar la tensión offset de *A*1, es decir, con $v_s = 0$ se regula *P*1 hasta hacer $v' \approx 0$ (menos de 50 µV). El sistema se anula de la siguiente forma: Con $v_s = V_R\, R_1/R_2$ se va variando *P*2 hasta que $v_o = 0$, satisfaciendo así la Ec. (16-52).

Obsérvese que según la Ec. (16-52) la pendiente de la característica es.

$$\frac{dv_o}{d(\ln v_s)} = -V_T \frac{R_3 + R_4}{R_3} \tag{16-53}$$

Este resultado ha sido comprobado experimentalmente. Puesto que V_T es proporcional a la temperatura, debe elegirse para R_3 una resistencia sensible a las variaciones de temperatura. Si R_3 crece linealmente con *T* puede hacerse que la pendiente de la Ec. (16-53) se mantenga prácticamente constante aun variando la temperatura.

Se pueden construir amplificadores logarítmicos con campos dinámicos de cinco órdenes de magnitud

con Amp-Op de poca corriente de polarización. El empleo de tales amplificadores logarítmicos en el procesado de señales puede explicarse de la siguiente forma: Consideremos que hay que convertir en señal digital una señal de entrada analógica cuyo campo dinámico es de cinco órdenes de magnitud. Se necesitará un convertidor A/D de 20 bit si su poder de resolución ha de ser del 10% de la señal más pequeña. Un convertidor A/D en paralelo (Flash, Fig. 16-16) necesitaría 2^{20} Amp-Op lo que evidentemente no es practicable. El convertidor A/D más lento de la Fig. 16-15 y con un reloj de 20 MHz necesita 1μs por conversión. El amplificador logarítmico estrecha el campo dinámico de la señal de salida v_o con lo que es suficiente un A/D de 8 bit.

Amplificador exponencial (antilogarítmico)

Después del procesado, el campo dinámico reducido de la salida del amplificador logarítmico debe presentar frecuentemente el mismo campo dinámico de la entrada original. Es decir, la salida del convertidor A/D empleado para reconstruir una señal analógica debe desplegar también el campo dinámico amplio de la señal analógica de entrada. Para este objeto se emplea un *amplificador exponencial o antilogarítmico.* Este sistema está representado en la Fig. 16-54 y debe compararse con el de la Fig. 16-53. En el amplificador exponencial la corriente de realimentación i_{C1} es constante y se deduce de la tensión de referencia V_R, mientras que i_{C2} depende de la señal de entrada. En el amplificador logarítmico la conversión es efectiva.

Debido a la tierra virtual en las entradas de *A*1 y *A*2, el colector y la base de *Q*1 están a la misma tensión $-v = V_{BE1} - V_{BE2}$. Despreciando v frente a v_R tendremos

$$i_{C1} = \frac{V_R}{R_2} \qquad \text{y} \qquad i_{C2} = \frac{v_o}{R_1} \tag{16-54}$$

Del atenuador de entrada es evidente que

$$-v = \frac{R_3 v_2}{R_3 + R_4} = V_T \ln \frac{i_{C1}}{i_{C2}} \tag{16-55}$$

en donde se ha empleado la Ec. (16-50). Substituyendo las corrientes I_{C1} e I_{C2} de la Ec. (16-54) en la (16-55) se tiene

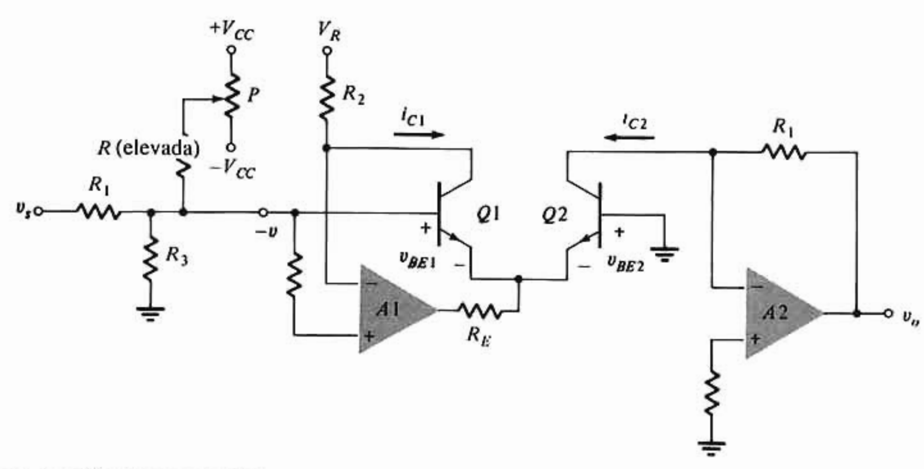


Figura 16-54. Amplificador exponencial.

$$v_2 = -V_T \frac{R_3 + R_4}{R_3} \ln\left(\frac{v_o}{R_1}\frac{R_2}{V_R}\right) \qquad (16\text{-}56)$$

Obsérvese que esta ecuación resulta idéntica a la Ec. (16-52) si se intercambian v_s y v_o. Por tanto v_o es proporcional al antilogaritmo o exponencial de v_s. De la Ec. (16-56) se obtiene

$$v_o = \frac{R_1 V_R}{R_2} \exp\left(-\frac{v_s}{V_T}\frac{R_3}{R_3 + R_4}\right) \qquad (16\text{-}57)$$

El sistema se equilibra para las tensiones offset y desajustes poniendo la entrada $v_s = 0$, y ajustando luego el potenciómetro P hasta que $v_o = R_1 V_R / R_2$.

Multiplicador logarítmico

Los amplificadores logarítmicos y antilogarítmicos pueden emplearse para multiplicar o dividir las tensiones analógicas v_{s1} y v_{s2}. En la Fig. 16-55 se toman los logaritmos de ambas entradas, se suman estos dos logaritmos y finalmente se saca el antilogaritmo de esta suma. Vamos a comprobar que la salida es proporcional al producto de las dos entradas.

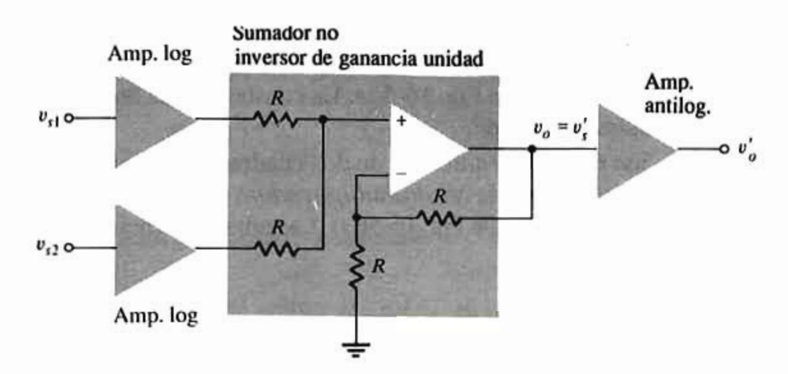


Figura 16-55. Multiplicador logarítmico de dos señales analógicas.

Empleando las abreviaturas

$$K_1 \equiv V_T \frac{R_3 + R_4}{R_3} \qquad \text{y} \qquad K_2 \equiv \frac{R_2}{R_1 V_R} \qquad (16\text{-}58)$$

la Ec. (16-52) se convierte en

$$v_o = -K_1 \ln K_2 v_s \qquad (16\text{-}59)$$

Para el amplificador exponencial con entrada v'_s y salida v'_o, la Ec. (16-57) se puede escribir en la forma:

$$v'_o = \frac{1}{K_2} \epsilon^{-v'_s/K_1} \qquad (16\text{-}60)$$

De acuerdo con esta notación, la salida v_o del Amp-Op sumador de la Fig. 16-55 es

$$v_o = -K_1 \ln K_2 v_{s1} - K_1 \ln K_2 v_{s2} = -K_1 \ln K_2^2 v_{s1} v_{s2} \qquad (16\text{-}61)$$

Puesto que v_o es la entrada al amplificador antilogarítmico, $v_o = v'_s$, y según las Ecs. (16-60) y (16-61)

$$v'_o = \frac{1}{K_2}\exp(\ln K_2^2 v_{s1} v_{s2}) = K_2 v_{s1} v_{s2} \tag{16-62}$$

En el Prob. 16-88 veremos que es posible elevar de entrada v_s a cualquier potencia poniendo en cascada amplificadores logarítmicos y antilogarítmicos.

Se puede hallar el cociente de las señales de entrada si restamos el logaritmo de v_{S1} del de v_{S2} y tomamos el antilogaritmo. Debemos puntualizar que el multiplicador o divisor logarítmico sólo vale con entradas unipolares, a lo que a veces se le denomina operación en un cuadrante. Existen otras técnicas para la multiplicación precisa de dos señales; en la próxima sección describiremos una de ellas.

16-14. MULTIPLICADORES ANALÓGICOS

En las Ecs. (10-86) y (10-88) se ve que la tensión de salida de un amplificador diferencial depende de la corriente de fuente I_{EE}, es decir, que g_m es directamente proporcional a I_{EE}. El amplificador diferencial puede funcionar como multiplicador variando la corriente de fuente como en la Fig. 16-56*a*. Aplicando una señal v_{S2}, la corriente de referencia y por tanto I_{EE} varían en razón directa de v_{S2}. Si además se aplica una señal v_{S1} al amplificador diferencial, la salida será proporcional al producto de las dos señales v_{S1} y v_{S2}. Las dos salidas, inversora y no inversora, del amplificador diferencial excitan un amplificador diferencial (Sec. 14-12). Esto tiende a eliminar los componentes de salida de modo común. El símbolo de un multiplicador es el representado en la Fig. 16-56*b*. La constante *K* es un factor de escala que afecta al campo dinámico de las señales de entrada.

El circuito de la Fig. 16-56*a* es un multiplicador de dos cuadrantes, puesto que $v_{S2} > V_{BE(ON)}$ de *Q*3 y *Q*4. Esta limitación se solventa empleando la *célula multiplicadora Gilbert* de la Fig. 16-57 (que sustituye la etapa diferencial y la fuente de corriente en la Fig. 16-56*a*). La señal diferencial, que puede ser positiva o

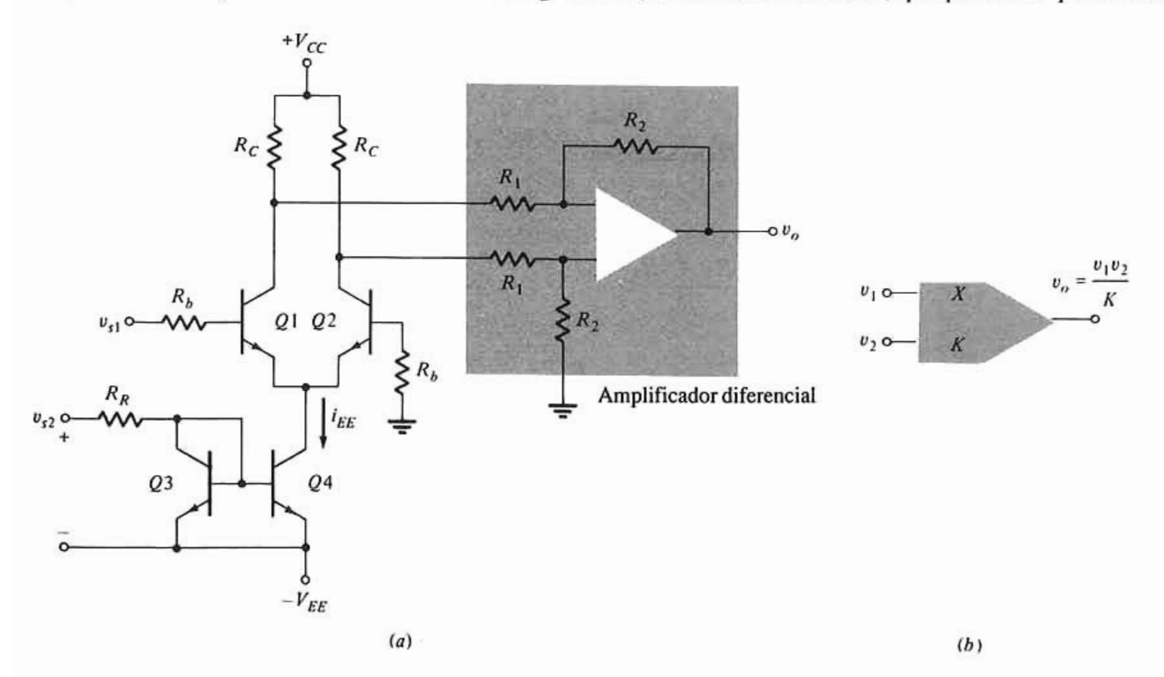


Figura 16-56. (*a*) Amplificador diferencial empleado como multiplicador analógico de 2 cuadrantes; (*b*) símbolo del multiplicador.

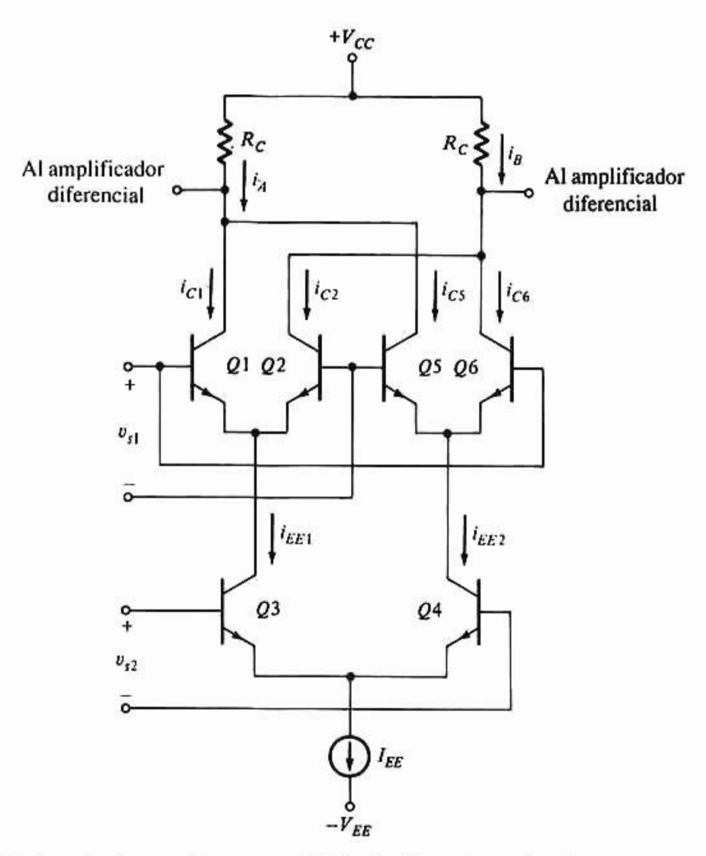


Figura 16-57. Célula Gilbert empleada para obtener un multiplicador de cuatro cuadrantes.

negativa, hace variar las corrientes de emisor i_{EE1} e i_{EE2} en los pares diferenciales *Q*1-*Q*2 y *Q*5- *Q*6. La multiplicación de v_{S1} y v_{S2} se lleva a cabo en cada uno de estos pares diferenciales. El funcionamiento en cuatro cuadrantes se obtiene ya que i_A e i_B son las diferencias entre las corrientes de colector de los amplificadores diferenciales.

El AD534L es un multiplicador-divisor monolítico, de una precisión básica del 0,25%, un ancho de banda de 1 MHz y un ritmo de variación de 20V/µs. El circuito está completamente pre-ajustado, es decir, que no necesita ninguna red exterior de ajuste.

Cuadrados y raíces cuadradas

Puede emplearse el multiplicador analógico para obtener el cuadrado y la raíz cuadrada de una función. Conectando las dos entradas como en la Fig. 16-58*a* hace la salida v_o igual a v_{s2}/K. Si la señal de entrada se amplifica por *K* antes de excitar el multiplicador, $v_o = v^2_s$.

El circuito de la raíz cuadrada de la Fig. 15-58*b* emplea el multiplicador en el lazo de realimentación de una etapa Amp-Op inversora. La tierra virtual en la entrada del Amp-Op hace que

$$i_1 = \frac{v_s}{R_1} \qquad i_2 = \frac{v_2}{R_2} \tag{16-63}$$

la salida del multiplicador es $v_2 = v^2_o\ /K$ y puesto que $i_1 = -i_2$, combinando estas relaciones y

despejando v_o se tiene

$$v_o = \sqrt{\frac{KR_2}{R_1}|v_s|} \tag{16-64}$$

La cantidad $|v_s|$ es necesaria en la Ec. (16-64) para asegurar que los términos contenidos en el radical sean positivos. Obsérvese que haciendo $R_2/R_1 = 1/K$ resulta $v_o = \sqrt{|v_s|}$.

Modulador equilibrado

El multiplicador analógico puede emplearse para engendrar una señal modulada en amplitud (AM). Si $v_{S1} = V_1 \cos \omega_C t$ y $v_{s2} = V_2 \cos \omega_s t$, siendo ω_C la frecuencia angular portadora y ω_s la frecuencia angular de la señal, la salida v_o del amplificador de la Fig. 16-56*b* es

$$v_o = V_1V_2 \cos \omega_C t \cos \omega_S t = (V_2V_2 \cos \omega_S t) \cos \omega_C t \tag{16-65}$$

La Ec. (16-65) demuestra que la amplitud de la portadora varía directamente con la señal. Haciendo uso de la identidad $\cos(x + y) = \cos x \cos y + \operatorname{sen} x \operatorname{sen} y$, en la Ec. (16-56) v_o puede expresarse

$$v_o = \frac{V_1V_2}{2}\left[\cos(\omega_C - \omega_S)t + \cos(\omega_C + \omega_S)t\right] \tag{16-66}$$

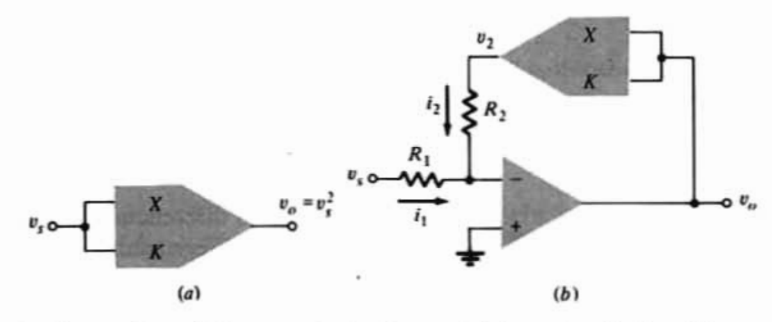


Figura 16-58. Empleo de un multiplicador a manera de circuito para: (*a*) elevar al cuadrado, y (*b*) extraer la raíz cuadrada.

Puesto que la frecuencia portadora $f_c = \omega_c/2\pi$ no aparece explícita en la Ec. (16-66), el circuito se conoce como *modulador equilibrado*.

16-15. CONVERTIDORES ALTERNA-CONTINUA DE PRECISIÓN

Si se aplica una senoide cuyo valor de pico sea inferior a la tensión umbral o de corte $V\gamma(\approx 0{,}6\text{V})$ al circuito rectificador de la Fig. 2-13 veremos que en todo momento la salida es nula. Para poder rectificar señales de mV, es evidente que deberá reducirse V_γ. Colocando el diodo en el lazo de realimentación de un Amp-Op la tensión de corte queda dividida por la ganancia A_V en lazo abierto del amplificador. Por tanto, V_γ queda virtualmente eliminado y el diodo se aproxima a un componente rectificador ideal. Si la entrada v_s de la Fig. 16-59*a* se hace positiva en por lo menos V_γ/A_v entonces v' supera $V\gamma$ y D conduce. Debido a la conexión virtual entre las entradas inversora y no inversora (debido a la realimentación con D conduciendo), $v_o \approx v_s$. Por tanto el circuito actúa como seguidor de tensión con tensiones positivas (por

encima de unos $0{,}6/10^5 V = 60\ \mu V$). Cuando v_s oscila negativamente, *D* está en corte y no se suministra corriente alguna a la carga exterior, salvo la pequeña corriente de polarización del Amp-Op y la corriente de saturación inversa del diodo.

Limitador de precisión

Modificando el circuito de la Fig. 16-59*a* como en la Fig. 16-59*b* se puede obtener un limitador casi ideal. Si $v_s < V_R$, v' será positiva y *D* conducirá. Como se ha explicado antes, en estas condiciones la salida se iguala a la tensión en el terminal no inversor, o sea, $v_o = V_R$. Si $v_s > V_R$ entonces v' es negativa, *D* está en corte, y $v_o = v_s R_L/(R_L + R) \approx v_s$ si $R \ll R_L$. Resumiendo: la salida sigue a la entrada cuando $v_s > V_R$ y v_o queda fijo en V_R si v_i es menor que V_R pero de unos $60\ \mu V$. Cuanado *D* se polariza en inversa en la Fig. 16-29*a* o 16-29*b*, puede aparecer una tensión diferencial notable entre las entradas, y el Amp-Op debe ser capaz de resistir esta tensión. Obsérvese que cuando $v_s > V_R$ el Amp-Op se satura debido a que falta la realimentación a través de *D*.

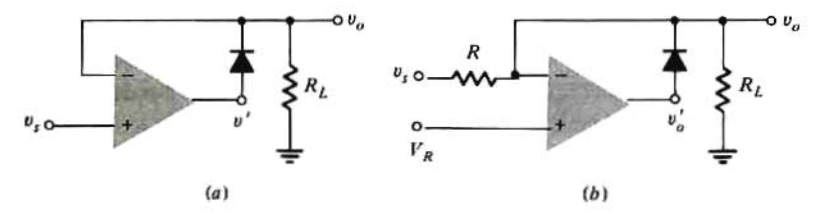


Figura 16-59. (*a*) Rectificador de precisión; (*b*) circuito de fijación (limitador) de precisión.

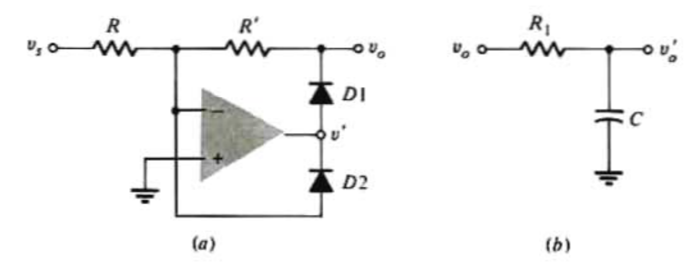


Figura 16-60. (*a*) Rectificador de media onda de precisión. (*b*) Filtro RL paso-bajo que puede conectarse en cascada con el circuito en (*a*) para tener un detector de media.

Rectificador rápido de media onda

Añadiendo *R'* y *D*2 a la Fig. 16-59*b* y haciendo $V_R = 0$ se obtiene el circuito de la Fig. 16-60*a*. Si v_s pasa a negativa, *D*1 conduce, *D*2 está en corte y el circuito funciona como un Amp-Op inversor de forma que $v_o = -(R'/R)\ v_i$. Si v_s es positivo, *D*1 está en corte y *D*2 conduce. Debido a la realimentación a través de *D*2 existe una tierra virtual en la entrada y $v_o = 0$. Si v_s es una senoide, el circuito hace una rectificación de media onda.

La principal limitación de este circuito es el ritmo de variación del Amp-Op. Cuando la entrada pasa por cero, la salida del Amp-Op v' debe pasar tan rápidamente como sea posible desde + 0,6 a - 0,6*V* (o viceversa) para que la conducción pase muy rápidamente de uno a otro diodo. Si el ritmo de variación es de 1 *V*/µs, el tiempo de conmutación será de 1,2µs. Por tanto, estos 1,2µs deben ser una pequeña fracción del periodo de la entrada senoidal

Una configuración no inversora alternativa a la de la Fig. 16-60*a* consiste en poner a tierra el lado izquierdo de R e introducir v_i en el terminal no inversor. La salida vale ahora $(R + R')/R$ veces la entrada con tensiones positivas y $v_o = v_s$ con entradas negativas si $R_L \gg R'$. Por tanto se tendrá rectificación de media onda si $R' \gg R$. Tanto en el rectificador de media onda inversor como en el no inversor deben invertirse *los dos* diodos $D1$ y $D2$.

Rectificador de onda completa

El sistema de la Fig. 16-61*a* da una rectificación de onda completa sin inversión y con ganancia R/R_1, regulable con la resistencia R_1. Consideremos primeramente el semiciclo en el que v_i es positiva. Entonces $D1$ conduce y $D2$ esta cortado. Puesto que $D1$ conduce, hay una tierra virtual en la entrada de $A1$. Como $D2$ está cortado y no hay corriente en la R conectada a la entrada no inversora de $A2$ resulta que $v_1 = 0$. Así, el sistema consiste en dos Amp-Op en cascada, con ganancia de $A1$ igual a $-R/R_1$ y ganancia de $A2$ igual a $-R/R_1 = -1$. El resultado es:

$$v_o = + \frac{R}{R_1} v_i > 0 \qquad \text{para} \qquad v_i > 0 \tag{16-67}$$

Veamos el semiciclo en el que v_i es negativa. Ahora $D1$ está en corte y $D2$ conduce como se indica en la Fig. 16-61*b*. Debido a la tierra virtual en la entrada de $A2$, $v_2 = v_1 \equiv v$. Puesto que los terminales de entrada de $A1$ están en la misma tensión (tierra) las corrientes que llegan al terminal inversor de $A1$ serán como se indica en la figura. Aplicando a este nudo la ley de Kirchhoff:

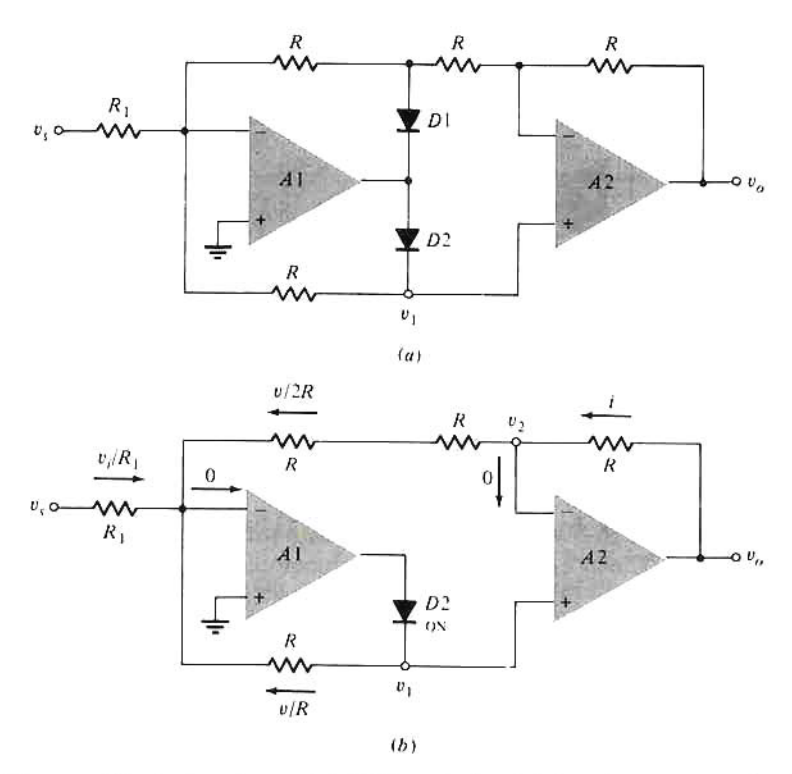


Figura 16-61. (*a*) Sistema rectificador de onda completa. (*b*) Durante el semiciclo en el que v_s es negativo, D1 está en corte, y D2 conduce, como se indica. Obsérvese que $v_1 = v_2 = v$ y que $i = v/2R$.

$$\frac{v_s}{R_1} + \frac{v}{2R} + \frac{v}{R} = 0 \qquad \text{o} \qquad v = -\frac{2}{3}\frac{R}{R_1}v_s \tag{16-68}$$

La tensión de salida es $v_o = iR + v$, siendo la corriente i igual a $v/2R$ ya que el terminal inversor de $A2$ no toma corriente. Por tanto:

$$v_o = \frac{v}{2R}R + v = \frac{3}{2}v = -\frac{R}{R_1}v_s > 0 \qquad \text{para} \qquad v_i < 0 \tag{16-69}$$

habiéndonos valido de la Ec. (16-58). Obsérvese que en la Ec. (16-69) el signo de v_o es positivo porque en este semiciclo v_s es negativo. Puesto que v_o en la Ec. (16-69) es igual a v_o de la Ec. (16-68) las salidas de los dos semiciclos son idénticas confirmando así que el sistema rectifica la onda completa (con ganancia R/R_1). Obsérvese que con cualquier onda de entrada v_o es proporcional al valor absoluto de la entrada $|v_s|$

Detector activo de media

Consideremos el circuito de la Fig. 16-60*a* en cascada con el filtro paso-bajo de la Fig. 16-60*b*. Si v_s es una portadora de amplitud modulada, el filtro R_1C elimina la portadora y v'_o será proporcional al valor medio de la señal de audio, o dicho de otra forma, esta configuración es la de un *detector de media*.

Detector activo de pico

Si se añade un condensador a la salida del diodo de precisión de la Fig. 16-59*a*, con R_L igual a infinito, resulta un detector de pico. El condensador de la Fig. 16-62*a* mantiene la salida en el momento $t = t'$ al mayor valor positivo alcanzado por la entrada v_s antes de t' como se ve en la Fig. 16-62*b*. Esta forma de funcionar es debida al hecho de que si $v_s > v_o$, la tensión en el terminal no inversor supera a la del terminal inversor y la salida v' del Amp-Op es positiva por lo que D conduce, y el condensador se carga a través del él (por la corriente de salida del amplificador) hasta el valor de la entrada, pues el circuito es un seguidor de tensión. Cuando v_s cae por debajo de la tensión del condensador, la salida del Amp-Op pasa a negativa y el diodo queda con polarización inversa. Así, el condensador va cargando hasta que su tensión se iguale al valor más positivo de la entrada. Para reponer el circuito se puede conectar en paralelo con el condensador un interruptor de pocas pérdidas como es una puerta MOSFET.

El condensador integra también la corriente de polarización del Amp- Op, y además, si la salida está cargada, el condensador se descargará a través de ella. Ambas dificultades se solventan modificando el

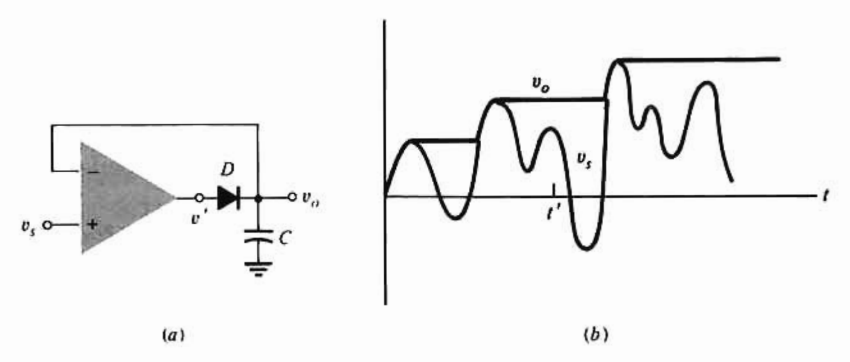


Figura 16-62. (*a*) Detector de pico positivo. (*b*) Onda de entrada arbitraria v_s, y la salida v_o correspondiente.

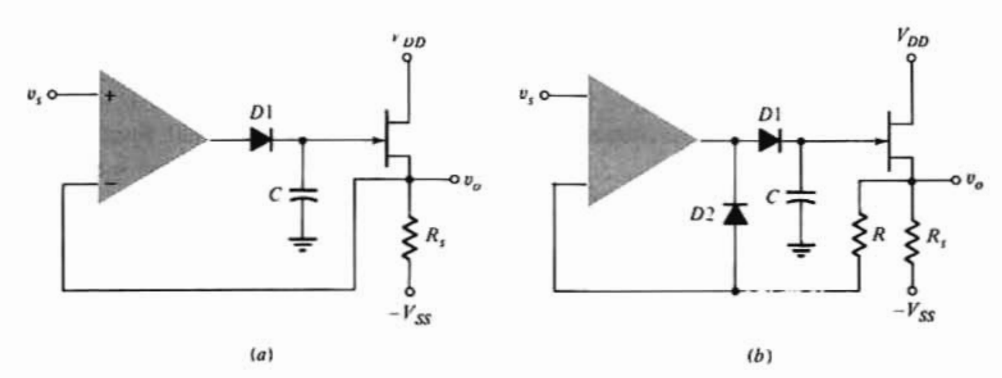


Figura 16-63. Versión mejorada del detector de pico.

sistema con un seguidor de fuente como se ve en la Fig. 16-63. Cuando el terminal inversor se conecta a la carga en la salida, v_0 se ve obligada a igualar el valor de pico de v_s como se pretende (pero la tensión del condensador difiere de v_0 en la tensión puerta-fuente del FET). Esta red es un caso especial del circuito de toma y retención, y las consideraciones respecto a la corriente de fuga del condensador que se hacen en otras secciones son aplicables también a esta configuración. Con un condensador ideal la tensión a través de C, en posición de retención, varía sólo debido a la muy pequeña corriente de entrada del FET y la corriente inversa del diodo.

Si la entrada v_s cae por debajo de la salida v_o el Amp-Op se saturará (y puede sobrepasarse la máxima variación de entrada). Para prevenir esta dificultad se añade otro diodo al circuito como indica la Fig. 16-63*b*. Si ahora $v_s < v_o$, $D2$ conducirá y el Amp-Op será un seguidor de tensión con lo que se forma un cortocircuito ideal entre los terminales de entrada. Si $v_s > v_o$, $D2$ se corta y el circuito se reduce al detector de pico de la Fig. 16-63*a*.

Para tener un detector de pico que mida el valor más negativo de la tensión de entrada basta únicamente invertir el diodo D de las Figs. (16-62) o (16-63) ¿por qué?

REFERENCIAS

1 Soclof, S.: "Applications of Analog Integrated Circuits," Prentice-Hall, Englewood Cliffs, N.J., 1985.

2 Grebene, A.B.: "Bipolar and MOS Analog Integrated Circuit Design," John Wiley and Sons, Nueva York, 1984.

3 Ghausi, M.S., y K.R. Laker: "Modern Filter Design," Prentice-Hall, Englewood Cliffs, N.J., 1981.

4 Allen, P.E., y E. Sanchez-Sinencio: "Switched- Capacitor Circuits," Van Nostrand Reinhold Company, Nueva York, 1984.

5 Schaumann, R., M.A. Soderstrand, y K.R. Laker (Eds.): "Modern Active Filter Design," IEEE Press, Nueva York, 1981.

6 Sallen, P.R., y E.L. Key: A Practical Method of Designing *RC* Active Filters, *IRE Trans. Circuit Theory*, vol. CT-2, pp. 74-85, marzo 1955.

7 Butterworth, S.: On the Theory of Filter Amplifiers, *Wireless Engineer*, vol. 7, pp. 536-541, octubre 1930.

8 Temes, G.C., y J.W. LaPatra: "Circuit Synthesis and Design," McGraw-Hill Book Company, Nueva York, 1977.

9 Gray, P.R., y R.G. Meyer: "Analysis and Design of Analog Integrated Circuits," 2ª ed., John Wiley and Sons, Nueva York, 1984.

10 Dooley, D.J.: "Data Conversion Integrated Circuits," IEEE Press, Nueva York, 1980.

11 Sheingold, D.H. (Ed.): "Analog-Digital Conversion Handbook," 3ª ed., Analog Devices, Inc., Norwood, Mass., 1986.

12 Hamilton, D.J., y W.G. Howard: "Basic Integrated Circuit Engineering," McGraw-Hill Book Company, Nueva York, 1975.

13 Gilbert, B.: A Precise Four-Quadrant Multiplier with Subnanosecond Response, *IEEE J. Solid-State Circuits*, vol. SC-3, pp. 365-373, diciembre 1968.

14 Gray, P.R., D.A. Hodges, y R.W. Broderson (Eds.): Analog MOS Integrated Circuits, *IEEE Press*, Nueva York, 1980.

15 Friend, J.: STAR: An Active Biquadratic Filter Section, *IEEE Trans. Circuits and Syst.*, vol. CAS-22, febrero 1975.

TEMAS DE REPASO

16-1. ¿Qué funciones se deben cumplir en un sistema de amplitud modulada?

16-2. (*a*) Describir cualitativamente el funcionamiento del sistema PCM
(*b*) ¿Por qué debe emplearse un filtro anti-ambigüedad?

16-3. (*a*) Esbozar un sistema de toma y retención con muy alta resistencia de entrada y muy baja de salida.
(*b*) Explíquese el funcionamiento de este sistema.

16-4. (*a*) ¿Qué es lo que limita el tiempo de adquisición en una configuración de toma y retención?
(*b*) Esbozar un sistema para minimizar el tiempo de adquisición.

16-5. (*a*) Esbozar un sistema multíplex analógico.
(*b*) ¿Cómo están dispuestos los interruptores?

16-6. Dibujar un diagrama de bloques del que obtener las señales para un multíplex divisor de tiempo.

16-7. (*a*) Dibujar el esquema de un convertidor D/A. Emplear resistencias cuya relación de valores sea múltiplo de 2.
(*b*) Explicar el funcionamiento del convertidor.

16-8. Indicar dos posibles disposiciones del interruptor gobernado digitalmente, de un convertidor D/A.

16-9. Repetir el tema 16-7 para una red en escalera cuyas resistencias tengan uno de entre dos valores: R o 2R.

16-10. Explicar cómo un convertidor analógico-digital (DAC) funciona como un atenuador programable para una señal analógica.

16-11. (*a*) Dibujar el diagrama de bloques de un convertidor A/D contador.
(*b*) Explicar el funcionamiento de este sistema.

16-12. Repetir el tema 16-11 para un servo ADC.

16-13. Repetir el tema 16-11 para un convertidor A/D paralelo-comparador de 2 bit.

16-14. Explicar mediante el diagrama asintótico de Bode, por qué un integrador práctico se desvía del ideal tanto a frecuencias bajas como altas.

16-15. Esbozar el circuito de un integrador diferencial y explicar su funcionamiento.

16-16. Mostrar cómo se puede modificar un integrador para convertirlo en un diferenciador.

16-17. Esbozar las características de respuesta en frecuencia ideales de los sistemas paso-alto, paso-bajo, paso-banda y rechazo de banda.

16-18. (*a*) Escribir la función de transferencia de una función bicuadrática general.
(*b*) ¿Cuáles de los coeficientes del apartado (*a*) deben ser cero para tener una característica de paso-bajo?
(*c*) Repetir el apartado anterior para las características de paso-alto y de paso-banda.
(*d*) Repetir lo anterior para la respuesta de rechazo de banda

16-19. Definir por medio de un diagrama: (*a*) la banda de paso, (*b*) la de cierre, (*c*) la de transición, y (*d*) el rizado en la banda de paso.

16-20. ¿Qué diferencias existen en la respuesta en frecuencia de los filtros Butterworth y Chebyshev (de paso-bajo) del mismo grado?

16-21. Dibujar el esquema de una sección Sallen y Key de paso-bajo a realimentación positiva.

16-22. ¿Cómo se puede modificar el circuito anterior para que se transforme en sección paso-alto?

16-23. Repetir el tema 16-21 para una sección con realimentación negativa.

16-24. Dibujar el diagrama de bloques de un filtro paso-banda de banda ancha y explicar su funcionamiento.

16-25. Repetir el tema anterior para un filtro de rechazo de banda.

16-26. Dibujar el circuito de una sección paso-banda empleando un Amp-Op ideal.

16-27. (*a*) ¿Qué se entiende por red *dentada*?
(*b*) Definir los dentados de paso-alto y de paso-bajo.

16-28. (*a*) ¿Qué se entiende por red pasa-todo?
(*b*) ¿Para qué se emplea esta red?

16-29. (*a*) Escribir la expresión de la función de transferencia de un sistema pasa-todo de un polo.
(*b*) Repetir el apartado anterior para un sistema de dos polos
(*c*) ¿Cuál es el máximo desplazamiento de fase que se puede alcanzar en los apartados (*a*) y (*b*)?

16-30. Dibujar el circuito de un filtro bicuadrado universal y demostrar cómo se pueden conseguir simultáneamente salidas paso-bajo, paso-banda y paso-alto.

16-31. Demostrar que un condensador conmutado se comporta como una resistencia.

16-32. Citar tres ventajas de los filtros con condensador

16-33. Esbozar el circuito de un amplificador logarítmico con un Amp-Op y explicar su funcionamiento.

16-34. ¿Qué utilidad tiene un amplificador logarítmico?

16-35. Esbozar el circuito de un multiplicador analógico y explicar su funcionamiento.

16-36. Repetir el tema anterior para una célula multiplicadora Gilbert.

16-37. Describir brevemente tres aplicaciones de un multiplicador analógico.

16-38. (*a*) Esbozar el circuito de un rectificador de media onda, de precisión, y explicar su funcionamiento.
(*b*) ¿Cómo puede emplearse este circuito a manera de detector de media?

16-39. Esbozar el circuito de un detector de pico en el que la carga exterior no descargue el condensador.

QUINTA PARTE

Electrónica de grandes señales

El único capítulo de esta última parte del libro trata de los circuitos electrónicos empleados en aplicaciones de altas tensiones, corrientes y potencias. Las dos principales materias tratadas son la conversión de corriente alterna en continua (suministros de potencia) y amplificadores de gran señal del tipo necesario para alimentar altavoces y tubos de rayos catódicos (CRT).

17

Circuitos y sistemas de potencia

Casi todos los circuitos electrónicos necesitan una fuente de potencia en continua. En los sistemas portátiles de poca potencia se pueden emplear pilas. Sin embargo es más frecuente que a los equipos electrónicos les suministre un circuito que convierta la onda en alterna de la línea de potencia en una tensión continua de amplitud constante. Examinaremos el proceso de conversión alterna-continua basado en los simples circuitos rectificadores introducidos en el Capítulo 2. En este capítulo consideraremos los circuitos reguladores empleados para controlar la amplitud de una tensión continua. Estos circuitos son una clase especial de amplificadores realimentados. También trataremos de la conversión de continua a alterna (reguladores de conmutación).

Un sistema amplificador consiste normalmente en varias etapas en cascada. Las etapas primera e intermedias funcionan en el modo clase *A* de pequeña señal. Su objetivo es el de amplificar la pequeña excitación de entrada hasta valores suficientemente grandes para estimular el dispositivo final. Esta etapa de salida alimenta un transductor tal como un tubo de rayos catódicos, un altavoz, un servomotor, etc., y por tanto ha de ser capaz de transmitir una variación grande de tensión o intensidad, o una cantidad apreciable de potencia. En este capítulo estudiaremos tales amplificadores de gran señal. En los amplificadores de potencia tienen gran importancia las consideraciones térmicas, que comentaremos aquí, y se introducirán los transistores de potencia tanto bipolares como FET.

17-1. CONVERSIÓN DE ALTERNA A CONTINUA

La principal fuente de energía eléctrica es en forma de corriente alterna de amplitud y frecuencia constantes. (En los Estados Unidos el suministro normal es senoidal de 110/220V de tensión eficaz y 60Hz de frecuencia, mientras que en Europa es de 220V eficaces y 50Hz, también senoidal.) La gran mayoría de circuitos electrónicos necesitan para asegurar su funcionamiento adecuado de una tensión constante. Por ejemplo, muchos mini-computadores requieren fuentes de 5V capaces de suministrar una corriente de 100A. Otros sistemas de procesado de señales necesitan fuentes de 12 y de 15V en los que la corriente varíe con las condiciones de la carga. Además, muchos accionamientos de motores y sistemas de control necesitan poder ajustar los niveles de tensión para satisfacer las condiciones de trabajo.

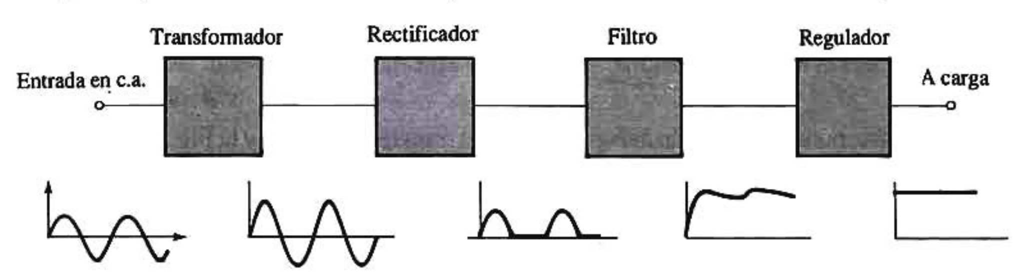


Figura 17-1. Diagrama de bloques de una fuente de potencia.

La Fig. 17-1 representa el diagrama de bloques de un suministro de potencia a partir de una fuente primaria. Exceptuando el rectificador, cuáles de los restantes circuitos se empleen dependerá de la aplicación a que se destine. Tal como indican las ondas de la Fig. 17-1, las funciones de los diversos circuitos son las siguientes:

1. Transformador: Ajusta el nivel en alterna para adaptarlo a la amplitud en continua apropiada.
2. Rectificador: Convierte la tensión senoidal en una señal pulsante.
3. Filtro: Suaviza la forma de onda eliminando la componente en alterna de la salida del rectificador.
4. Regulador: Mantiene un nivel de tensión constante independiente de las condiciones de la carga y de la amplitud del suministro en alterna.

El transformador puede ser elevador o rebajador, y su potencia nominal debe ser suficiente para alimentar la carga y suplir las pérdidas en el rectificador, filtro y regulador. La relación de transformación viene determinada por el nivel de salida requerido y la amplitud de la entrada. Los demás circuitos serán tratados en sucesivas secciones.

17-2. RECTIFICADORES

Casi todos los circuitos electrónicos necesitan una fuente de potencia en continua. Si se trata de sistemas portátiles de baja potencia se pueden emplear baterías. Sin embargo, es más frecuente alimentarlos de un suministrador de potencia, que es una pieza del equipo que convierte la onda alterna de las redes de potencia, en una tensión esencialmente continua. En esta sección se inicia el estudio de la conversión alterna-continua.

Rectificador de media onda

Un dispositivo, tal como un diodo semiconductor, que puede convertir una onda senoidal de entrada (cuyo valor medio es cero) en una onda unidireccional (si bien no constante) con una componente media no nula, se denomina *rectificador*. La Fig. 17-2 representa el circuito básico de un rectificador de media onda. Puesto que en un circuito rectificador la tensión de entrada $v_i = V_m$ sen ωt tiene frecuentemente un valor de pico V_m bastante grande comparado con la tensión umbral V_γ del diodo, admitiremos para el siguiente razonamiento que $V_\gamma = 0$. Con el diodo idealizado para que en estado de conducción sea una resistencia R_f y en estado de corte un cortocircuito, la corriente i en el diodo o en la carga R_L viene dada por

$$\begin{aligned} i &= I_m \operatorname{sen} \alpha \qquad \text{si } 0 \leq \alpha \leq \pi \\ i &= 0 \qquad\qquad\;\; \text{si } \pi \leq \alpha \leq 2\pi \end{aligned} \tag{17-1}$$

siendo $\alpha \equiv \omega t$ y

$$I_m \equiv \frac{V_m}{R_f + R_L} \tag{17-2}$$

La Fig. 17-2*b* corresponde a la tensión del secundario del transformador, v_i, y la Fig. 17-2*c* a la corriente ya rectificada. Obsérvese que la corriente de salida es unidireccional. Seguidamente vamos a calcular el valor medio, no nulo, de la corriente.

Un amperímetro de continua está construido de tal forma que la desviación de la aguja señala el valor medio de la corriente que pasa por él. Por definición, el valor medio de una función periódica viene dado por el área de un ciclo de la curva dividida por la base. Expresado matemáticamente:

$$I_{dc} = \frac{1}{2\pi}\int_0^{2\pi} i\, d\alpha \qquad (17\text{-}3)$$

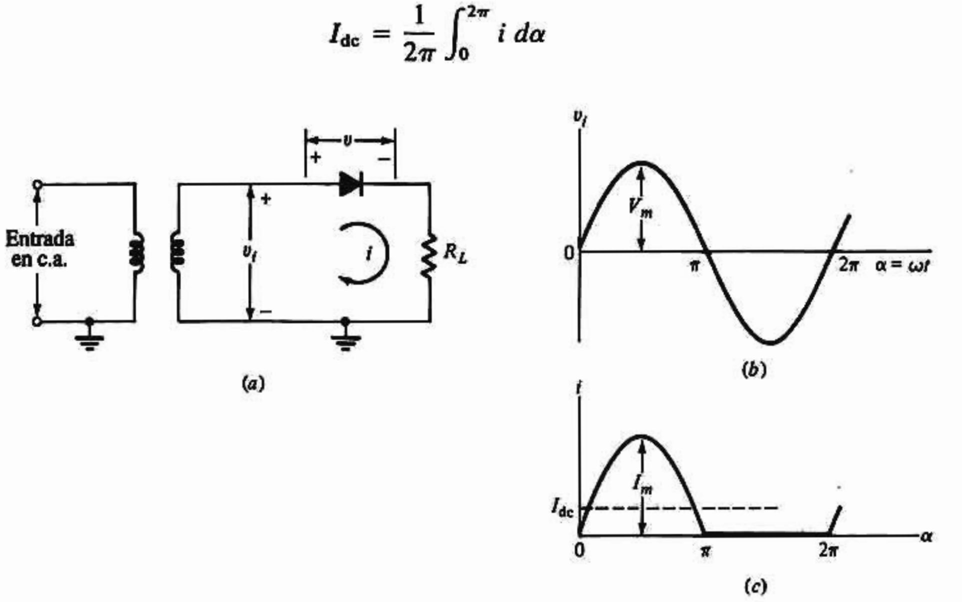


Figura 17-2. (*a*) Circuito básico de rectificador de media onda. (*b*) Tensión de salida senoidal del transformador v_i. (*c*) Corriente i de diodo y carga.

En el caso de media onda que estamos analizando, de la Ec. (17-1) se deduce que

$$I_{dc} = \frac{1}{2\pi}\int_0^{\pi} I_m \operatorname{sen}\alpha\, d\alpha = \frac{I_m}{\pi} \qquad (17\text{-}4)$$

Obsérvese que el límite superior de la integral se ha cambiado de 2π a π ya que la corriente instantánea en el intervalo entre π y 2π es cero y por tanto no contribuye en la integral.

Tensión del diodo

Evidentemente, la tensión de salida media en continua es

$$V_{dc} = I_{dc}R_L = \frac{I_m R_L}{\pi} \qquad (17\text{-}5)$$

No obstante, la lectura de un voltímetro de continua conectado a través del diodo *no* viene dada por $I_{dc}R_f$ porque el diodo no puede ser tratado como una resistencia constante, pues tiene dos valores: R_f en su estado de conducción e infinito en el de corte.

Un voltímetro de continua lee el valor medio de la tensión a través de sus terminales. Por tanto, para obtener V_{dc} a través del diodo deben situarse las tensiones instantáneas como en la Fig. 17-3 y deducir por integración el valor medio. Así,

$$V'_{dc} = \frac{1}{2\pi}\left(\int_0^{\pi} I_m R_f \operatorname{sen}\alpha\, d\alpha + \int_{\pi}^{2\pi} V_m \operatorname{sen}\alpha\, d\alpha\right)$$

$$= \frac{1}{\pi}(I_m R_f - V_m) = \frac{1}{\pi}[I_m R_f - I_m(R_f + R_L)]$$

habiendo hecho uso de la Ec. (17-2). Por tanto

$$V'_{dc} = -\frac{I_m R_L}{\pi} \tag{17-6}$$

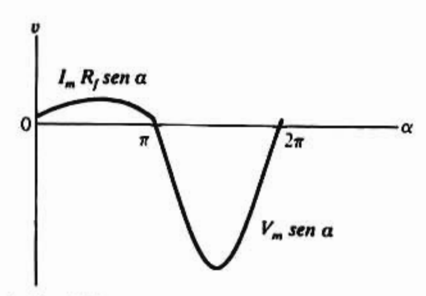


Figura 17-3. Tensión a través del diodo de la Fig. 17-2.

Este resultado es negativo, lo que supone que si el voltímetro hay que leerlo hacia arriba de la escala se deberá conectar su terminal positivo al cátodo del diodo. Por la Ec. (17-5) se ve que la tensión continua del diodo es igual al negativo de la tensión a través de la resistencia de carga, lo que evidentemente es correcto porque la suma de las tensiones continuas alrededor del circuito completo debe ser cero.

Corriente (o tensión) alterna

Un amperímetro (o voltímetro) de valores eficaces está construido de forma que la deflexión de la aguja indique la corriente (o tensión) eficaz. Un instrumento de esta índole puede ser de tipo térmico. Por definición, el valor eficaz de una función periódica del tiempo viene dado por el área de un ciclo de la curva, que represente el cuadrado de la función, dividida por la base, lo que expresado matemáticamente es:

$$I_{rms} = \left(\frac{1}{2\pi}\int_0^{2\pi} i^2\, d\alpha\right)^{1/2} \tag{17-7}$$

Teniendo en cuenta la Ec. (17-1) resulta

$$I_{rms} = \left(\frac{1}{2\pi}\int_0^{\pi} I_m^2 \operatorname{sen}^2\alpha\, d\alpha\right)^{1/2} = \frac{I_m}{2} \tag{17-8}$$

La tensión eficaz de salida es $I_m R_L/2$.
Aplicando la Ec. (17-7) a la tensión de entrada senoidal se obtiene

$$V_{rms} = \frac{V_m}{\sqrt{2}} \tag{17-9}$$

Regulación

Se entiende por *regulación* la variación de la tensión de salida en continua en función de la corriente de carga, también en continua. La regulación en porcentaje viene dada por:

$$\%\ \text{regulación} \equiv \frac{V_{vacío} - V_{carga}}{V_{carga}} \times 100\% \tag{17-10}$$

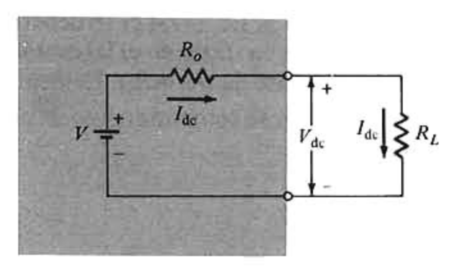


Figura 17-4. Equivalente de Thèvenin de una fuente de potencia, empleado para determinar la tensión y corriente de carga.

donde *vacío se refiere a corriente nula*, y *carga* a la corriente de carga normal. En una fuente de potencia ideal la tensión de salida es independiente de la carga (la corriente de salida) y el porcentaje de regulación es cero.

La variación de V_{dc} con I_{dc} en el rectificador de media onda se obtiene de la siguiente forma: De las Ecs. (17-4) y (17-2).

$$I_{dc} = \frac{I_m}{\pi} = \frac{V_m/\pi}{R_f + R_L} \tag{17-11}$$

Resolviendo la Ec. (17-11) para $V_{dc} = I_{dc} R_L$ se tiene

$$V_{dc} = \frac{V_m}{\pi} - I_{dc}R_f \tag{17-12}$$

Este resultado es consistente con el modelo de circuito dado en la Fig. 17-4 para la tensión y corriente en continua. Obsérvese que el circuito rectificador funciona como si fuera una fuente de tensión constante (circuito abierto) $V = V_m/\pi$ en serie con una resistencia interna efectiva (la resistencia de salida) $R_o = R_f$. Este modelo muestra que sin carga V_{dc} se iguala a V_m/π y que la tensión en continua decrece linealmente al aumentar la corriente de salida en continua. En la práctica la resistencia R_s del secundario del

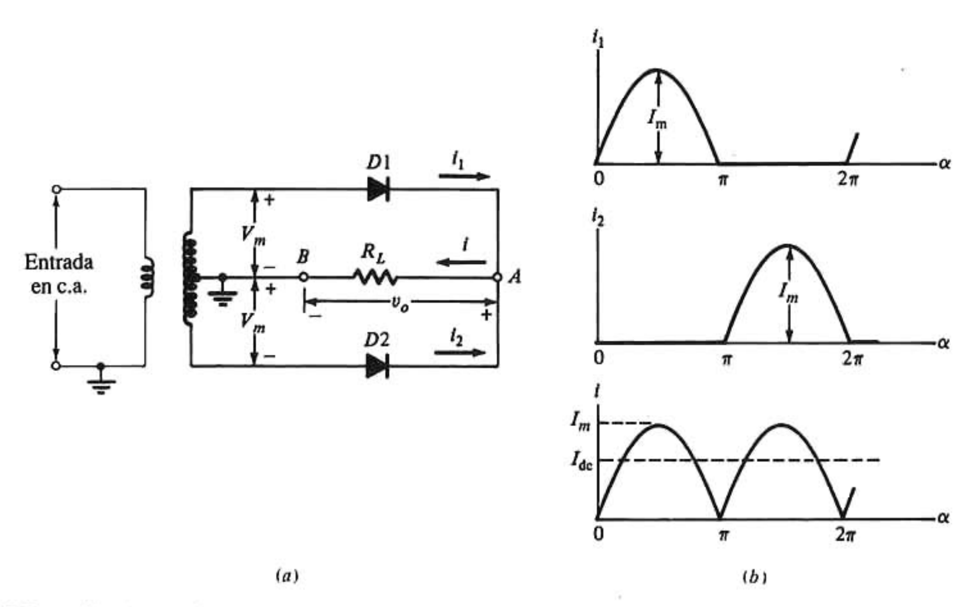


Figura 17-5. (*a*) Circuito rectificador de onda completa, (*b*) corrientes i_1 e i_2 de los diodos, y corriente de carga i. La tensión de salida es $v_o iR_L$.

transformador está en serie con el diodo y en la Ec. (17-12) se debería añadir R_s a R_f. El mejor método para apreciar la resistencia del diodo consiste en trazar en el laboratorio una gráfica de V_{dc} en función de I_{dc}. La pendiente negativa de la línea resultante da $(R_f + R_s)$. Evidentemente, la Fig. 17-4 representa un modelo de Thèvenin, y por tanto un rectificador se comporta como un circuito lineal respecto a la corriente y tensión medias.

Rectificador de onda completa

El circuito de la Fig. 17-5*a* corresponde a un rectificador de onda completa. Como puede verse en la figura, este circuito consta de dos circuitos de media onda conectados de forma que un diodo conduzca durante una mitad del ciclo de potencia y el otro diodo durante el otro semiciclo.

La corriente en la carga es la suma de estas dos corrientes, $i = i_1 + i_2$, y tiene la forma indicada en la Fig. 17-5*b*. Los valores en continua y los eficaces de las corrientes y tensiones en la carga de este sistema son

$$I_{dc} = \frac{2I_m}{\pi} \quad I_{rms} = \frac{I_m}{\sqrt{2}} \quad V_{dc} = \frac{2I_m R_L}{\pi} \tag{17-13}$$

Siendo I_m dada por la Ec. (17-2), y siendo V_m la tensión de pico del secundario del transformador tomada desde un extremo al punto medio del devanado. Obsérvese, comparando la Ec. (17-13) con la (17-15) que la tensión de salida en continua de la conexión de onda completa es el doble que en el circuito de media onda.

De las Ecs. (17-2) y (17-13) se deduce que la tensión de salida en continua varía con la corriente según la siguiente expresión:

$$V_{dc} = \frac{2V_m}{\pi} - I_{dc}R_f \tag{17-14}$$

Esta expresión nos lleva al modelo de Thèvenin de la Fig. 17-4 salvo que el suministro interno (circuito abierto) es $V = 2V_m/\pi$ en lugar de V_m/π

Cuando en el análisis se incluye la tensión umbral del diodo V_γ (modelo de la Fig. 17-6*a*), circula la corriente por el diodo durante menos de un semiciclo (rectificador de media onda) como se aprecia en la Fig. 17- 6*b*. En este caso, y con referencia a la Fig. 17-6 se tiene

$$\theta_1 = \operatorname{sen}^{-1}\frac{V_\gamma}{V_m} \qquad \theta_2 = \pi - \theta_1 \tag{17-15}$$

La corriente media I_{dc} (Prob. 17-2) viene dada por:

$$I_{dc} = \frac{V_m}{\pi(R_f + R_L)}\cos\theta_1 - \frac{\pi - 2\theta_1}{2\pi}\,\frac{V_\gamma}{R_f + R_L} \tag{17-16}$$

$$I_{dc} = \frac{2V_m}{\pi(R_f + R_L)}\cos\theta_1 - \frac{\pi - 2\theta_1}{2\pi}\,\frac{V_\gamma}{R_f + R_L} \tag{17-17}$$

para los rectificadores de media onda y de onda completa respectivamente.

Tensión inversa de pico

En cada circuito rectificador existe una tensión máxima a la que se puede someter el diodo. A esta

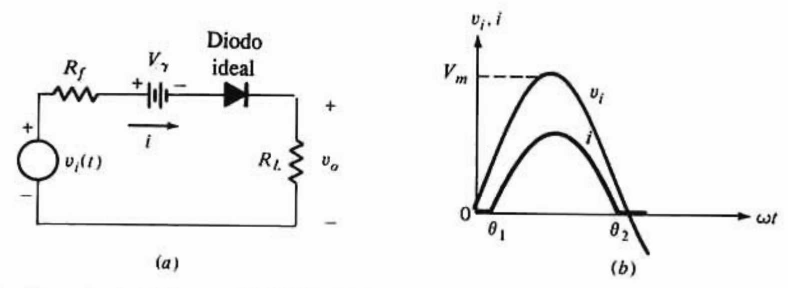


Figura 17-6. (*a*) Circuito equivalente de un rectificador. El diodo está representado por su modelo de gran señal R_f, V_γ y un diodo ideal. (*b*) Ondas de tensión de entrada y la corriente de carga. (*Nota*: el diodo no conduce hasta que v_1 supere V_γ; esto justifica los ángulos θ_1 y θ_2 de encendido y extinción respectivamente.)

tensión se le denomina *tensión inversa de pico* porque tiene lugar durante la parte del ciclo en que el diodo no conduce. Según la Fig. 17-2 resulta evidente que en el rectificador de media onda la tensión inversa de pico es V_m. Vamos a ver que en el circuito de onda completa se llega al doble de este valor. En el instante en que la tensión del secundario del transformador respecto a su punto medio está a su valor de pico V_m el diodo $D1$ está en conducción y el $D2$ cortado. Si aplicamos la ley de Kirchhoff alrededor del lazo y prescindimos de la pequeña caída de tensión a través de $D1$, obtendremos $2V_m$ como tensión inversa de pico a través de $D2$. Obsérvese que se llega a este resultado sin hacer referencia a la naturaleza de la carga, que puede ser una resistencia pura R_L o una combinación de R_L y algunos elementos reactivos que pueden haberse añadido para filtrar el rizado. Llegamos a la conclusión de que en un circuito de onda completa, independientemente del filtro empleado, la tensión inversa de pico a través de cada diodo es el doble de la tensión máxima del transformador medida desde su centro a cualquiera de sus extremos.

En la Sección 16-15 se trató sobre la rectificación de una senoide con valor de pico menor que V_γ

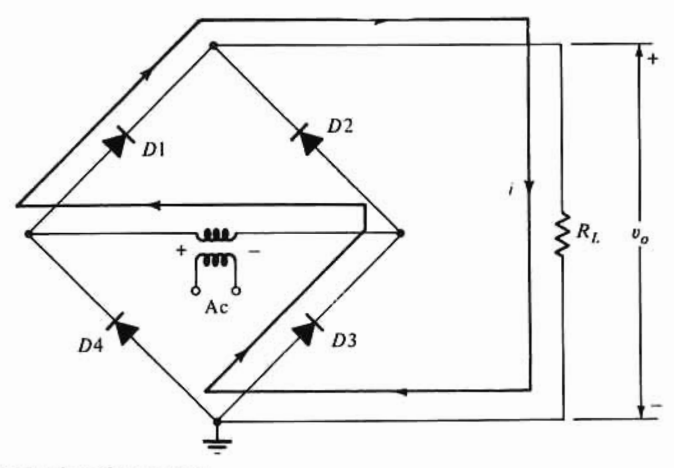


Figura 17-7. Puente rectificador de onda completa.

17-3. OTROS CIRCUITOS DE ONDA COMPLETA

Existe una variedad de circuitos rectificadores aplicables para distintos usos. Entre ellos están los circuitos de puente, varios dobladores de tensión, y otros multiplicadores de tensión. Los puentes se aplican no sólo en circuitos de potencia sino también como sistema rectificador en medidores de alterna de un amplio campo de frecuencias.

Rectificador de puente

Los principios del circuito puente están representados en la Fig. 17-7. Para comprender su funcionamiento basta observar que dos diodos conducen simultáneamente. Por ejemplo, durante la parte del ciclo en la que la polaridad del transformador es la indicada en la figura, los diodos 1 y 3 están en conducción y la corriente pasa desde el extremo positivo al negativo de la carga recorriendo el itinerario señalado. Durante el siguiente semiciclo la tensión del transformador cambia de polaridad, y son los diodos 2 y 4 que envían corriente a la carga en el mismo sentido que en el semi-ciclo anterior.

Las principales particularidades del circuito puente son: las corrientes tanto en el primario como en el secundario del transformador son senoidales y por tanto se puede emplear un transformador más pequeño que el del circuito de onda completa de igual salida; se emplea un transformador sin derivación central; y cada diodo tiene a su través la tensión del transformador sólo en el ciclo inverso. Por todo ello, el circuito puente es adecuado para aplicaciones de tensiones altas.

Medidor rectificador

Este instrumento, representado en la Fig. 17-8, esencialmente no es más que un sistema rectificador de puente, salvo que no necesita transformador. Por el contrario, la tensión a medir se aplica entre dos vértices del puente a través de una resistencia R, empleándose como aparato indicador un miliamperímetro de continua conectado entre los otros dos vértices. Puesto que el miliamperímetro mide los valores medios de la corriente, se calibra la escala para que indique valores eficaces al aplicarle entre los terminales de entrada una tensión senoidal. En consecuencia, este aparato no da indicaciones correctas si se emplea con ondas que contengan armónicos apreciables.

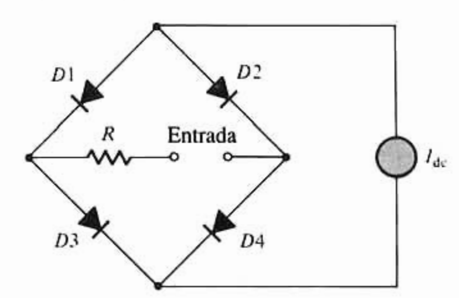


Figura 17-8. Voltímetro rectificador.

Multiplicadores de tensión

En la Fig. 17-9 vemos un circuito doblador de tensión que da una tensión aproximadamente doble de la máxima del transformador sin carga. Este circuito funciona cargando alternativamente cada uno de los dos condensadores a la tensión de pico V_m del transformador, descargando continuamente la corriente desde los condensadores a través de la carga. Al mismo tiempo, los condensadores aplanan el rizado en la salida.

17-4. FILTROS CAPACITIVOS

Frecuentemente se lleva a cabo el filtrado conectando en paralelo la carga y un condensador. El

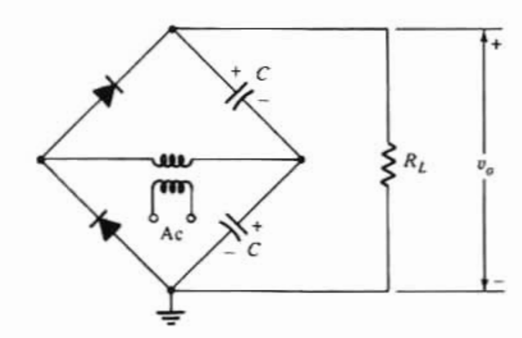


Figura 17-9. Puente rectificador a manera de circuito doblador de tensión. Los dos condensadores reemplazan los dos diodos de la Fig. 17-7.

funcionamiento de este sistema se basa en el hecho de que el condensador almacena energía durante el periodo de conducción y la devuelve a la carga durante el periodo inverso o no conductor. De esta forma se alarga el tiempo durante el que la corriente pasa por la carga disminuyendo considerablemente el rizado. La tensión de rizado se define como desviación de la tensión de la carga respecto a su valor medio.

Consideremos el rectificador capacitivo de media onda de la Fig. 17-10. Supongamos en primer lugar que la resistencia de la carga R_L es infinita. El condensador se cargará a la tensión máxima V_m del transformador. El condensador mantendrá esta tensión ya que no hay ningún camino por el que esta carga se pueda eliminar pues el diodo no admitirá una corriente negativa. La resistencia del diodo en el sentido inverso es infinita y no puede circular ninguna carga durante esta parte del ciclo. En consecuencia la acción del filtrado es perfecta, y la tensión v_o del condensador se mantiene constante en su valor de pico como se ve en la Fig. 17-11.

Evidentemente, la tensión v_o a través del condensador es igual a la de la carga, ya que ambos elementos están en paralelo. La tensión v en el diodo viene dada por

$$v = v_1 - v_o \tag{17-18}$$

En la Fig. 17-11 se ve que la tensión en el diodo es siempre negativa y que la tensión inversa de pico es el doble que la máxima del transformador. Por tanto, cuando se emplea el filtro, la presencia del condensador hace que la tensión inversa de pico crezca desde un valor igual al doble del máximo del transformador.

Supongamos ahora que la resistencia de carga R_L sea finita. Sin el filtro capacitivo de entrada, la corriente y la tensión en la carga durante el periodo de conducción serán funciones senoidales del tiempo. La inclusión de un condensador en el circuito hace que éste se cargue en escalón con la tensión aplicada. Además, el condensador debe descargar a través de la resistencia de carga, ya que el diodo impedirá que haya corriente en sentido negativo. Evidentemente el diodo actúa como un interruptor que permite que la carga fluya hacia el condensador cuando la tensión del transformador supere a la del condensador y que procede a desconectar la fuente de potencia cuando la tensión del transformador sea inferior a la del condensador.

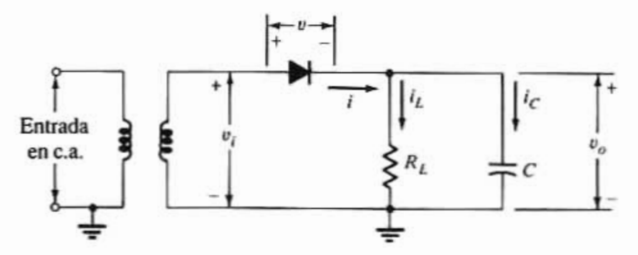


Figura 17-10. Rectificador de media onda con filtro capacitivo.

Tensión de salida en carga

Durante el intervalo en el que el diodo de la Fig. 17-10 está en conducción, la tensión del transformador queda aplicada directamente a la carga (suponiendo que se pueda despreciar la caída en el diodo). Por tanto, la tensión de salida es $v_o = V_m$ sen ωt. Mientras D no conduzca, el condensador se descarga a través de la carga con una constante de tiempo CR_L. La onda de salida de la Fig. 17-12 está formada de partes senoidales (cuando D conduce) unidas con segmentos exponenciales (cuando D está en corte). El punto en el que el diodo empieza a conducir se denomina de conexión t_2 y el en que cesa la conducción, de desconexión t_1, lo que queda indicado en la Fig. 17-13.

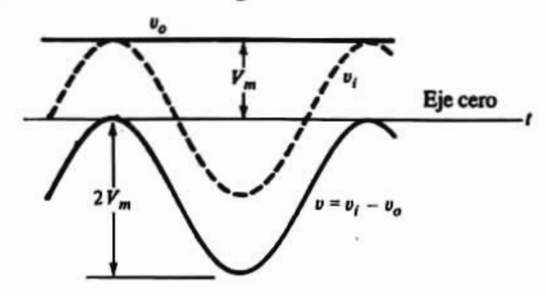


Figura 17-11. Tensiones en un rectificador de media onda con filtro capacitivo, sin carga. La tensión de salida v_o es constante (filtrado perfecto). La tensión del diodo es negativa en cualquier momento, y la tensión inversa de pico es 2 V_m.

El momento del corte se obtiene (Prob. 17-12) de la expresión de la corriente i en la Fig. 17-10 cuando $v_o = V_m$sen ωt. El tiempo en el que $i = 0$ da el ángulo de corte ωt_1. El punto de conexión se halla gráficamente buscando el momento en el que la porción exponencial de v_o en la Fig. 17-12 corta la curva V_m sen ωt (del siguiente ciclo). La validez de esta premisa parte del hecho de que en un instante de tiempo superior a t_2, la tensión v_1 del transformador (curva senoidal) es superior a la tensión del condensador v_o (curva exponencial). Puesto que la tensión en el diodo es $v = v_1 - v_o$, v será positiva más allá de t_2 y el diodo se hará conductor. Por tanto, t_2 es el punto de conexión. El empleo de un condensador grande para mejorar el filtrado con una carga R_L dada, viene acompañado de un pico elevado de la corriente I_m del diodo para una corriente de carga media, especificada. i se hace más picudo y el periodo de conducción disminuye a medida que C se aumenta. Hay que remarcar que el uso de un filtro capacitivo puede imponer serias restricciones al diodo ya que la corriente media puede muy bien estar comprendida dentro de los valores nominales y sin embargo ser excesivos los valores de punta.

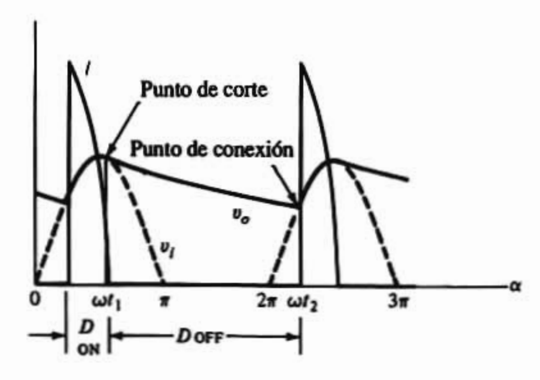


Figura 17-12. Forma teórica de las ondas de corriente del diodo y de la tensión de salida de un rectificador de media onda con filtro capacitivo.

Circuito de onda completa

Consideremos un rectificador de onda completa con filtro capacitivo, obtenido colocando un condensador C a través de R_L de la Fig. 17-5. El análisis de este circuito requiere una simple extensión del realizado para el circuito de media onda. Si en la Fig. 17-12 se añade una semi-senoide entre π y 2π se obtendrá la onda completa de tensión marcada de trazos en la Fig. 17-13. El punto de conexión reside ahora entre π y 2π donde la porción exponencial de v_o corta esta senoide. El punto de corte es el mismo que el hallado para el rectificador de media onda.

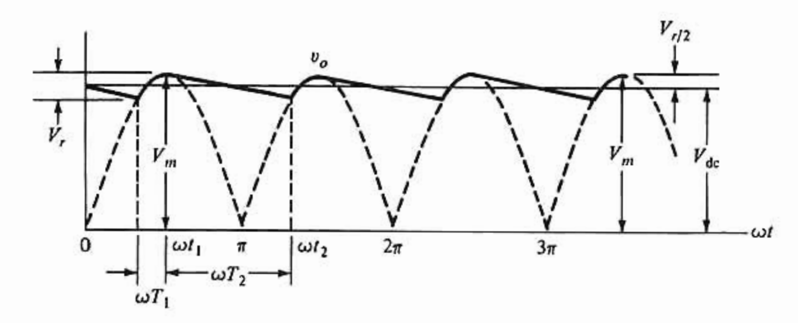


Figura 17-13. Onda aproximada de la tensión de la carga en un rectificador de onda completa con filtro capacitivo.

Análisis aproximado

Se puede obtener la tensión de salida en continua para unos valores dados de los parámetros ω, R_L, C y V_m a partir de la construcción gráfica de la Fig. 17-13, pero tal análisis es pesado y complicado. Por tanto, vamos a presentar una solución aproximada sencilla y suficiente para aplicaciones industriales.

Supongamos que la onda de tensión de salida de un circuito de onda completa con filtro capacitivo pueda representarse por la aproximación lineal mostrada en la Fig. 17-13. Observemos que con valores grandes de C (de modo que $\omega CR_L \gg 1$) ωt_1 tiende a $\pi/2$, y v_o tiende a V_m en $t=t_1$. Además siendo C muy grande el decaimiento exponencial puede sustituirse por una caída lineal. Si llamamos V_r a la pérdida total de tensión en el condensador (la tensión de rizado) tendremos que según la Fig. 17-13 el valor medio de la tensión es aproximadamente

$$V_{dc} = V_m - \frac{V_r}{2} \tag{17-19}$$

Sin embargo, es necesario expresar V_r en función de la corriente de carga y de la capacidad. Si T_2 representa el tiempo total de no conducción, el condensador, cuando se descarga con I_{dc} constante, perderá una carga $I_{dc}\,T_2$. Por tanto, la variación de tensión en el condensador será $I_{dc}\,T_2/C$, o sea

$$V_r = \frac{I_{dc}T_2}{C} \tag{17-20}$$

Cuanto mejor sea la acción de filtrado, menor será el tiempo T_1 de conducción y más se aproximará T_2 al tiempo de un semi-ciclo, por lo que supondremos que $T_2 = T/2 = 1/2\,f$, siendo f la frecuencia fundamental de la red de potencia. Así,

$$V_r = \frac{I_{dc}}{2fC} \tag{17-21}$$

y de la Ec. (17-19)

$$V_{dc} = V_m - \frac{I_{dc}}{4fC} \tag{17-22}$$

Este resultado está de acuerdo con el método de Thèvenin de la Fig. 17-14 con la tensión en circuito abierto $V = V_m$ y una resistencia de salida eficaz $R_o = 1/4fC$.

Vemos que el rizado varía en proporción directa a la corriente de carga e inversa con la capacidad. Por tanto, para mantener bajo el rizado y asegurar una buena regulación deben emplearse condensadores grandes (del orden de decenas de microfaradios). Los condensadores más corrientes para este tipo de aplicación son los electrolíticos, que tienen polaridad por lo que hay que tomar la precaución de conectarlos al circuito con el terminal marcado + al lado positivo de la salida.

Las principales cualidades que se pretenden al usar filtros con condensador de entrada son: poco rizado y elevada tensión con carga ligera. La tensión sin carga teóricamente es igual a la máxima tensión del transformador. Los inconvenientes de este sistema son: una regulación relativamente pobre, mucho rizado con cargas fuertes y las puntas de corriente que los diodos deben pasar.

Aplicando a un circuito de media onda un análisis aproximado similar al que acabamos de ver, se mostrará que el rizado, así como la caída desde descargando hasta una carga dada, son el doble de los valores calculados para el rectificador de onda completa.

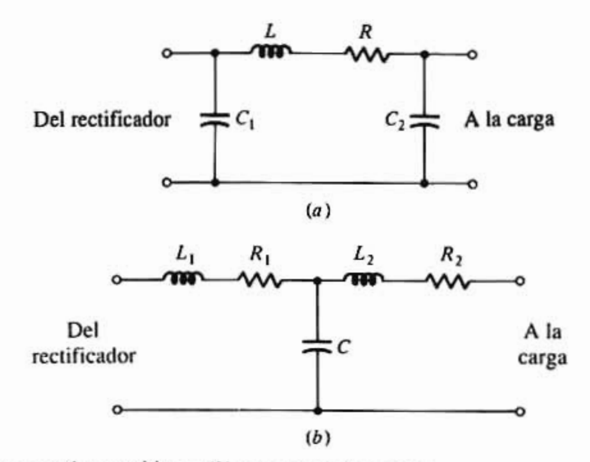


Figura 17-14. Filtros: (*a*) con entrada capacitiva, y (*b*) con entrada inductiva.

Filtros de entrada capacitiva e inductiva

Empleando más de un elemento almacenador de energía se consigue filtrar más eficazmente la onda de salida de un rectificador. El circuito de la Fig. 17-14*a* es un *filtro de entrada capacitiva* y el de la Fig. 17-14*b* es de *entrada inductiva*. En ambos circuitos las resistencias R, R_1 y R_2 son las de las bobinas correspondientes a cada inductancia. Sus reactancias L_1, L_2 y L de la Fig. 17-14 se eligen para que resulten elevadas a la frecuencia alterna. Así, actúan de atenuadores del rizado de tensión, pero como su reactancia es nula cuando $\omega = 0$, no afectan a la salida en continua. El análisis de estos filtros es objeto de los Prob. 17-13 y 17-14.

17-5. SUMINISTRO DE POTENCIA REGULADO

Un suministro de potencia regulado es un circuito electrónico diseñado para que dé una tensión en continua predeterminada V_o independientemente de la corriente I_L emanada de V_o, de la temperatura y de

cualquier variación en la tensión de la línea de alterna. Un suministro no regulado consta de un transformador, un rectificador y un filtro como se ve en las Figs. 17-5 y 17-10.

Existen tres razones por las que un suministro de potencia no regulado es insuficiente para muchas aplicaciones. El primero es su pobre regulación; la tensión de salida no se mantiene constante al variar la carga. La segunda razón es que la tensión de salida en continua varía con la entrada en alterna. En algunas poblaciones, la tensión de la red (de valor nominal 115V) puede variar entre 90 y 130V, y no obstante es necesario que la tensión en continua sea prácticamente constante. Y la tercera razón es que la salida en continua varía con la temperatura debido principalmente a los elementos semi-conductores empleados.

En el circuito de la Fig. 2-32 puede emplearse un diodo Zener como regulador simple. Este circuito, ya descrito en la Sec. 2-11 está limitado por la corriente (y potencia) nominal del diodo Zener empleado. Este diodo debe ser capaz de soportar una corriente superior a la enviada a la carga.

Para salvar los tres inconvenientes antes citados así como la limitación de corriente del diodo Zener se emplea el circuito con realimentación de la Fig. 17-15. Tal sistema constituye un suministro de potencia regulado. En la Fig. 17-15 vemos que este sistema representa un caso serie-paralelo (realimentación de tensión en serie) si admitimos que la ganancia de tensión del seguidor de emisor $Q1$ ($Q1$ se denomina también *transistor* o *elemento de paso*) vale aproximadamente la unidad, entonces $V'_O = V_O$, y

$$V'_O = A_V V_i = A_V(\beta V_O - V_R) \approx V_O \tag{17-23}$$

siendo

$$\beta \equiv \frac{R_2}{R_1 + R_2} \tag{17-24}$$

De la Ec. (17-23) se deduce que

$$V_O = V_R \frac{A_V}{1 + \beta A_V} \tag{17-24}$$

Si $\beta A_V \gg 1$, $V_O \approx V_R/\beta$. Obsérvese no obstante que V_O debe ser menor que la tensión V_{dc} de la fuente no regulada.

La tensión de salida V_O se puede cambiar variando β, modificando la fracción de V_O que se reenvía hacia atrás. El seguidor de emisor $Q1$ se emplea para proporcionar una ganancia de corriente porque la corriente cedida por el Amp-Op, A_V, normalmente, no es suficiente. Además, el elemento de paso debe absorber la diferencia entre la tensión de entrada no regulada V_{in} y la salida regulada V_O. La tensión del colector en continua necesario para el amplificador de error A_V se obtiene de la tensión no regulada.

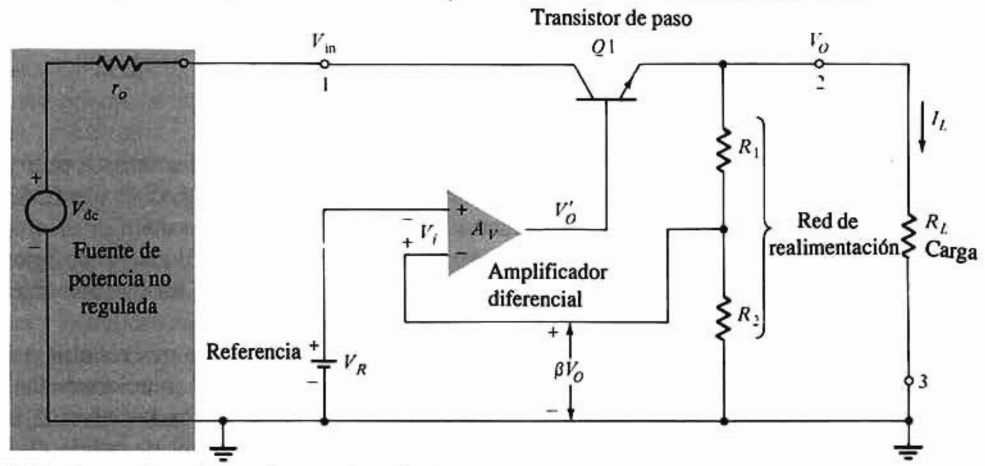


Figura 17-15. Un sistema de suministro de potencia regulado.

Estabilización

Puesto que la tensión continua de salida V_O depende de la tensión continua de entrada V_{dc}, de la corriente de carga I_L y de la temperatura T, la variación ΔV_O de la tensión de salida del suministro de potencia puede expresarse de la siguiente forma:

$$\Delta V_O = \frac{\partial V_O}{\partial V_{dc}}\Delta V_{dc} + \frac{\partial V_O}{\partial I_L}\Delta I_L + \frac{\partial V_O}{\partial T}\Delta T$$

o

$$\Delta V_O = S_V \Delta V_{dc} + R_o \Delta I_L + S_T \Delta T \tag{17-26}$$

estando los tres coeficientes definidos por

$$S_V = \frac{\Delta V_O}{\Delta V_{dc}}\Bigg|_{\Delta T = 0}^{\Delta I_L = 0} \tag{17-27}$$

$$R_o = \frac{\Delta V_O}{\Delta I_L}\Bigg|_{\Delta T = 0}^{\Delta V_{dc} = 0} \tag{17-28}$$

$$S_T = \frac{\Delta V_O}{\Delta T}\Bigg|_{\Delta I_L = 0}^{\Delta V_{dc} = 0} \tag{17-29}$$

para el factor de regulación de entrada, la resistencia de salida y el coeficiente de temperatura respectivamente.

Cuanto más pequeños sean los tres coeficientes tanto mejor será la regulación. La variación ΔV_{dc} en la tensión de entrada puede ser debida a variaciones en la tensión de la red de alterna o al rizado motivado por un filtrado inadecuado.

17-6. REGULADORES MONOLÍTICOS

Es interesante observar que si se construyera un regulador de componentes discretos, topológicamente se parecería a la Fig. 17-15: el amplificador A_1 sería un Amp-Op (tal como el µA741 o el LM301A) y la batería V_R sería sustituida por un diodo de referencia (un LM103, LM199 o un Zener). Con el advenimiento de la electrónica se ha hecho técnica y económicamente posible incorporar todos los componentes en forma monolítica, obteniéndose todas las ventajas de los circuitos integrados: un funcionamiento excelente, pequeño tamaño, empleo fácil, bajo coste y alta fiabilidad.

Como ejemplo de regulador monolítico está el MC7800C de Motorola, de tres terminales, positivo, de tensión fijada. La Fig. 17-16 representa la aplicación normal en la que se han solucionado las complejidades del usuario. El condensador de entrada C_i se necesita para compensar los efectos inductivos relacionados con las largas líneas de distribución de potencia, mientras que el de salida C_o mejora la respuesta transitoria. Estos dispositivos no necesitan ajuste alguno; tienen una salida preestablecida por

el fabricante a una tensión industrial normalizada de 5, 6, 8, 12, 18 ó 24 V. (Un MC7824C representa un regulador de 24 V). Debe haber una diferencia de 2V entre la entrada y la salida. Estos reguladores admiten corrientes de salida por encima de 1,0 *A*. Tienen protecciones contra cortocircuitos internos que limitan la corriente máxima que pasa por el circuito, contra inconvenientes térmicos y asegurando el buen funcionamiento de la zona del transistor de salida. Los coeficientes típicos para la estabilización son:

$$S_V = 3 \times 10^{-3} \qquad R_O = 30 \text{ m}\Omega \qquad S_T = 1 \text{ mV/°C}$$

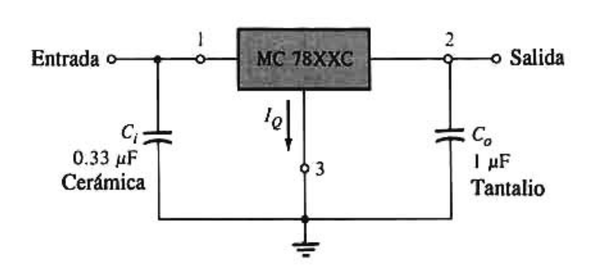


Figura 17-16. Regulador monolítico de tres terminales, positivo, tensión fijada. La corriente de reposo es I_Q.

El nivel de complejidad que se puede afrontar con las técnicas de integración monolítica pueden apreciarse observando la Fig. 17-17 que es el esquema del circuito MC7800C. Hacia la izquierda del recuadro sombreado tenemos la tensión de referencia V_R de la Fig. 17-15. Este es el desplazador de nivel de la Fig. 14-11*a* con diodo Zener de entrada al seguidor de emisor. La zona sombreada de la Fig. 17-17 es el amplificador diferencial A_V de la Fig. 17-15. Puede verse la semejanza de diseño con la configuración del Amp-Op 741 de la Fig. 14-19. El divisor de resistencia R_1 y R_2 (Fig. 17-17) corresponde a la misma red de realimentación de la Fig. 17-15. El par Darlington Q' y Q'' de la ya citada Fig. 17-17 forma el elemento de paso $Q1$ de la Fig. 17-15.

Los circuitos de protección están señalados con líneas gruesas y merecen una explicación. El limitador de corriente está formado por R_3, R_4, y $Q2$. La seguridad de funcionamiento se cumple de la siguiente forma. Si la salida baja debido a una sobrecarga, aumentando con ello la tensión colector-emisor de Q', el diodo Zener (que con cargas normales está cortado) conducirá. En estas condiciones se envía a $Q2$ suficiente corriente de base para que éste conduzca «robando» a su vez excitación de base de la combinación Darlington Q' Q''. De esta forma, el producto tensión-corriente del elemento de paso queda limitado a una disipación de potencia razonable.

Veamos a continuación la protección contra una sobrecarga térmica. Una fracción de la tensión de referencia que aparece a través de R_5 se aplica a la unión base-emisor de $Q3$. Con un valor fijado de V_{BE3}, la corriente de colector I_3 aumenta rápidamente al aumentar la temperatura. Por tanto, a temperatura suficientemente alta (sea por disipación de potencia o por un ambiente caluroso) el transistor $Q3$ conducirá más, y nuevamente «debilitará» la excitación de base de los transistores Q' Q'' bajando así la temperatura.

El empleo de reguladores monolíticos permite distribuir tensiones no reguladas por el equipo electrónico y prever una regulación arbitraria como por ejemplo en los circuitos impresos individuales. Junto a las ventajas de este camino están la mayor flexibilidad en los niveles de tensión, la regulación de las etapas individuales y la mejora del aislamiento y desacoplo de tales etapas.

Existen reguladores monolíticos en multitud de variantes: fijos o variables, tensiones de salida positivas o negativas, fuertes corrientes de salida (> 1*A*), tensiones de salida elevadas (> 24*V*) y salidas simples o dobles (±). El usuario puede disponer también del regulador normal de tres terminales (Fig. 17-16) como bloque constructivo básico para adaptar su funcionamiento a necesidades específicas. Estas técnicas serán objeto de los Prob. 17-19 y 17-20.

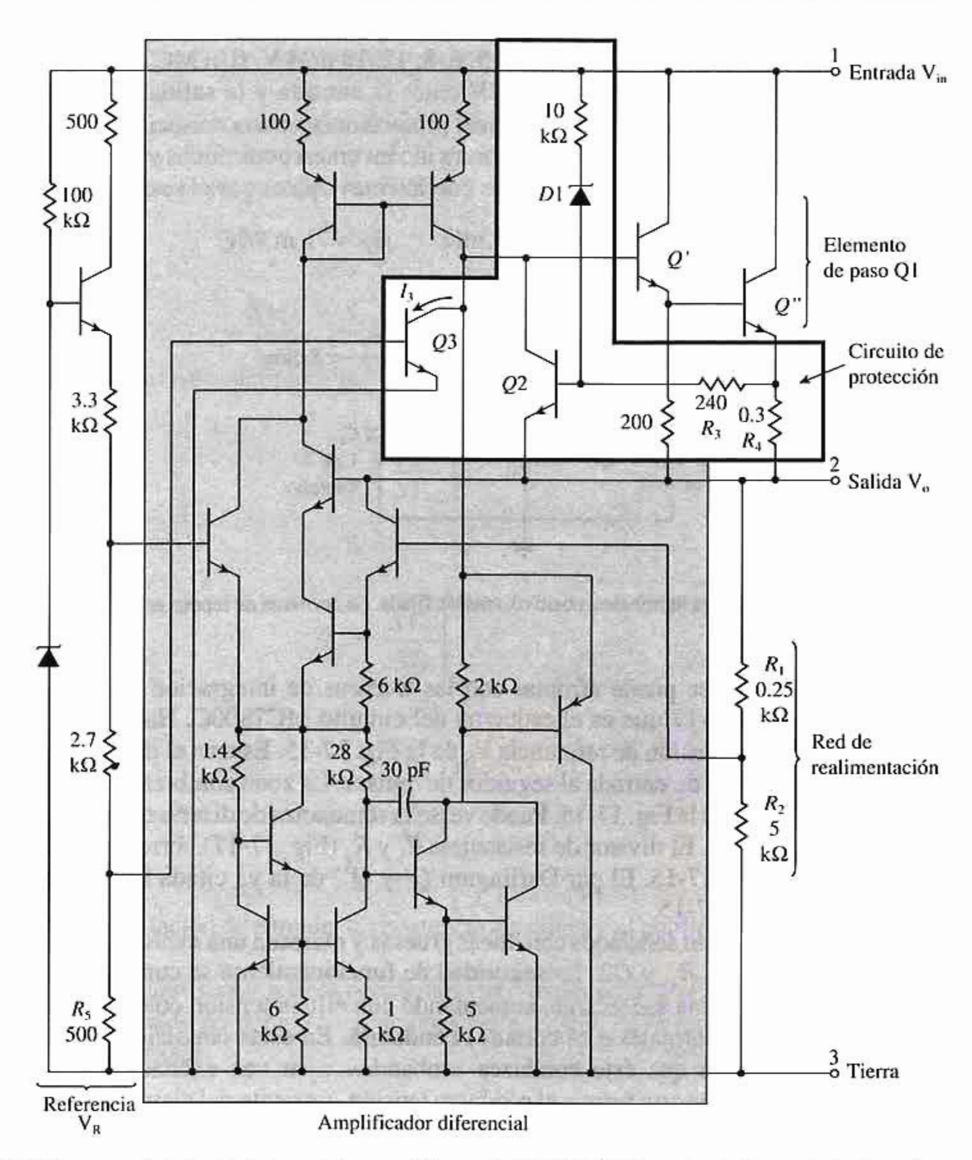


Figura 17-17. Esquema del circuito del regulador monolítico serie MC 7800C (*Cortesía de Motorola Semiconductor, Inc.*).

17-7. REGULADOR DE CONMUTACIÓN

Los reguladores vistos en la sección anterior tienen, a pesar de su utilidad, tres inconvenientes:

1. En un suministro de potencia que comprenda una conversión de alterna a continua (transformador, puente rectificador y filtro) la polaridad y magnitud de la tensión en continua no regulada (en bruto) puede ser un parámetro del diseño y no existe ningún problema inherente. Por el contrario, si en un sistema con un suministro de tensión en continua (como p.ej. de $+\ 5V$ para puertas TTL)se precisan $\pm 15V$ para operar el Amp-Op puede ser física y económicamente impracticable añadir la ayuda para tensiones adicionales en continua.

2. Un sistema alimentado por una batería, tal como un sistema de comunicaciones en el campo o en un satélite en el espacio, no tiene ninguna fuente de alterna, y por tanto debe generar todas las tensiones (positivas o negativas) a partir de la única fuente de continua disponible. Este sistema es un convertidor continua-continua.
3. La magnitud de la tensión de entrada debe ser mayor que la salida, y los reguladores serie son de por sí ineficaces. Cuanto mayor sea la diferencia entrada-salida para una corriente dada, tanto mayores serán las pérdidas. Un sistema regulador TTL trabajando a $10V$ tiene en el mejor de los casos un rendimiento del 50% y si lo hace a $20V$ el rendimiento baja al 25%.

Topología del regulador de conmutación básico

Estos tres inconvenientes pueden eliminarse usando un regulador de conmutación. En la Fig. 17-18 se representa el lazo de control regulador básico. La tensión de entrada no regulada es V_{in} y la de salida regulada es V_O. La corriente de salida cedida a la carga R_L debe ser grande (por ejemplo, de algunos amperios).

El bloque sombreado contiene circuitos de baja potencia que se fabrican en un solo chip integrado. El *regulador de referencia* es el de paso descrito en la Sec.17-6, cuya salida es la tensión de referencia regulada V_{ref} que sirve de tensión de suministro de potencia para todos los circuitos del chip. Puesto que la corriente motivada por V_{ref} es pequeña (p.ej. 10 mA), la escasa pérdida de potencia en el regulador de paso no debe afectar sensiblemente al rendimiento conjunto del sistema.

La topología de la Fig. 17-18 corresponde a la de un sistema de realimentación serie-paralelo (realimentación de tensión en serie) y la comparación entre la entrada fija V_{ref} con una fracción $R_1/(R_1 + R_2)$ de la salida V_O se lleva a cabo con el amplificador diferencial (amplificador de error). También existe en el chip un generador de onda triangular de periodo T (circuito no indicado en la Fig. 17-18) aplicándose su salida v al terminal no inversor de un comparador que funciona como modulador de ancho del impulso (PWM). La tensión de salida v_m del amplificador de error se aplica al terminal inversor PWM como en la Fig. 17-18. Este modulador actúa como se describe en la Sec.15-15 engendrando una onda cuadrada v_A

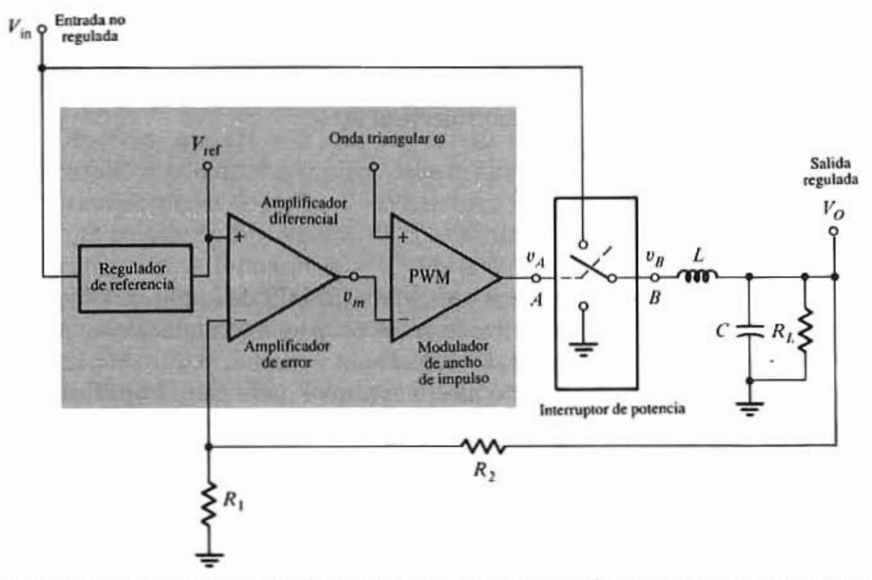


Figura 17-18. Topología del regulador de conmutación básico. Los circuitos del rectángulo sombreado se fabrican en un solo chip. Los demás componentes son elementos discretos conectados exteriormente al chip.

de periodo T cuya asimetría δ varía linealmente con v_m. La salida v_A del PWM excita un interruptor de potencia (indicado en el bloque de la Fig. 17-18) creando una onda cuadrada (de periodo T y asimetría del ciclo δ) cuyo valor mínimo es cero y el máximo V_{in}. Esta onda cuadrada se filtra mediante una combinación LC que actúa como un filtro paso-bajo. Si la reactancia de C es muy inferior a la de L a la frecuencia fundamental, todas las componentes de Fourier de la onda cuadrada quedan muy amortiguadas. Dicho de otra forma: si $T/2\pi C \ll 2\pi L/T$ o si $\sqrt{LC} \gg T/2\pi$, V_O será una constante igual al valor medio de la onda cuadrada.

Tensión de salida regulada

Puesto que hay un cortocircuito virtual entre los terminales de entrada del amplificador de error, $V_{ref} = R_1 V_O/(R_1 + R_2)$ y la salida vendrá dada por

$$V_O = V_{ref}\left(1 + \frac{R_2}{R_1}\right) \tag{17-30}$$

Obsérvese que esta tensión regulada es independiente de las variaciones de la tensión de entrada V_{in} y de las variaciones de la corriente de carga, dependiendo únicamente de la constancia de la tensión regulada V_{ref} y de la relación R_2/R_1. Si por ejemplo la tensión de referencia es la de alimentación para las puertas lógicas TTL, de forma que $V_{ref} = 5V$, y si deseamos una salida $V_O = 15V$ sólo es necesario elegir $R_2 = 2R_1$. Como ya se ha indicado antes, V_O es el valor en continua de la tensión de salida v_B de la onda cuadrada del interruptor, cuyo valor de pico es V_{in}. Por tanto, esta configuración sólo se puede emplear si $V_{in} > V_O$. Este sistema de gobierno funciona de manera que genera automáticamente una tensión de error v_m de tal forma que el modulador PWM tiene el valor correcto de δ para hacer que v_B tenga el valor V_O en continua dado por la Ec. (17-30).

Rendimiento

En la Fig. 17-18 se observa que la corriente de salida pasa desde v_{in} a través del interruptor de potencia y la inductancia a la carga. Empleando un interruptor de bajas pérdidas (interruptor de transistor con $V_{CE(sat)}$ baja y velocidad de conmutación alta) y un filtro con Q elevado (una inductancia con poca resistencia), el rendimiento de la conversión supera frecuentemente el 90%.

El interruptor de potencia

La acción del interruptor de un polo y dos posiciones (SPDT) de la Fig. 17-18 se puede conseguir también con la combinación de la Fig. 17-19*a*, de un diodo y un interruptor de un polo y una posición (SPST) (sustituido por un transistor en la Fig. 17-19*b*). Están incluidos, el filtro LC, la carga R_L y el bloque modulador del ancho impulso (PWM) que excita el interruptor, pero para simplificar se ha prescindido de R_2, R_1, y del bloque integrado.

El circuito funciona de la siguiente forma: Cuando el interruptor está cerrado el diodo está polarizado en inversa por V_{in} y la corriente de carga I_L la suministra $v_B = V_{in}$ a través de L. En la segunda parte del ciclo, cuando el interruptor está abierto, la corriente de la inductancia no puede bajar instantáneamente (si tal hiciera, la tensión en la inductancia $L\,di/dt$, sería negativa e infinita). Por tanto, en el instante en que se abre el interruptor i_L permanece constante y la circulación de corriente debe ser desde tierra a través del diodo y de la inductancia hacia la carga. Despreciando la caída en el diodo, tendremos $v_B = 0$. Por tanto,

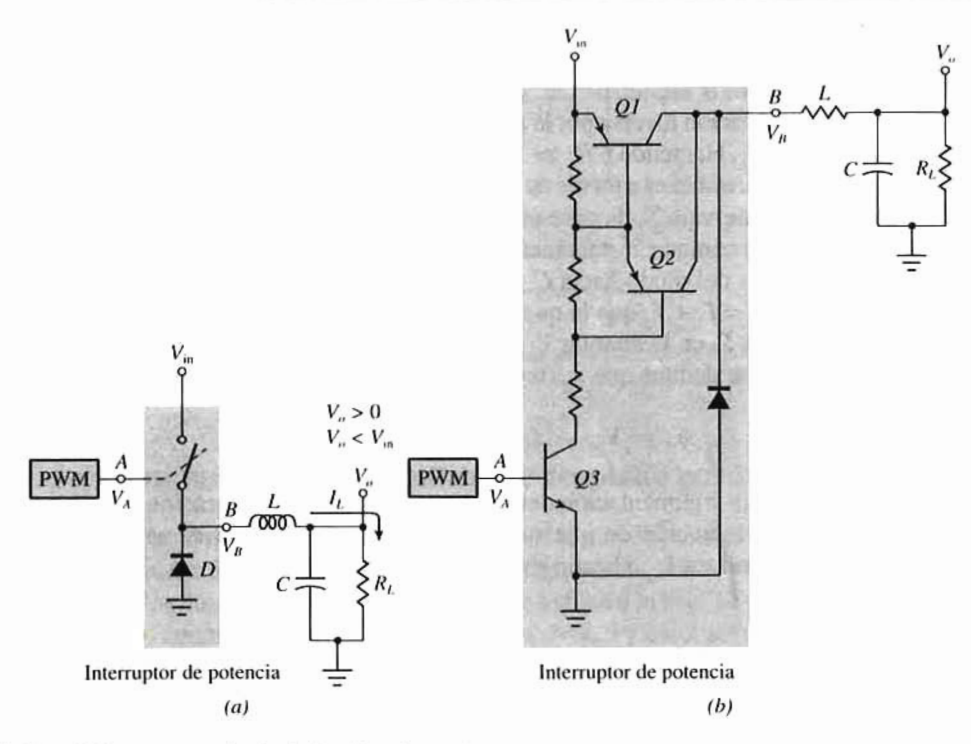


Figura 17-19. (*a*) El interruptor unipolar de dos direcciones (SPDT) de la Fig. 17-18 se sustituye por otro de una dirección (SPST) y un diodo de retorno. (*b*) Disposición práctica del interruptor empleando transistores. La salida es positiva y menor que la entrada.

v_B es una onda cuadrada de periodo T y asimetría δ, con un valor mínimo cero y máximo V_{in}. Esta forma de onda es idéntica a la de v_B de la Fig. 17-18. Por tanto, el circuito de la Fig. 17-19*a* actúa exactamente como el de la Fig. 17-18. Puesto que cuando el interruptor se abre v_B retrocede de V_{in} a cero, esta configuración justificaría el nombre de convertidor de retroceso (flyback).

El interruptor SPST de la Fig. 17-19*a* puede compararse a un transistor de potencia *pnp* $Q1$ como indica la Fig. 17-19*b*. Si la corriente de carga es de 1A, la corriente de colector de $Q1$ será de 1A, y con $\beta_F = 100$, la corriente de base será de 10mA. El transistor $Q2$ se emplea para suministrar esta elevada corriente de base. Obsérvese que $Q1$ y $Q2$ forman un par Darlington (Sec.10-14). Para excitar estos transistores con la tensión de polaridad apropiada debe invertirse la tensión de salida v_A del PWM, y por tanto, para completar el interruptor de la Fig. 17-19*b* se hace necesario el transistor $Q3$.

Con v_A positivo, $Q3$ conduce y su corriente de colector (a través de las resistencias del interruptor) polariza $Q1$ y $Q2$ a conducción, de forma que $v_B \approx V_{in}$. Por otra parte, si v_A es negativo o cero, $Q3$ no conduce y no hay corriente en las resistencias de polarización. Por tanto $Q1$ y $Q2$ están cortados y el interruptor está abierto. Por la acción descrita en el párrafo anterior, el diodo de retroceso se pone en conducción y $v_B = 0$. Este proceder señala que el interruptor de potencia de la Fig. 17-19*b* es la realización práctica del interruptor idealizado de la Fig. 17-19*a*. Incidentalmente el transistor de baja potencia $Q3$ se fabrica formando parte del chip integrado representado en el rectángulo sombreado de la Fig. 17-18.

17-8. TOPOLOGÍAS ADICIONALES DEL REGULADOR DE CONMUTACIÓN

En la configuración de la Fig. 17-19 la tensión de salida es positiva y menor que la tensión de entrada

($V_O < V_{in}$) como se ha comprobado en la sección anterior. Esta restricción se evita con la configuración de la Fig. 17-20 como demostraremos seguidamente. Consideremos el intervalo T_1 cuando el interruptor está cerrado. El diodo tiene polarización inversa por la tensión positiva V_O, el lazo de realimentación está abierto y C se descarga a través de R_L. Haciendo $CR_L \gg T_1$, la caída en V_O (tensión de rizado) es pequeña. Durante este intervalo la tensión de entrada lo es a través de L y la inductancia i_L aumenta en $di_L = V_{in}\, dt/L = V_{in}T_1/L$.

Consideremos ahora el intervalo T_2 durante el que el interruptor está abierto. Puesto que la corriente en una inductancia no puede cambiar instantáneamente, $i_L(T_1 -) = i_L(T_1 +)$ y por tanto el diodo pasa a conducción e i_L pasa a través del diodo hacia C. En estado estable la tensión a través de C debe ser la misma al final del periodo $T = T_1 + T_2$ que la que era al principio $t = 0$. Análogamente la corriente debe menguar ($di_L/dt < 0$) durante T_2 en la cuantía $V_{in}\, T_1/L$ que aumentó durante T_1. Despreciando la tensión en el diodo de la Fig. 17-20 se deduce que v_O (tensión de salida instantánea) viene dada por

$$v_o = V_{in} - L\, di/dt > V_{in}$$

porque di_L/dt es negativa. Esta argumentación demuestra que en esta configuración la salida V_O supera a la entrada. Incidentalmente la acción de interruptor se obtiene empleando el par Darlington $Q1$-$Q2$ excitado por $Q3$ en forma similar a la indicada en la Fig. 17-19*b*.

Tensiones de salida negativas

Para obtener un suministro negativo a partir de una tensión continua se utiliza, para los componentes de potencia la configuración de la Fig. 17-21. Supondremos que $V_O < 0$ y seguidamente justificaremos esta suposición. El argumento es semejante al empleado en el párrafo anterior. Durante el intervalo T_1 cuando el interruptor está cerrado, el diodo está en corte porque la tensión del cátodo es $+V_{in}$, y la del ánodo es negativa. El condensador descarga ligeramente a través de la carga y la corriente de la inductancia aumenta

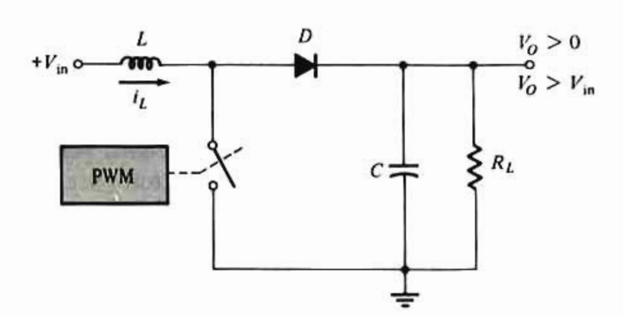


Figura 17-20. La salida es positiva y mayor que la entrada con esta disposición de los componentes de potencia en un regulador de conmutación

en $V_{in}\, T_1/L$. En el momento en que se abre el interruptor i_L no puede cambiar y el diodo se ve obligado a conducir de forma que i_L circula por el lazo formado por L, C y D. Puesto que i_L entra en la placa inferior de C, ésta se carga positivamente y la tensión de salida es negativa. Otra prueba de que $V_O < 0$ es que i_L debe disminuir durante el intervalo T_2 lo mismo que creció durante T_1 de forma que $di_L/dt < 0$ y por tanto $v_O \approx L\, di_L/dt$ es negativa. No existen restricciones en cuanto a la magnitud de V_O; puede ser mayor o menor que V_{in}. Su valor viene determinado por el lazo de gobierno de la Fig. 17-18. Si V_O es negativo debe emplearse un desplazamiento de nivel para que la tensión efectiva de realimentación sea positiva. Esta configuración se indica en el Prob. 17-22.

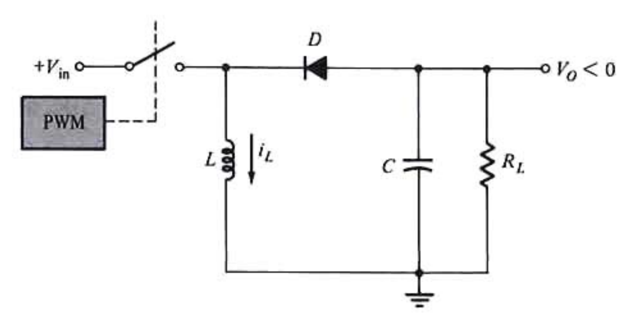


Figura 17-21. En un regulador de conmutación esta topología dará una tensión de salida positiva.

Convertidor continua-continua a contrafase acoplado por transformador

Esta configuración de regulador de conmutación es de la mayor flexibilidad porque la salida V_O puede ser mayor o menor que la entrada en continua V_{in}, y el signo de V_O puede ser el mismo o el opuesto al de V_{in}. La topología de los componentes de potencia puede verse en la Fig. 17-22. Emplea un transformador con núcleo de hierro, con toma central en el primario ($v_{P1} = v_{P2}$) y en el secundario ($v_{S1} = v_{S2}$). El número de espiras en el secundario es n veces el del primario, de forma que $v_{S1} = nv_{p1}$ y $v_{S2} = n\,v_{p2}$. Si $n > 1$ se puede tener $V_O > V_{in}$ mientras que con $n \leq 1$, $V_{in} \gg V_O$.

Los dos interruptores *SW*1 y *SW*2 están gobernados por las ondas v_{A1} y v_{A2} que se obtienen de la salida v_A del modulador de ancho de impulso (PWM) (como se detalla en la Fig. 17-24). Las ondas v_A, v_{A1} y v_{A2} están representadas en las Figs. 17- 23*a b* y *c* respectivamente. La onda v_A procede del PWM del bloque sombreado de la Fig. 17-18. Obsérvese que a *SW*1 y *SW*2 los cierra el mismo ciclo de servicio, pero cada uno actúa sólo una vez cada dos periodos de la onda v_A o dicho de otra forma, cada interruptor actúa a frecuencia mitad que la del convertidor de la Fig. 17-18. El interruptor *SW*1 (o *SW*2) es un transistor cuya onda de base es v_A (o v_{A2}).

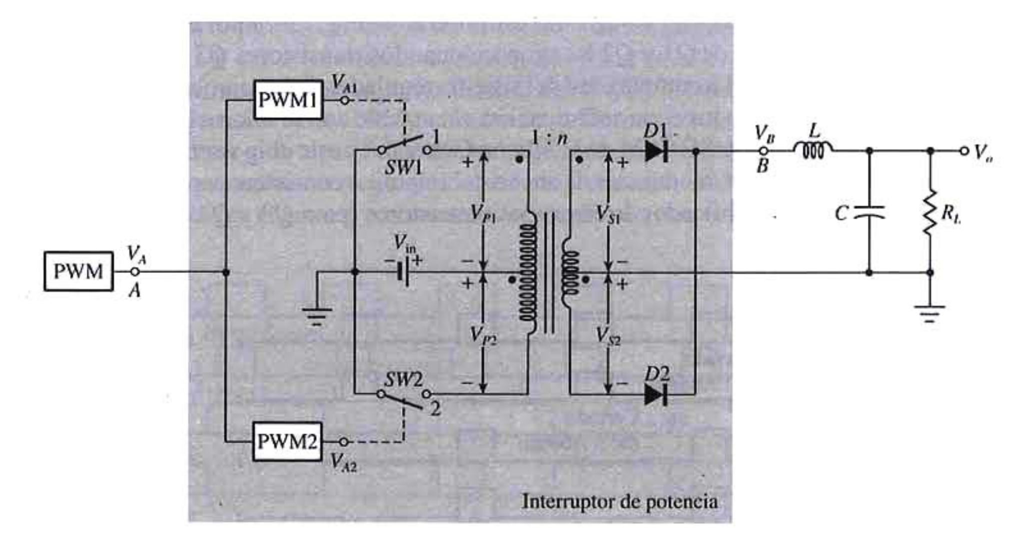


Figura 17-22. Regulador de conmutación en contrafase acoplado por transformador.

De la Fig. 17-22 se deduce que las tensiones primarias vienen dadas por

$$v_{P1} = v_{P2} = \begin{cases} -V_{in} & \text{si } SW1 \text{ cerrado y } SW2 \text{ abierto} \\ +V_{in} & \text{si } SW1 \text{ abierto y } SW2 \text{ cerrado} \\ 0 & \text{si } SW1 \text{ abierto y } SW2 \text{ abierto.} \end{cases} \tag{17-31}$$

Esta onda es la representada en la Fig. 17-23*d*. Las tensiones secundarias $v_{S1} = v_{S2}$ tienen esta misma forma pero n veces mayor. Mientras $v_{S1} = v_{S2}$ es positivo $D1$ conduce y $D2$ está cortado y $v_B = n\ V_{in}$. Si $V_{S1} = v_{S2}$ son negativas, $D2$ conduce y $D1$ está en corte, y nuevamente $v_B = nV_{in}$. Cuando $V_{S1} = v_{S2} = 0$ los dos diodos quedan conectados en paralelo desde el punto B a tierra y por tanto actúan como diodo de retorno como se ve en Fig. 17- 19 de forma que durante este intervalo $v_B = 0$. En consecuencia, la onda v_B es la indicada en la Fig. 17-23. Obsérvese que v_B es proporcional a v_A. Debido al filtro LC, la tensión de salida V_O es igual al valor medio de la onda v_B pudiendo ser mayor (o menor) que V_{in}, dependiendo de que n supere (o sea menor) que la unidad. Si se invierten los diodos, el signo de V_O es negativo. El bloque A y B de la Fig. 17-22 sustituye al bloque del interruptor de potencia del lazo de realimentación de la Fig. 17-19*b*. La salida regulada está dada por la Ec. (17-19).

Generación de las ondas de conmutación

Vamos a ver ahora la forma de obtener las dos ondas de conmutación v_{A1} y v_{A2} a partir de la del PWM v_A. El diagrama de bloques correspondiente está representado en la Fig. 17-24, y las ondas en la 17-25. Para engendrar la onda triangular necesaria para el modulador del ancho de impulso se emplea la onda v_{osc} del oscilador de onda cuadrada de la Fig. 17-25*a*. La onda v_A es la de la Fig. 17-25*b*. El ciclo de servicio δ de v_A es $T_1/(T_1 + T_2)$. El Flip-Flop se emplea como circuito divisor por 2 cuya entrada es v_{osc}, siendo las dos salidas complementarias v_Q y $v_{\bar{Q}}$ las de las Figs. 17-25*c* y *d* respectivamente. Las entradas a la puerta AND, $A1$ ($A2$) son v_Q ($v_{\bar{Q}}$) y $v_{A'}$, estando las salidas V_{A1} y v_{A2} representadas en las Figs. 17-25*b* y *f* respectivamente. Estas ondas son las empleadas en las Figs. 17- 23*b* y *c*.

El interruptor $SW1$ ($SW2$) de la Fig. 17-22 está sustituido en la Fig. 17-24 por el transistor de potencia $Q1$ ($Q2$). Las corrientes de base de $Q1$ y $Q2$ las proporcionan los transistores $Q3$ y $Q4$ excitados por las ondas v_{A1} y v_{A2} respectivamente. La complejidad del sistema regulador de la conmutación habría impedido su empleo si no fuera por el alto nivel de sofisticación alcanzable con la microelectrónica moderna. De ello es un ejemplo el encapsulado SG 1524 de la Silicon General: en este chip se encuentran los siguientes circuitos: regulador de referencia, modulador de ancho del impulso (consistente en el oscilador en dientes de sierra y el comparador), amplificador de error, dos transistores (para $Q3$ y $Q4$ de la Fig. 17-24*a* o $Q3$

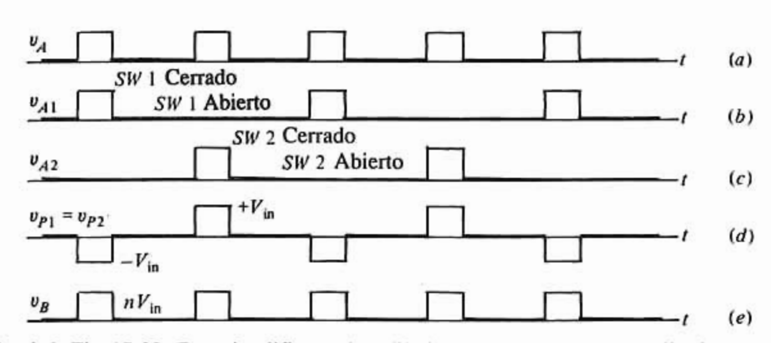


Figura 17-23. Ondas de la Fig. 17-22. (Para simplificar se han dibujado iguales todas las amplitudes.)

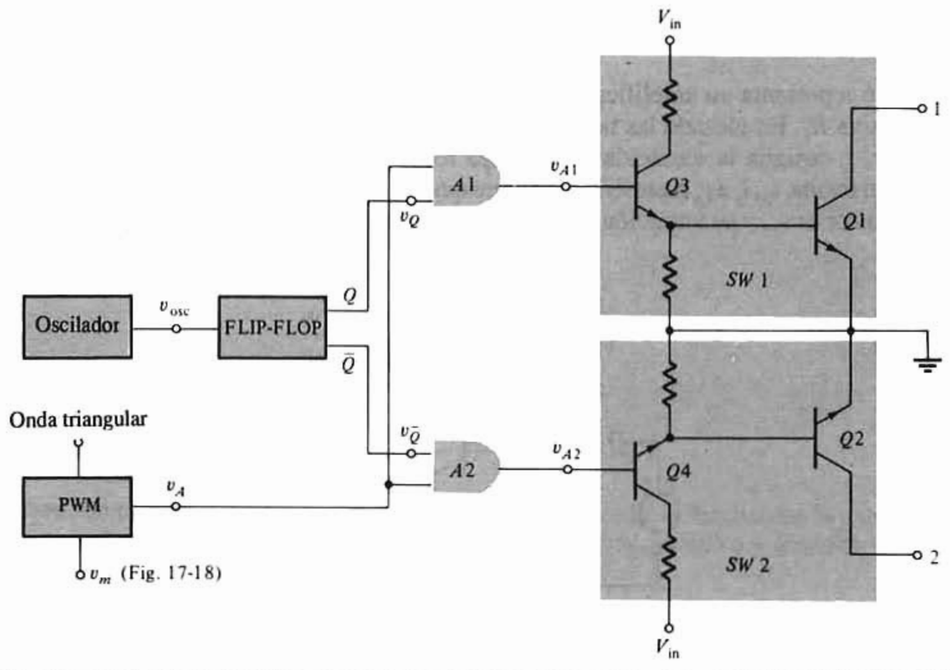


Figura 17-24. Diagrama de bloques del sistema empleado para generar las ondas v_{A1} y v_{A2} de la Fig. 17-23 a partir de la salida v_A del modulador de ancho del impulso. Están representados también los transistores Q1 y Q2 de potencia del interruptor así como los Q3 y Q4 de excitación de las bases.

de la Fig. 17-19), biestable de gobierno y dos puertas AND (Fig. 17-24), así como elementos limitadores de corriente y contra paralizaciones. Las ondas en la Fig. 17-24 son las representadas en la Fig. 17-25.

El SG1524 se sitúa en el lazo de realimentación de la Fig. 17-18 para formar un regulador de conmutación añadiendo las resistencias de realimentación R_1 y R_2 y los componentes discretos del interruptor de potencia de la Fig. 17-19*b* o de la 17-22. Con una tensión $V_{in} = 28\ V$ se puede tener una salida regulada V_O de 5 *V* y 1 *A* en el sistema simple y 5*V* y 5 *A* en el de contrafase. Con $L \approx 1$ mH y $C \approx 1000\ \mu F$ como componentes del filtro se puede alcanzar con el SG1524 una regulación del 0,2% en la línea y carga, con una variación máxima del 1%. El circuito de gobierno trabaja con una tensión de referencia de 5 *V*, toma menos de 10mA y es capaz de funcionar por encima de los 100 kHz. (Las resistencias R_T y C_T fijan la frecuencia.) Los transistores de salida del chip admiten 100 mA y están protegidos contra cortocircuitos. Se estabiliza el lazo de realimentación añadiendo una red *RC* de retardo.

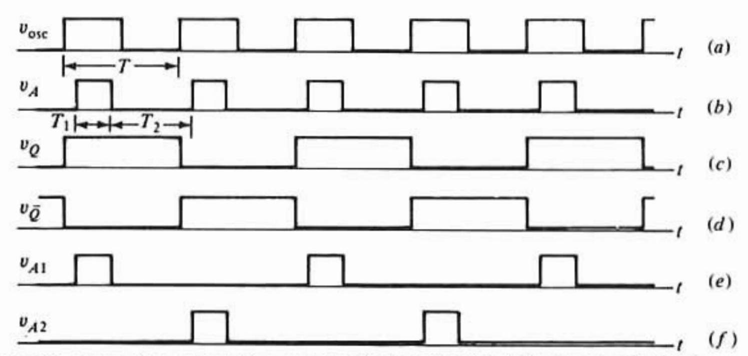


Figura 17-25. Ondas de la Fig. 17-24. (Para simplificar se han dibujado iguales todas las amplitudes.)

17-9. AMPLIFICADORES DE GRAN SEÑAL

La Fig. 17-26 representa un amplificador de transistor simple que suministra potencia a una carga puramente resistiva R_L. Empleando las notaciones de la Tabla 10-1, i_C representa la corriente instantánea total del colector, i_c designa la variación instantánea respecto al valor de reposo I_C de la corriente de colector. De igual forma, i_B, i_b e I_B representan las correspondientes corrientes de base. La tensión instantánea total colector-emisor es v_C, y su variación instantánea respecto al valor de reposo V_C se representa por v_C.

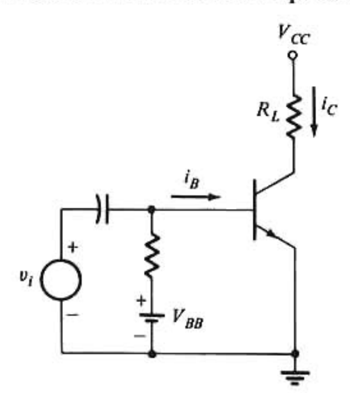


Figura 17-26. Etapa de un solo transistor discreto.

Supongamos que las características estáticas de salida son equidistantes entre sí para incrementos iguales de la corriente de entrada de base i_b como indica la Fig. 17-27. Si la señal de entrada i_b es senoidal, las tensiones y corrientes de salida serán también senoidales, como puede verse en la misma figura. En estas condiciones la distorsión no lineal es despreciable, y la potencia de salida es:

$$P = V_c I_c = I_c^2 R_L \tag{17-32}$$

siendo V_c e I_c los valores eficaces de la tensión e intensidad de salida v_c e i_c respectivamente, y R_L la resistencia de carga. Los valores numéricos de V_c e I_c se pueden determinar gráficamente en función de los valores máximos y mínimos de la tensión y de la corriente como se indica en la Fig 17- 27. Si I_m (V_m) representa el pico de la corriente (tensión) senoidal, tendremos

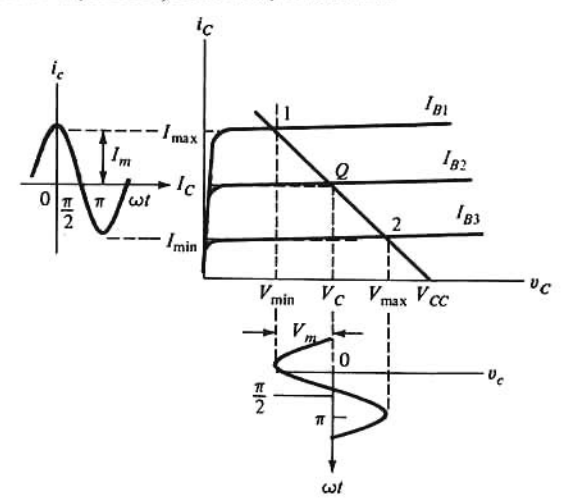


Figura 17-27. Características de salida y ondas de corriente y de tensión de la Fig. 17-26. Se supone una corriente de excitación senoidal.

$$I_c = \frac{I_m}{\sqrt{2}} = \frac{I_{max} - I_{min}}{2\sqrt{2}} \tag{17-33}$$

y

$$V_c = \frac{V_m}{\sqrt{2}} = \frac{V_{max} - V_{min}}{2\sqrt{2}} \tag{17-34}$$

de forma que la potencia será

$$P = \frac{V_m I_m}{2} = \frac{I_m^2 R_L}{2} = \frac{V_m^2}{2R_L} \tag{17-35}$$

que puede escribirse también en la forma

$$P = \frac{(V_{max} - V_{min})(I_{max} - I_{min})}{8} \tag{17-36}$$

Esta ecuación permite calcular fácilmente la potencia de salida. Todo cuanto hay que hacer es situar la recta de carga en las características tensión-intensidad del dispositivo y leer los valores V_{max}, V_{min}, I_{max} e I_{min}.

17-10. DISTORSIÓN ARMÓNICA

En la sección precedente se han idealizado los elementos activos considerándolos perfectamente lineales. Sin embargo, generalmente la característica de transferencia dinámica (i_c en función de i_b) no es una línea recta. Esta no linealidad es debida a que las características de salida estáticas no son rectas equidistantes para incrementos iguales en la excitación de entrada. Haciendo referencia a la Fig. 10-3 vemos que la onda de tensión de salida difiere de la señal de entrada. A una distorsión de este tipo se le denomina *distorsión no lineal o de amplitud.*

El lector puede preguntarse por qué en los anteriores capítulos relativos a la amplificación no ha sido tratado este tema de la distorsión. La respuesta hay que buscarla en la magnitud de la señal. Lo tratado en el Cap. 10 se apoya en que cualquier sistema, independientemente de la característica de transferencia, puede ser tratado analíticamente en forma lineal para pequeñas variaciones alrededor del punto de reposo, caso que no se da en los amplificadores de potencia. Por su propia naturaleza un amplificador de potencia debe dar una señal de salida grande, y por tanto debe tenerse en cuenta la curva de transferencia completa, sea o no sea lineal.

Distorsión de segundo armónico

Para estudiar la magnitud de esta distorsión supondremos que la curva dinámica puede ser representada, respecto al punto de reposo Q, por una parábola en lugar de por una recta. Es decir, que en lugar de relacionar la corriente alterna de salida i_c con la excitación de entrada i_b por medio de la ecuación $i_c = Gi_b$ resultante en un circuito lineal, admitiremos que la relación entre i_c e i_b se aproxima más a la expresión

$$i_c = G_1 i_b + G_2 i_b^2 \tag{17-37}$$

siendo las G unas constantes. Estos dos términos son el principio del desarrollo en serie de i_c como función de i_b.

Si la onda de entrada es senoidal de la forma

$$i_b = I_{bm} \cos \omega t \tag{17-38}$$

la sustitución de esta expresión en la Ec. (17-37) la convierte en

$$i_c = G_1 I_{bm} \cos wt + G_2 I^2_{bm} \cos^2 \omega t$$

siendo $\cos^2 \omega t = 1/2 + 1/2 \cos 2\omega t$, la expresión de la corriente instantánea total i_c tomará la forma

$$i_C = I_C + i_c = I_C + B_o + B_1 \cos \omega t + B_2 \cos 2\omega t \tag{17-39}$$

siendo las B unas constantes que pueden calcularse en función de las G. El significado físico de esta ecuación es evidente: muestra que la aplicación de una señal senoidal a una característica dinámica parabólica, dará una corriente de salida que contiene, además de un término de la misma frecuencia que la entrada, un segundo armónico y una corriente constante. Este término constante B_o se suma al valor en continua original I_C dando una componente de corriente total en continua $I_C + B_o$. *Una distorsión parabólica no lineal introduce en la salida una componente de frecuencia doble que la de la entrada senoidal de excitación.* Esto ya se vio en la Sec. 12-3 al tratar de los efectos de la realimentación negativa sobre la distorsión. Además, *puesto que una señal de entrada senoidal cambia el valor medio de la corriente de salida, tiene lugar una rectificación.*

Las amplitudes B_o, B_1 y B_2 para una resistencia de carga dada, se determinan en las características estáticas. Vemos en la Ec. 17-27 que:

$$\begin{aligned} &\text{Cuando } \omega t = 0: && i_C = I_{max} \\ &\text{Cuando } \omega t = \pi/2: && i_C = I_C \\ &\text{Cuando } \omega t = \pi: && i_C = I_{min} \end{aligned} \tag{17-40}$$

y sustituyendo estos valores en la Ec. (17-39) resulta

$$\begin{aligned} I_{max} &= I_C + B_o + B_1 + B_2 \\ I_C &= I_C + B_o - B_2 \\ I_{min} &= I_C + B_o - B_1 + B_2 \end{aligned} \tag{17-41}$$

Este sistema de tres ecuaciones permite determinar las tres incógnitas B_o, B_1 y B_2. De la segunda de estas ecuaciones se deduce:

$$B_o = B_2 \tag{17-42}$$

Restando la tercera de la primera

$$B_1 = \frac{I_{max} - I_{min}}{2} \tag{17-43}$$

Este valor de B_1 permite calcular B_2 ya sea por la primera o por la última de las Ecs. (17-41). Así tendremos

$$B_2 = B_0 = \frac{I_{max} + I_{min} - 2I_C}{4} \tag{17-44}$$

La distorsión de segundo armónico se define:

$$D_2 \equiv \frac{|B_2|}{|B_1|} \tag{17-45}$$

(Para hallar la distorsión porcentual de segundo armónico debe multiplicarse D_2 por cien.) Los valores de I_{max}, I_{min} e I_C que figuran en estas ecuaciones se deducen directamente de las curvas características del transistor y de la recta de carga.

Si la característica dinámica tiene forma parabólica [Ec. (17-37)] y si en la entrada figuran dos frecuencias ω_1 y ω_2, la salida estará formada por una componente continua, y otras componentes de frecuencias ω_1, ω_2, $2\omega_1$, $2\omega_2$, $(\omega_1 + \omega_2)$ y $(\omega_1 - \omega_2)$ (Probl. 17-22). La suma y la diferencia de frecuencias se denominan de *intermodulación o de combinación*.

Generación de armónicos de orden superior

En el análisis del apartado anterior se han supuesto unas características dinámicas parabólicas. Esta aproximación suele ser suficiente para amplificadores cuya variación sea pequeña. Para amplificadores de potencia con variaciones de entrada grande, será necesario expresar la curva de transferencia dinámica al punto Q por una serie de la forma

$$i_c = G_1 i_b + G_2 i_b^2 + G_3 i_b^3 + G_4 i_b^4 + \ldots \tag{17-46}$$

Si suponemos que la onda de entrada es una función cosenoidal simple del tiempo, de la forma de la Ec. (17-38) la corriente de salida será:

$$i_C = I_C + B_O + B_1 \cos \omega t + B_2 \cos 2\omega t + B_3 \cos 3\omega t + \ldots \tag{17-47}$$

Esta ecuación resulta de introducir la Ec. (17-38) en la Ec. (17-46) y de hacer las transformaciones trigonométricas apropiadas.

Obsérvese que ahora figuran armónicos de tercer orden y superiores. Los coeficientes de Fourier B_0, B_1, B_2,... pueden obtenerse por extensión del proceder anterior, aplicado a la Ec. (17-47) en lugar de la (17-39).

La distorsión armónica es

$$D_2 \equiv \frac{|B_2|}{|B_1|} \qquad D_3 \equiv \frac{|B_3|}{|B_1|} \qquad D_4 \equiv \frac{|B_4|}{|B_1|} \tag{17-48}$$

representando D_s ($s = 2,3,4\ldots$) la distorsión del s-ésimo armónico.

Potencia de salida

Si la distorsión no es despreciable, la potencia librada a la frecuencia fundamental es:

$$P_1 = \frac{B_1^2 R_L}{2} \tag{17-49}$$

Sin embargo, la potencia total de salida es

$$P = (B_1^2 + B_2^2 + B_3^2 + \cdots)\frac{R_L}{2} = (1 + D_2^2 + D_3^2 + \cdots)P_1$$

o

$$P = (1 + D^2)P_1 \tag{17-50}$$

donde la distorsión armónica total, o *factor de distorsión* se define como

$$D \equiv \sqrt{D_2^2 + D_3^2 + D_4^2 + \cdots} \tag{17-51}$$

Si la distorsión total es el 10% de la fundamental, entonces

$$P = [1 + (0.1)^2]\, P_1 = 1.01\, P_1$$

La potencia total de salida es tan sólo un 1% mayor que la potencia fundamental, cuando la distorsión es del 10%. Por tanto, el emplear para el cálculo de la potencia de salida únicamente el término fundamental P_1, el error que se comete es bien pequeño.

Hay que observar que la cuantía total de distorsión no es necesariamente indicativa de la molestia que causa al escuchar música. Normalmente, la misma cuantía de distorsión es tanto más molesta cuanto mayor es la frecuencia del armónico.

17-11. CLASIFICACIÓN DE LOS AMPLIFICADORES

En todos los diseños y análisis de amplificadores vistos hasta ahora se ha admitidio tácitamente que el transistor está polarizado hacia el centro de su campo de trabajo, como indica la Fig. 17-27 (obsérvese la situación del punto Q en el plano i_C - v_C). Este no es siempre el caso en los circuitos de potencia, habiéndose establecido una clasificación (A, B, AB y C) para describir el funcionamiento del amplificador, dependiendo del tipo de polarización empleado. En las próximas secciones veremos el significado de esta clasificación.

Clase A

Un amplificador de clase A es aquel en que el punto de trabajo y la señal de entrada son tales, que la corriente en el circuito de salida (en el electrodo de colector o de drenaje) circula en todo momento. El amplificador de clase A trabaja esencialmente sobre una porción lineal de su característica.

Clase B

En un amplificador de clase B su punto de trabajo está situado hacia un extremo de su característica de forma que su potencia de reposo es muy pequeña, y en consecuencia, la corriente o la tensión de reposo es aproximadamente nula. Si la señal de excitación es senoidal, sólo habrá amplificación en un semi-ciclo. Por ejemplo, si la corriente de salida en reposo es nula, será nula también durante medio ciclo.

Clase AB

Un amplificador de clase AB trabaja entre los extremos citados para las clases A y B. Por tanto, la señal de salida será cero durante un lapso inferior a medio período de la señal de entrada senoidal.

Clase C

En un amplificador clase C el punto de trabajo se elige de forma que la corriente (o tensión) de salida sea nula durante más de medio ciclo de una señal de entrada senoidal.

17-12. RENDIMIENTO DE UN AMPLIFICADOR CLASE A

Si el diseño de un amplificador de potencia viene condicionado ya sea por una fuente de potencia limitada (como es en el caso de los satélites) o por la máxima disipación tolerada, como en la Sec. 17-14 debe ponerse toda atención en el rendimiento de la conversión de potencia.

Rendimiento de la conversión

Una valoración de la idoneidad de un dispositivo activo para convertir la potencia en continua de la fuente en una potencia (señal) en alterna cedida a la carga, se denomina *rendimiento de la conversión o rendimiento teórico*. En un amplificador de transistores se denomina también *rendimiento del circuito de colector* y se representa por η. Por definición, el rendimiento en tanto por ciento es

$$\eta \equiv \frac{\text{Potencia entregada a la carga}}{\text{Potencia (en cc) entregada al circuito de salida}} \times 100\% \qquad (17\text{-}52)$$

En general

$$\eta = \frac{\frac{1}{2}B_1^2 R_L}{V_{CC}(I_C + B_0)} \times 100\% \qquad (17\text{-}53)$$

Si los componentes de la distorsión son despreciables, tendremos

$$\eta = \frac{\frac{1}{2}V_m I_m}{V_{CC} I_C} \times 100 = 50 \frac{V_m I_m}{V_{CC} I_C} \quad \% \qquad (17\text{-}54)$$

donde $V_m(I_m)$ representa la tensión (intensidad) de pico. El rendimiento del circuito de colector difiere del rendimiento global porque en el denominador de la Ec. (17-53) no está incluida la potencia tomada por la base.

Según las definiciones de la Sec. 17-11 el amplificador de la Sec. 17-9 opera en clase A. Examinaremos cualitativamente su rendimiento en dos casos límites.

1. *Pequeña señal*. Con pequeña señal de salida, la potencia de salida es consecuentemente pequeña. No obstante, la potencia consumida por la polarización en clase A se mantiene en $V_{CC} I_C$ que puede tener un valor apreciable, con lo que el rendimiento de la conversión resulta extremadamente bajo. Obsérvese también que la carga debe disipar una buena parte de la potencia en continua $V_{CC}I_C$ aun con excitación nula.

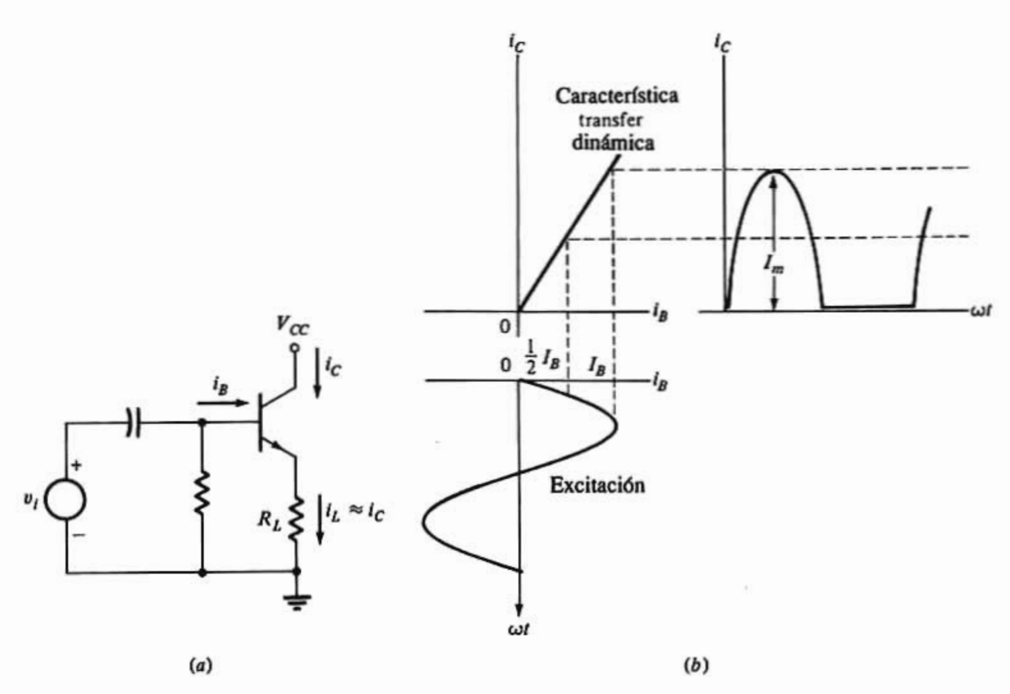


Figura 17-28. (*a*) Seguidor de emisor con excitación nula trabajando como amplificador de clase B. (*b*) Construcción gráfica para determinar la onda de corriente de salida.

2. *Señal máxima*. Eligiendo cuidadosamente el punto de polarización, el transistor puede llevarse desde saturación a corte. Puede demostrarse (Probl. 17-25) que en estas condiciones $I_m = I_C$ y $V_m = 0{,}5V_{CC}$ resultando $\eta = 25\%$. Por cada watio de potencia de salida, se consumen internamente 3W. Evidentemente desde el punto de vista del rendimiento, el operador en clase A no resulta muy adecuado para amplificación de potencia.

17-13. AMPLIFICADORES EN CONTRAFASE (PUSH-PULL) CLASE B

Si en la Fig. 17-26, $V_{BB} = 0$ la corriente de reposo será $I_C = 0$. Por las definiciones dadas en la Sec. 17-11 este circuito con polarización nula es un amplificador de clase B, y análogamente el seguidor de emisor de la Fig. 17-28*a* trabaja en clase B. Supongamos que las características de salida del transistor estén igualmente espaciadas para intervalos iguales de excitación. En este transistor ideal la curva de transferencia dinámica (i_C en función de i_B) es una recta que pasa por el origen (Fig. 17-28*b*) indicándose también la construcción gráfica para trazar la forma de onda de la corriente de colector. Obsérvese que en este circuito de clase B, la corriente de carga $i_L \approx i_C$ es senoidal durante la mitad de cada período y es cero durante el segundo semi-ciclo. En otras palabras, este circuito actúa como rectificador más bien que como amplificador de potencia.

Esta dificultad se solventa empleando la etapa complementaria de salida, seguidora de emisor, de la Fig. 14-13, repetida en la Fig. 17-29. A esta configuración se le denomina *amplificador en contrafase (push-pull) de clase B*.

Con valores positivos v_i de la senoide de entrada, $Q1$ conduce y $Q2$ está en corte ($i_2 = 0$), de forma que i_1 es la semionda positiva de la Fig. 17- 28*b*. Con valores negativos de v_i, $Q1$ está en corte ($i_1 = 0$) y $Q2$ conduce, resultando para i_2 una semisenoide positiva desfasada 180° respecto a la representada en la Fig.

17-28*b*. Como la corriente de carga es igual a la diferencia entre las corrientes de emisor de los dos transistores:

$$i_L = i_1 - i_2 \tag{17-55}$$

En consecuencia, con la característica de transferencia idealizada de la Fig. 17-28*b*, la corriente de carga es una senoide perfecta.

Las ventajas del funcionamiento en clase B respecto al de clase A son las siguientes: se puede obtener mayor potencia de salida, el rendimiento es mayor, y la pérdida de potencia en ausencia de señal es despreciable. Por estos motivos, en sistemas en los que la potencia de alimentación es limitada, como en el caso de funcionar con baterías o con células solares, la potencia de salida normalmente se suministra a partir de circuitos de transistores en contrafase clase B. Los inconvenientes son: la distorsión debida a los armónicos puede ser mayor, y la fuente de tensión debe tener buena regulación. En muchos amplificadores integrados modernos, el circuito de salida de potencia es la etapa complementaria seguidora de emisor en contrafase.

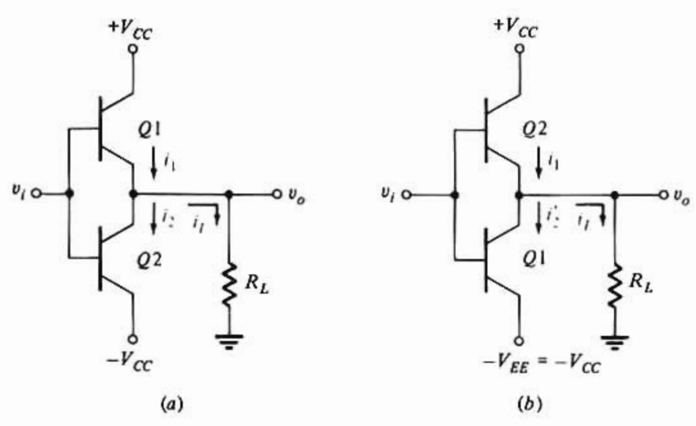


Figura 17-29. (*a*) Seguidor de emisor complementario, y (*b*) Amplificador en contrafase complementario en emisor común.

Rendimiento

En la Fig. 17-29 la tensión de pico de la carga es $V_m = I_m R_L$, y la potencia de salida es

$$P = \frac{I_m V_m}{2} \tag{17-56}$$

La correspondiente corriente continua de colector en cada transistor bajo carga es el valor medio de la semisenoide de la Fig. 17-28*b*. Puesto que $I_{dc} = I_m/\pi$ en esta forma de onda, la potencia de entrada en continua procedente de la alimentación será

$$P_i = 2\,\frac{I_m V_{CC}}{\pi} \tag{17-57}$$

El factor 2 es debido a que en el sistema en contrafase se emplean dos transistores.

Hallando la relación entre las dos ecuaciones (17-56) y (17-57) se tiene, para el rendimiento del circuito de colector:

$$\eta \equiv \frac{P}{P_i} \times 100 = \frac{\pi}{4}\frac{V_m}{V_{CC}} \times 100\ \% \tag{17-58}$$

Si la caída a través de un transistor es pequeña frente a la tensión de alimentación, $V_m \approx V_{CC}$, y en estas condiciones la Ec. (17-58) nos muestra que el máximo rendimiento posible de la conversión es $25\pi = 78{,}5\%$ para el sistema en clase B, frente al 25% de la clase A.

Este rendimiento elevado es debido al hecho de que en clase B no hay corriente si no hay excitación, mientras que en clase A hay consumo de potencia aun cuando no haya señal. Podemos observar también que en un amplificador de clase B la disipación en los colectores es nula en el estado de reposo, aumentando con la excitación, mientras que en el sistema clase A el calentamiento de los colectores es máximo con entrada cero y disminuye al aumentar ésta. Puesto que en la clase B la corriente directa aumenta con la señal, la fuente de alimentación requiere una buena regulación.

Disipación

La disipación P_C de colector (en ambos transistores) es la diferencia entre la potencia de entrada al circuito de colector y la potencia suministrada a la carga. Como $I_m = V_m/R_L$,

$$P_C = P_i - P = \frac{2}{\pi}\frac{V_{CC}V_m}{R_L} - \frac{V_m^2}{2R_L} \tag{17-59}$$

Esta ecuación demuestra que la disipación del colector es nula si no hay señal ($V_m = 0$), sube cuando V_m aumenta, y pasa por un máximo a $V_m = 2V_{CC}/\pi$. La disipación máxima es:

$$P_{C(\max)} = \frac{2V_{CC}^2}{\pi^2 R_L} \tag{17-60}$$

La potencia máxima que se puede entregar se obtiene para $V_m = V_{CC}$ o sea:

$$P_{\max} = \frac{V_{CC}^2}{2R_L} \tag{17-61}$$

Por lo tanto,

$$P_{C(\max)} = \frac{4}{\pi^2} P_{\max} \approx 0.4 P_{\max} \tag{17-62}$$

Si, por ejemplo, deseamos entregar 10W con un amplificador en contrafase clase B, entonces $P_{C(max)} = 4\text{W}$, o sea que debemos seleccionar los transistores para que tengan una disipación de los colectores de aproximadamente 2W cada uno. En otras palabras, podemos obtener una salida de cinco veces la disipación de potencia de un solo transistor. Por otra parte, si colocamos dos transistores en paralelo trabajando en clase A para tener 10W de salida, la disipación de potencia de cada colector debe ser por lo menos de 20W (suponiendo un 25% de rendimiento). Esta premisa se basa en que $P_i = P/\eta = 20/0{,}5 = 40\text{W}$. Esta potencia de entrada debe poderse disipar totalmente por los dos colectores en ausencia de señal, o sea $P_C = 20\text{W}$ por transistor. Por lo tanto, cuando no hay excitación se pierden 20W en cada transistor, mientras que en clase B no hay disipación (en ausencia de señal). Este ejemplo indica superioridad del sistema en contrafase sobre el paralelo.

Distorsión

Las corrientes del sistema en contrafase respecto a la distorsión son únicas. Consideremos el comportamiento de la Fig. 17-29 cuando la característica de transferencia es no lineal. Sea *Q*1 o *Q*2 estará conduciendo, dependiendo de la polaridad de la señal de entrada. Si los elementos son iguales, i_2 e i_1, serán

idénticos salvo que están desfasados 180º entre sí. La corriente $Q1$ viene dada por la Ec. (17-47) que repetimos aquí por comodidad

$$i_1 = I_C + B_0 + B_1 \cos \omega t + B_2 \cos 2\omega t + B_3 \cos 3\omega t ... \tag{17-63}$$

La corriente de salida del transistor $Q2$ se halla reemplazando en la expresión de i_1, ωt por $(\omega t + \pi)$ o sea

$$i_2(\omega t) = i_1 (\omega t + \pi) \tag{17-64}$$

de donde

$$i_2 = I_C + B_0 + B_1 \cos (\omega t + \pi) + B_2 \cos \cos 2(\omega t + \pi) + ...$$

o

$$i_2 = I_C + B_0 - B_1 \cos \omega t + B_2 \cos 2\omega t - B_3 \cos 3\omega t + ... \tag{17-65}$$

Según la Ec. (17-55)

$$i_L = i_1 - i_2 = 2(B_1 \cos \omega t + B_3 \cos 3\omega t + ...) \tag{17-66}$$

Esta expresión muestra que el circuito en contrafase elimina todos los armónicos pares de la salida, quedando el tercer armónico como causa principal de distorsión. A esta conclusión hemos llegado suponiendo que los dos transistores sean idénticos: si sus características difieren sensiblemente, debe esperarse que aparezcan armónicos pares.

17-14. FUNCIONAMIENTO EN CLASE AB

Además de la distorsión introducida por el empleo de transistores no idénticos y por la falta de linealidad de las características de colector, existe también distorsión causada por la falta de linealidad de la característica de entrada. Como se puntualizó en la Sec. 3-3 y Fig. 3-9, no circula una corriente apreciable de base si la unión de emisor no está polarizada en directo a la tensión umbral V_γ, que es de 0,5 V para el silicio. En estas circunstancias, una excitación con tensión de base senoidal no dará una corriente de salida senoidal. No obstante lo mencionado en la Sec. 14-5 las consecuencias de una característica de entrada no lineal merecen un mayor estudio.

La distorsión causada por la no linealidad de la característica es la que se indica en la Fig.17-30. Se dibuja la curva i_B - v_B para cada transistor, y la construcción es empleada para obtener la corriente de salida (suponiéndola proporcional a la corriente de base). En la región de corrientes pequeñas (para $v_B < V_\gamma$), la salida es mucho menor de lo que sería si la respuesta fuese lineal, efecto que se denomina *distorsión de cruce*. Esta distorsión no existiría si la excitación se obtuviera de una verdadera fuente de corriente; en otras palabras, si la corriente de base (en lugar de la tensión de base) fuera senoidal.

Para minimizar la distorsión de cruce, los transistores deben trabajar en clase AB, en la que, aun con excitación nula, circula una pequeña corriente de reposo. En el circuito de la Fig.14-14 la diferencia de potencial entre las bases de los dos transistores se ajusta aproximadamente a $2V_\gamma$. Funcionando en clase AB, hay menos distorsión que en clase B, pero el precio que se ha de pagar para ello es un menor rendimiento y un mayor consumo de potencia. El cálculo de los componentes de la distorsión en un amplificador clase AB o A en contrafase, debidos a la no linealidad de las características del colector, necesita la construcción de las curvas de salida compuestas del par de transistores.

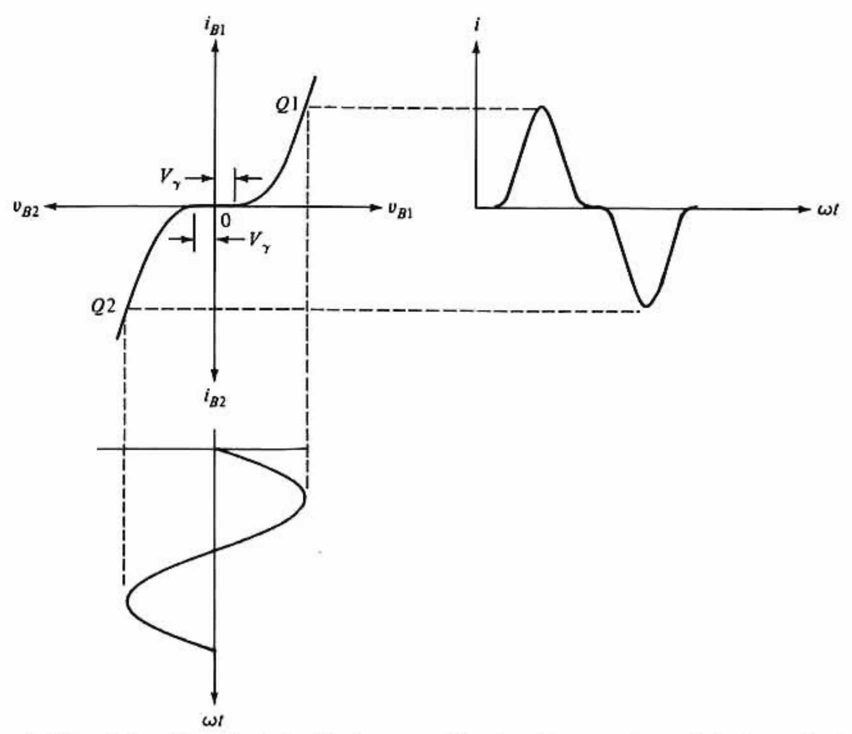


Figura 17-30. Característica de transferencia de tensión de un seguidor de emisor complementario. La corriente de salida i está distorsionada en relación a la señal de entrada v_B porque ninguno de los transistores de la Fig. 17-29*a* conduce cuando $-V_\gamma < v_i < V_\gamma$

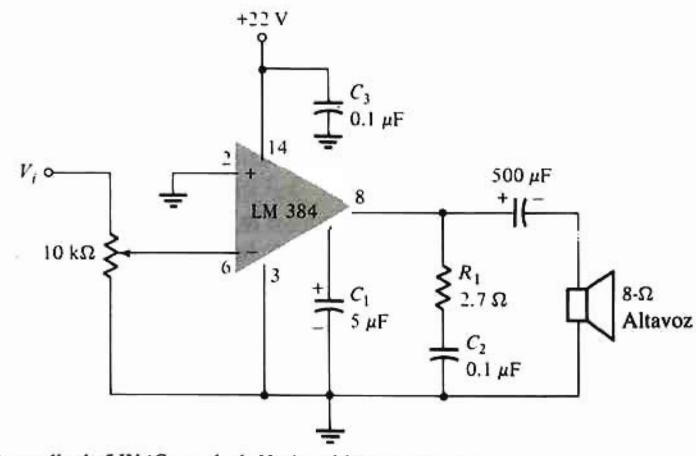


Figura 17-31. Amplificador audio de 5 W (*Cortesía de National Semiconductor*).

17-15. AMPLIFICADORES DE POTENCIA INTEGRADOS

Existe disponible una gran variedad de amplificadores de potencia integrados procedentes de distintos fabricantes (Apéndice B-1). Un Amp-Op industrial normal, tal como el 741 (de coste inferior a 50 centavos) puede suministrar una potencia de alrededor de 100 mW sin componentes adicionales exteriores. A continuación se reseñan dos amplificadores de audio integrados, de 4 y 20 W respectivamente.

El amplificador LM384 representado en la Fig. 17-31 está diseñado para una amplificación de 34 dB con señales de 300 kHz, dando una potencia de 5W a una carga acoplada por capacidad. Los valores indicados de los componentes dan una distorsión total por armónicos menor del 1% a 1kHz y con potencia de salida de 5W hacia una carga de 8 Ω. Cuando se emplea este dispositivo debe tenerse cuidado en el conexionado del circuito para evitar acoplamientos indebidos o realimentaciones de la salida a la entrada, lo que podría provocar oscilaciones. Para evitarlas, el cable de entrada debe ser apantallado, y la red de compensación R_1C_2 conectarse entre el terminal de salida y tierra. El condensador C_3 se emplea para anular los efectos de la inductancia de los conductores de alimentación, mientras que el C_1 actúa como condensador de paso de baja frecuencia.

El amplificador de 20W de la Fig.17-32 constituye otro ejemplo del estado de la tecnología de amplificadores de potencia lineales monolíticos. Conectado como está indicado y con entrada de 260 mV, el SGS TDA2020 proporciona 20W a 4Ω con una distorsión de menos del 1% y con un rendimiento del 57%. La respuesta en frecuencia (- 3 dB) va de 10 Hz hasta 160kHz para una ganancia de 30 dB. Además el sistema tiene protección contra las sobrecargas de corriente y disparo térmico por si se sobrepasa la máxima disipación de potencia recomendada.

Los condensadores C_1 al C_4 son condensadores de desacoplo. Las redes R_3C_5 y R_1C_6 son de compensación de retardo, de salida y entrada respectivamente, y C_7 proporciona una nueva compensación. Siendo el nivel de salida en continua $(V^+ + V^-)/2$, la división de la fuente sitúa la salida en continua a 0V y puede acoplarse directamente la carga sin necesidad de un condensador de acoplamiento bastante grande. Los diodos $D1$ y $D2$ limitan (y por tanto protegen) la salida frente a las variaciones inductivas superiores a las tensiones de suministro.

17-16. CONSIDERACIONES TÉRMICAS

El amplificador de potencia de la Fig. 17-32 suscita una importante cuestión. Con 20W de salida y 57% de rendimiento, la potencia de entrada es de 20/0,57 = 35,1 W. Por tanto, deben disiparse por los transistores 15,1W. Veremos seguidamente cómo se elimina este calor, y cuáles factores deben tenerse en cuenta para mantener un funcionamiento correcto.

Temperatura máxima de la unión

Todos los elementos semiconductores tienen fijada una temperatura máxima admisible en su unión $T_{j(max)}$, que oscila normalmente entre 125 y 200°C para el silicio. Por encima de esta temperatura se producirán fallos irreversibles.

Resistencia térmica

El calor generado en el interior del dispositivo se desplaza desde su origen (la unión de colector) hacia la envoltura, creándose un gradiente de temperatura. En consecuencia, existirá una diferencia de temperatura fija ΔT_{JC} entre unión y envoltura, proporcional a la potencia disipada P_D. El factor de proporcionalidad representa la resistencia a la transmisión del calor, y se denomina *resistencia térmica* R_{th}, $R_{\theta JC}$. Los subíndices de θ denotan los dos puntos entre los cuales se toma la medición. Por tanto

$$T_J - T_C = \Delta T_{JC} = P_D\,\theta_{JC} \tag{17-67}$$

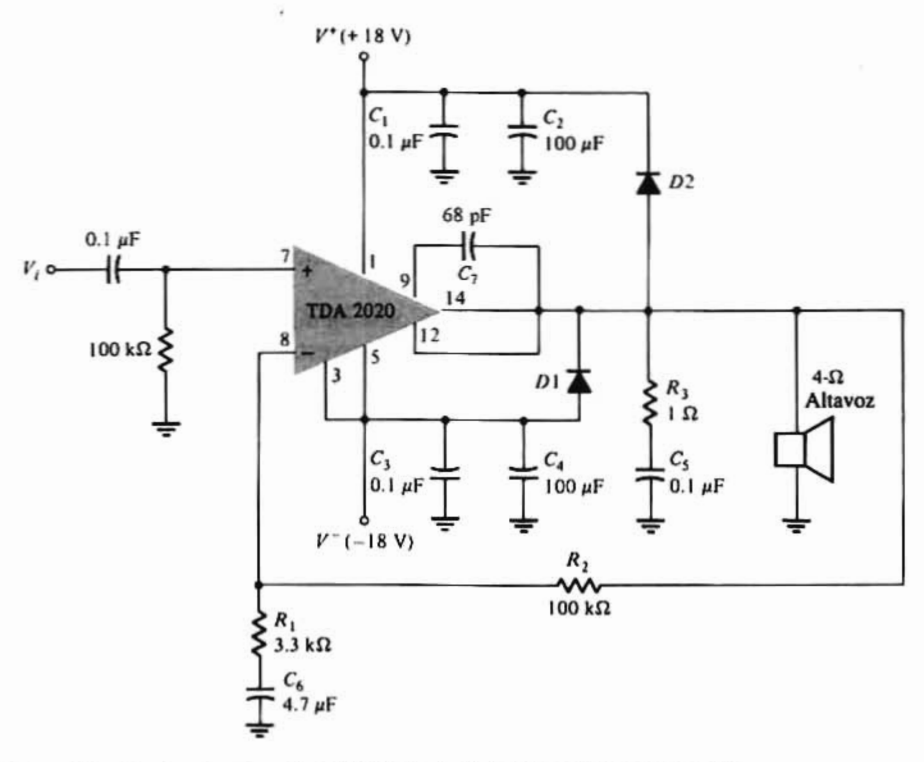


Figura 17-32. Amplificador de potencia audio de 20 W (*Cortesía de SGS/ATES Corporation*).

en donde P_D está en watios y θ en grados centígrados por watio. La analogía eléctrica es evidente: si P_D (o θ_{JC}) lo asimilamos a la intensidad I (o a la resistencia R), entonces ΔT_{JC} es análogo a la caída de tensión ΔV.

El valor de la resistencia térmica depende del tamaño del transistor, de la radiación o convección al medio ambiente, de la ventilación forzada (si la hay) y de la conexión térmica del elemento al chasis metálico o a un absorbedor de calor. Los valores típicos de distintos transistores varían desde 0,2°C/W en transistores de alta potencia con un sumidero de calor eficaz hasta 1000 °C/W en transistores pequeños al aire libre.

Curva de reducción de la disipación

Generalmente los fabricantes proporcionan curvas de disipación de potencia-temperatura, semejantes a la de la Fig. 17-33. Puede deducirse la temperatura máxima de la unión $T_{J(max)}$ observando que a 200°C no puede disiparse potencia alguna (0W). Una disipación nula de potencia supone que no haya gradiente de temperatura y por tanto la unión debe estar también a 200°C [Ec. (17-67)]. En el Apéndice B-8 se dan las especificaciones del transistor *npn* de silicio 2N5671. Este transistor es de potencia y corriente altas (140W, I_C = 30A, I_B = 10A) y de gran velocidad (tiempo de conmutación≈ 1 μseg).*

* Compárense los datos del transistor de potencia 2N5671 con los del transistor 2N2222 A de pequeña señal (Apéndice B-3).

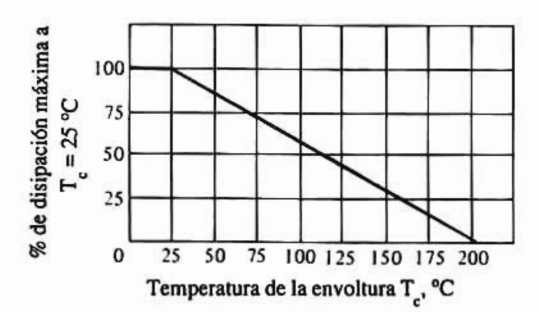


Figura 17-33. Curva de reducción de la disipación del transistor de potencia 2N5671. (*Cortesía de RCA Solid-State Division.*)

Acumulador de calor
R_{th} = 2 a 8° C/W
Contacto
(grasa de silicona)
R_{th} = 0.5°C/W
Separador
PC Tablilla
(*a*)

Acumulador de calor
Pieza de cobre
Separador
PC Tablilla
Chip
(*b*)

Figura 17-34. (*a*) Montaje del acumulador de calor del TDA 2020. Existen distintos acumuladores con resistencias térmicas comprendidas entre 2 y 8°C/W. (*b*) Sección transversal del sistema ya montado (Cortesía de SGS/ATES).

Puesto que la máxima ordenada de la Fig. 17-33 corresponde a $P_{D(max)} = 140W$, deduciremos de la Ec. (17-67) que $\theta_{JC} = (200 - 25)/140 = 1{,}25°$ C/W. La pendiente de la línea de la Fig. (17-33) es la inversa de la resistencia térmica y se denomina *factor de disipación de potencia* (1/1,25 = 0,8 W/°C). El valor de la resistencia térmica está inversamente relacionado con el área de la superficie de la envoltura. El 2N2222A que tiene una envoltura o cápsula mucho más pequeña que la del 2N5671 tiene $\theta_{JC} = 83°$ C/W.

Para disipar el calor de la caja hacia el ambiente en los transistores de potencia, se utiliza un acumulador de calor, que es una estructura metálica con una superficie de radiación relativamente grande, a la que va unida la caja del transistor. En la Fig. 17-34 podemos ver el sistema de montaje del chip TDA2020 de la Fig. 17-32.

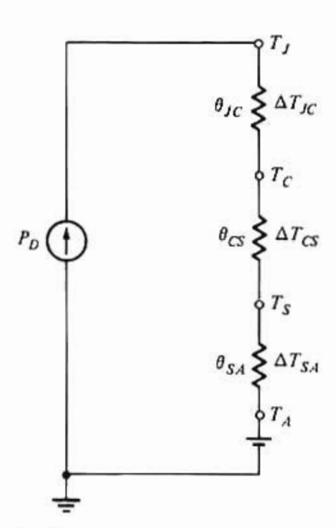


Figura 17-35. Analogía eléctrica del sistema térmico.

Ejemplo 17-1

En los comentarios anteriores hemos visto que el amplificador de 20 W, TDA2020 debe disipar 15,1 W de potencia interior. La temperatura ambiente es $T_A = 30°$ C. Si la temperatura máxima admisible en la unión es $T_{J(max)} = 150°$C y si $\theta_{JC} = 3°$ C/W, ¿cuál será la máxima resistencia térmica acumulador-ambiente, θ_{SA} que se puede tolerar?

Solución

Empleando la analogía eléctrica de la Ec. (17-67) obtendremos para el flujo de potencia el modelo de circuito serie de la Fig. 17-35

$$T_j = \Delta T_{JC} + \Delta T_{CS} + \Delta T_{SA} + T_A = P_D(\theta_{JC} + \theta_{CS} + \theta_{SA}) + T_A \quad (17\text{-}68)$$

Tomando $\theta_{CS} = 0,5$ °C/W como indica la Fig. 17-34*a*, la Ec. (17-68) se convierte en

$$150 = 15.1(3 + 0,5 + \theta_{SA}) + 30$$

lo que nos da $\theta_{SA} = 4,5°$ C/W máximo. El disipador de calor de la Fig. 17- 34 es admisible, ya que su resistencia térmica máxima puede elegirse menor de 4,5° C/W.

17-17. TRANSISTORES DE POTENCIA DE EFECTO CAMPO (VMOS)

En 1976 la Siliconex Inc. introdujo un nuevo tipo de transistor de potencia FET, que salva muchas de las limitaciones del transistor de potencia bipolar. Este nuevo dispositivo es un MOSFET de acumulación de canal *n*, pero construido de tal forma que la corriente circula verticalmente, por lo que se designa VMOS. Esta construcción diferencia el VMOS del MOSFET de baja potencia descrito en el Capítulo 4 en el que los portadores fluyen horizontalmente desde fuente a drenaje.

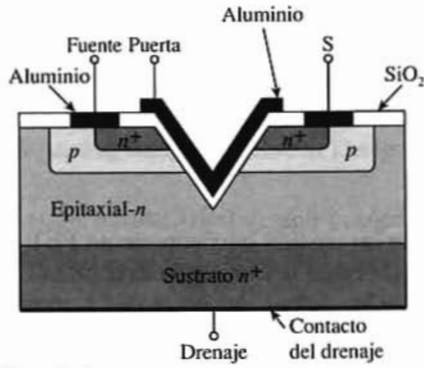


Figura 17-36. Sección transversal de un FET vertical.

La fabricación del FET de potencia parte de un sustrato de silicio n^+ en el que se crece una capa epitaxial n^-. Luego se procede a dos difusiones sucesivas, la primera con impurezas tipo p, y la segunda con impurezas tipo n como puede verse en la Fig. 17-36. La estructura que se obtiene hasta esta fase es idéntica a la del transistor bipolar discreto visto en la Fig. 5-7*d*. En un transistor de unión bipolar la región superior (o inferior) n^+ es el emisor (o colector) mientras que en la fig. 17-36 la parte superior (o inferior) n^+ constituye una fuente (o drenaje). En la Fig. 5-7*d*, la región p es la base, pero en el VMOS la sección p es el canal n. Para permitir la situación de una puerta de control sobre el canal, extendiéndose de fuente a drenaje, se introduce un nuevo paso en la fabricación: se graba anisotrópicamente una muesca en V isósceles sobre el silicio, como indica la Fig. 17-36. Prosiguiendo con el proceso normal de fabricación descrito en el capítulo 5 se extiende una capa fina de dióxido de silicio para formar, por metalización, el electrodo de puerta y el contacto de la fuente.

Obsérvese que la superficie del drenaje (parte inferior de la Fig. 17-36) es amplia y puede ponerse en contacto con un almacenador de calor para facilitar la eliminación de la potencia disipada en el interior del elemento. La longitud L del canal (extensión vertical de la región p) viene determinada por la diferencia entre las profundidades de las dispersiones p y n^+ (fuente). Por tanto, L puede hacerse verdaderamente pequeño, por ejemplo $L \approx 1{,}5$ μm. Recordemos que en el MOSFET normal (horizontal) la longitud del canal viene determinada por las máscaras, corrosión y difusión *lateral* de la fuente y del drenaje por lo que tiene mucha mayor longitud que en el VMOS. La puerta perfilada en V gobierna dos MOSFET verticales, uno a cada lado de la muesca, y por tanto, si se conectan en paralelo los dos terminales S de la Fig. 17-36 se duplica la intensidad admisible.

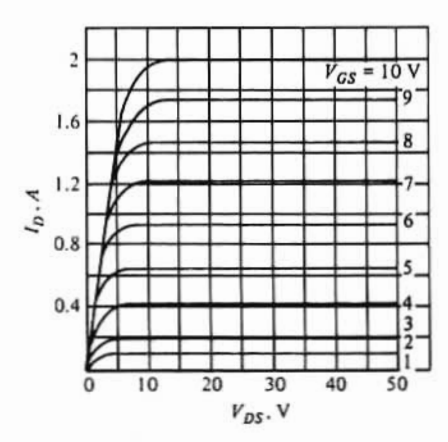


Figura 17-37. Características de salida de un transistor de acumulación de canal n (*Cortesía de Texas Instruments, Inc.*).

Los MOSFET de baja potencia del Capítulo 4 son simétricos entre fuente y drenaje. Evidentemente, según la Fig. 17-36 el VMOS se construye asimétrico por lo que no pueden intercambiarse S y D.

Características del VMOS

La Fig. 17-37 representa las curvas tensión-corriente de un FET vertical que deben compararse con las del MOSFET de acumulación de canal n y baja potencia de la Fig. 4-12. La intensidad de pico del VMOS es de 2A (que contrasta con los 50 mA del MOSFET horizontal). Obsérvese también que en la región de saturación las características de la Fig. 17-37 son mucho más planas que las de la Fig. 4-12 (I_D = constante, y por tanto la conductancia de salida es muy pequeña). En la familia 2N6657 mostrada, el espaciamiento entre características (por encima de $I_D = 0{,}4$ A) es constante para incrementos iguales de la tensión de puerta. En consecuencia la transconductancia g_m es constante ($\approx 0{,}25$ A/V) para $I_D \geq 0{,}4$ A. Por otra parte, en un MOSFET de baja potencia, g_m varía como la raíz cuadrada de la corriente de drenaje [Ec. (4-18)] en lugar de mantenerse constante.

El VMOS posee propiedades ventajosas entre las que figuran las siguientes:

1. La característica de transferencia I_D en función de V_{GS} es lineal (g_m = constante) para $I_D \geq 0{,}4$ A.
2. La conmutación es muy rápida ya que no hay almacenamiento de portadores minoritarios. Por ejemplo, se pueden cortar o cerrar 2 A en menos de 10 nseg.
3. No es posible un embalamiento térmico (Sec.10-3) ya que la resistencia drenaje-fuente tiene un coeficiente de temperatura positivo entre drenaje y fuente aumenta V_{DS} limitando en consecuencia I_D. (no se forman puntos calientes ni se pueden producir rupturas secundarias).
4. No existe un desigual reparto de corrientes cuando trabajan VMOS en paralelo para incrementar la intensidad total. Si uno de los transistores trata de tomar más corriente de la que le corresponde, el coeficiente de temperatura positivo entre drenaje y fuente aumenta V_{DS} limitando en consecuencia I_D.
5. Debido a su gran resistencia de entrada, el VMOS necesita muy poca potencia de entrada, y puede ser excitado por puertas lógicas CMOS. La ganancia de potencia es extremadamente alta.
6. La resistencia en conducción es muy baja. Por la pendiente en el origen de las curvas de la Fig. 17-37, vemos que $r_{DS(ON)} \approx 3\Omega$.
7. Los FET de potencia presentan muy poco ruido.
8. La tensión umbral V_T varía entre 0,8 y 2 V, por lo que los VMOS son compatibles con la lógica TTL.
9. En la Fig. 17-36 puede verse que el solape entre puerta y drenaje (y por tanto la capacidad entre estos electrodos) es bien pequeño. En consecuencia, la realimentación capacitiva de salida a entrada es mínima, por lo que pueden utilizarse los VMOS en circuitos de alta frecuencia ($f_T \approx 600$ MHz).
10. La tensión de ruptura entre drenaje y fuente de un VMOS es alta. Esto es debido al hecho de que la capa epitaxial absorbe la región de deplexión del diodo pn cuerpo-drenaje, con polarización inversa.

Aplicaciones

Los VMOS pueden emplearse como etapa de salida de un amplificador de potencia de audio o radio frecuencia, o de alimentación de un regulador de conmutación. Como aplicaciones industriales podemos citar: procesos de control, regulación de motores, excitación de selenoides y relés, en transductores ultrasónicos, etc.

REFERENCIAS

1. Millman, J., y C.C. Halkias "Integrated Electronics: Analog and Digital Circuits and Systems," McGraw-Hill Book Company, Nueva York, 1972.
2. Grebene, A.B.: "Bipolar and MOS Analog Integrated Circuit Design," John Wiley and Sons, Nueva York, 1984.
3. Ghausi, M.S.: "Electronic Devices and Circuits: Discrete and Integrated," Holt, Nueva York, 1985.
4. Bohn, D. (Ed.): «Audio Handbook», National Semiconductor Company, Santa Clara, Calif., 1976.
5. Mammamo, R., «Simplifying Converter Design with a New Integrated Regulating Pulse-Width Modulator», Application Note, Silicon General, Inc., Irvine, Calif., 1980.

Las National Semiconductor Corporation, Fairchild Semiconductor Company, Texas Instruments, Inc., Silicon General, Inc., y Unitrode Corporation han publicado manuales sobre reguladores de tensión.

TEMAS DE REPASO

17-1. Citar cuatro componentes de un convertidor alterna-continua y explicar la función de cada uno.

17-2. (*a*) Esbozar el circuito de un rectificador de media onda.
(*b*) Deducir la expresión de: *(1)* la corriente en continua, y *(2)* la corriente eficaz de carga.

17-3. Repetir el tema 17-2 para un rectificador de onda completa.

17-4. (*a*) Definir lo que es regulación.
(*b*) Deducir la ecuación de la regulación de un circuito de onda completa.

17-5. Dibujar el modelo de Thèvenin de un rectificador de onda completa.

17-6. (*a*) Definir la tensión inversa de pico.
(*b*) ¿Cuál es la tensión inversa de pico en un circuito de onda completa empleando diodos ideales?
(*c*) Repetir el punto anterior para un rectificador de media onda.

17-7. Esbozar el circuito de un puente rectificador y explicar su funcionamiento.

17-8. Repetir el Tema 17-7 para un circuito rectificador de medición.

17-9. Repetir el Tema 17-7 para un doblador de tensión.

17-10. (*a*) Dibujar el circuito de un rectificador capacitivo de media onda.
(*b*) Dibujar la tensión en régimen permanente a través del condensador y del diodo, sin carga.

17-11. (*a*) Dibujar el circuito de un rectificador capacitivo de onda completa.
(*b*) Esbozar la tensión de la carga en este circuito.

17-12. Dibujar el circuito de un filtro de entrada inductiva y explicar cómo reduce el rizado.

17-13. Repetir el Tema anterior para un filtro de entrada capacitiva.

17-14. Dar tres razones por las que una fuente no regulada es inadecuada en algunas aplicaciones.

17-15. Definir el factor de regulación de entrada, la resistencia de salida y el coeficiente de temperatura de un regulador de tensión.

17-16. (*a*) Dibujar un diagrama simplificado de una fuente de potencia regulada.
(*b*) ¿Qué tipo de realimentación emplea este regulador?

17-17. Citar tres inconvenientes de los reguladores de paso que pueden evitarse con un regulador de conmutación.

17-18. (*a*) Dibujar la topología del regulador de conmutación básico.
(*b*) Explicar cómo la tensión de salida en continua está determinada por este sistema de realimentación.

17-19. Explicar por qué un regulador de conmutación puede tener un rendimiento de conversión verdaderamente alto.

17-20. (*a*) Dibujar el interruptor de potencia de un regulador de conmutación tal como un *SPDT*. ¿Cómo se gobierna el interruptor y cuál es su onda de salida?
(*b*) Demostrar que el interruptor del apartado *(a)* es equivalente a un *SPST* en serie con un diodo a tierra

¿Por qué a este diodo se le denomina de retorno?

17-21. (*a*) Equiparar el interruptor de potencia *SPDT* del regulador básico con una combinación de tres transistores y un diodo.
(*b*) Explicar la función de cada transistor y del diodo.

17-22. (*a*) Dibujar los componentes de potencia de un regulador de conmutación en el que V_o es positivo y mayor que V_{in}.
(*b*) Comprobar que con esta configuración $V_o > V_{in}$.
(*c*) ¿Qué es lo que determina el valor numérico de V_o?

17-23. (*a*) Repetir el tema 17-22 para un regulador en el que V_o sea negativa.
(*b*) Justificar que $V_o < 0$.

17-24. (*a*) Dibujar el interruptor de potencia de un regulador de conmutación en contrafase acoplado por transformador.
(*b*) Indicar la onda v_A del modulador de ancho del impulso, así como las ondas v_{A1} y v_{A2} que gobiernan los dos interruptores *SPST* en serie con los primarios del transformador.
(*c*) Esbozar las ondas del secundario del transformador.
(*d*) Dibujar la onda del interruptor de salida (la tensión de entrada al filtro).

17-25. (*a*) Dibujar en forma de diagrama de bloques el sistema para obtener las ondas v_{A1} y v_{A2} del Tema 17-24*b*.
(*b*) Explicar el funcionamiento del sistema, con la ayuda de una gráfica de la onda.
(*c*) Mostrar los interruptores gobernados por v_{A1} y v_{A2} simulados por transistores.

17-26. Citar todos los circuitos de gobierno de baja potencia fabricados en un solo chip integrado, empleados con un regulador de conmutación.

17-27. Deducir una expresión de la potencia de salida de un amplificador clase *A* de gran señal en función de V_{max}, V_{min}, I_{max} e I_{min}.

17-28. Razonar cómo puede producirse una rectificación en un amplificador de potencia.

17-29. Definir la distorsión de intermodulación.

17-30. Definir la distorsión armónica total.

17-31. Definir los amplificadores: (*a*) clase *A*, (*b*) clase *B*, y (*c*) *clase AB*.

17-32. (*a*) Definir el rendimiento de conversión η de una etapa de potencia.
(*b*) Deducir una expresión simple de η para un amplificador de clase *A*.
(*c*) ¿Cuál es el rendimiento teórico máximo de un amplificador de clase *A*?

17-33. (*a*) Dibujar el circuito de una etapa de potencia clase *B*.
(*b*) Con una entrada senoidal ¿Cuál es la forma de la onda de salida?

17-34. (*a*) Dibujar el circuito de un amplificador de potencia en contrafase, de clase *B*.
(*b*) Citar tres ventajas de la clase *B* respecto a la clase *A*.

17-35. Deducir una expresión simple para la potencia de salida de un amplificador de potencia idealizado de clase *B*, en contrafase.

17-36. Demostrar que el rendimiento de conversión máximo de un circuito idealizado clase *B* en contrafase es del 78,5%.

17-37. Hallar la expresión de la disipación de colector de una etapa clase *B* en contrafase en función de V_m y R_L.

17-38. Demostrar que en un amplificador en contrafase equilibrado quedan eliminados los armónicos de orden par.

17-39. (*a*) Explicar el origen de la distorsión de cruce.
(*b*) Describir un método para minimizar esta distorsión.

17-40. (*a*) Definir la resistencia térmica θ
(*b*) Esbozar una curva de reducción de la disipación de un amplificador de potencia.
(*c*) ¿Cómo está relacionado θ con la curva del apartado (*b*)?

17-41. (*a*) ¿Qué es un acumulador de calor?
(*b*) Explicar por qué debe emplearse un acumulador de calor con un amplificador de potencia.

17-42. (*a*) Esbozar la sección transversal de un *FET* de potencia.
(*b*) Explicar brevemente cómo se construye este dispositivo.

17-43. Citar dos diferencias importantes en las características de salida de un *VMOS* y de un *MOSFET* de baja potencia.

17-44. Citar seis ventajas de un *VMOS*.

APENDICE A

Constantes y factores de conversión

A-1. VALOR PROBABLE DE CONSTANTES FISICAS*

Constante	Símbolo	Valor
Carga del electrón	q	$1{,}602 \times 10^{-19}$ C
Masa del electrón	m	$9{,}109 \times 10^{-31}$ kg
Relación entre carga y masa del electrón	q/m	$1{,}759 \times 10^{11}$ C/kg
Masa del átomo de peso atómico unidad (hipotética)	.....	$1{,}660 \times 10^{-27}$ kg (hipotético)
Masa del protón	m_p	$1{,}673 \times 10^{-27}$ kg
Relación de masas del protón y del electrón	m_p/m	$1{,}837 \times 10^{3}$
Constante de Planck	h	$6{,}626 \times 10^{-34}$ J-seg
Constante de Boltzmann	$\bar{k}$	$1{,}381 \times 10^{-23}$ J/°K
	k	$8{,}620 \times 10^{-5}$ eV/°K
Constante de Stefan-Boltzmann	σ	$5{,}670 \times 10^{-8}$ W/(m^2)(°K^4)
Número de Avogadro	N_A	$6{,}023 \times 10^{23}$ molec/mole
Constante de los gases	R	8,314 J/(gr) (mole)
Velocidad de la luz	c	$2{,}998 \times 10^{8}$ m/seg
Constante de Faraday	F	$9{,}649 \times 10^{3}$ C/mole
Volumen por mol	V_o	$2{,}241 \times 10^{-2}$ m^3
Aceleración de la gravedad	g	9,807 m/seg^2
Permeabilidad del espacio libre	μ_o	$1{,}257 \times 10^{-6}$ H/m
Permisividad del espacio libre	ϵ_o	$8{,}849 \times 10^{-12}$ F/m

* E. A. Mechtly, "Sistema internacional de unidades: Constantes físicas y factores de conversión", Administración Nacional de Aeronáutica y del Espacio, NASA SP-7012, Washington, D. C., 1964.

A-2. FACTORES DE CONVERSION Y PREFIJOS

1 amperio (A)	= 1 C/seg
1 angstrom (Å)	= 10^{-10} m
	= 10^{-4} μm
1 atmósfera de presión	= 760 mm Hg
1 culombio (C)	= 1 A-seg
1 electrón volt (eV)	= $1{,}60 \times 10^{-19}$ J
1 farad (F)	= 1 C/V
1 pie (ft)	= 0,305 m
1 caloría gramo	= 4,185 J
giga (G)	= $\times 10^{9}$
1 henry (H)	= 1 V-seg/A
1 hertz (Hz)	= 1 ciclo/seg
1 pulgada (in.)	= 2,54 cm
1 joule (J)	= 10^{7} erg
	= 1 W-seg
	= $6{,}25 \times 10^{18}$ eV
	= 1 N-m
	= 1 C-V
kilo (k)	= $\times 10^{3}$
1 kilogramo (kg)	= 2,205 lb
1 kilómetro (km)	= 0,622 millas
1 lumen	= 0,0016 W (a 0,55 μm)

1 lumen por pie cuadrado	= 1 ft-candela (fc)
mega (M)	= $\times 10^{6}$
1 metro (m)	= 39,37 pulgadas
micra (μ)	= $\times 10^{-6}$
1 micrón	= 10^{-6} m
	= 1 μm
1 mil	= 10^{-3} in.
	= 25 μm
1 milla	= 5,280 pies (ft)
	= 1,609 km
mili (m)	= $\times 10^{-3}$
nano (n)	= $\times 10^{-9}$
1 newton (N)	= 1 kg-m/seg^{2}
pico (p)	= $\times 10^{-12}$
1 libra (lb)	= 453,6 gr
1 tesla (T)	= 1 Wb/m^{2}
1 tonelada	= 2 000 libras
1 volt (V)	= 1 W/A
1 wat (W)	= 1 J/seg
1 weber (Wb)	= 1 V-seg
1 weber por metro cuadrado (Wb/m^{2})	= 10^{4} gauss

APENDICE B

Fabricantes y especificaciones de semiconductores

B-1. FABRICANTES DE DISPOSITIVOS ELECTRONICOS

Pueden conseguirse catálogos e información sobre aplicaciones, de las siguientes productoras de semiconductores:

Advanced Micro Devices 901 Thompson Pl., Sunnyvale, CA 94086
American Microsystems Inc. 3800 Homestead Road, Santa Clara, CA. 95051
Burr-Brown Research Corp. 6730 S. Tucson Blvd., Tucson, Arizona 85734
Fairchild Semiconductor 464 Ellis St., Mt. View, CA 94042
Ferranti Electric E. Bethpage Rd., Plainview, N. Y. 11803
General Electric Co. Schenectady, N. Y. 13201
General Instrument Corp. 600 West John St., Hicksville, N. Y. 11802
Harris Semiconductor Box 833, Melbourne, FL 32901
Hitachi America, Ltd. 111 E. Wackner Dr., Chicago, IL 60601
Imsai 14860 Wicks Blvd., San Leandro, CA 94577
Intel Corp. 3065 Bowers Ave., Santa Clara, CA 95051
Intersil Inc. 10900 N. Tantau Ave., Cupertino, CA 95014
ITT Semiconductors 74 Commerce Way, Woburn, MA 01801
Monolithic Memories, Inc. 1165 E. Argues Ave., Sunnyvale, CA 94086
Mostek Corp. 1215 W. Crosby Rd., Carollton, Texas 75006
Motorola Semiconductor Products Box 20912, Phoenix, Ariz. 85036
National Semiconductor, Inc. 2900 Semiconductor Dr., Santa Clara, CA 95051
Plessey Semiconductors 1674 McGraw Ave., Santa Ana, CA 92705
Raytheon Semiconductor 350 Ellis St., Mt. View, CA 94042
RCA Solid State Division Box 3200, Somerville, N. J. 08876
SGS/ATES Semiconductor Corp. 796 Massasoit Street, Waltham, MA 03254
Signetics Corp. 811 E. Argues Ave., Sunnyvale, CA 94086
Silicon General 73826 Bolsoo Ave., Westminster, CA 92683
Siliconix, Inc. 2201 Laurelwood Road, Santa Clara, CA 95054
Stewart-Warner Microcircuits 730 E. Evelyn Ave., Sunnyvale, CA 94086
Teledyne Semiconductor 1300 Terra Bella Ave., Mt. View, CA 94043
Texas Instruments Semiconductor Group Box 5012, Dallas, Texas 75222
Toshiba America 280 Park Ave., New York, N. Y. 10017
Microelectronics Center One Space Park, Redondo Beach, CA 90278
Unitrode Corporation 580 Pleasant St., Watertown, MA 02172

B-2. ESPECIFICACIONES DEL DIODO DE SILICIO 1N 4153

(Cortesía de Texas Instruments, Inc.)

Diodos de conmutación rápida para calculadores y aplicación de uso general.

TABLA B2-1 Valores máximos absolutos (a 25° C)

		1N4151	1N4152	1N4153	1N4154	Unidad
V_{RM}	Tensión inversa de pico	75	40	75		V
$V_{RM(wkg)}$	Idem, ídem de trabajo	50	30	50	25	V
P	Disipación continua de potencia a 25° C (o menos)*		500			mW
T_{stg}	Temperatura de almacenado		−65 a 200			°C
T_L	Temp. a 1,5 mm del cuerpo, durante 10 seg.		300			°C

* Decae linealmente hasta 200° C a razón de 2,85 mW/° C

TABLA B2-2 Características eléctricas (a 25° C salvo otra indicación)

Parámetro	Condiciones de prueba	1N4153 Min	Max	Unidad
$V_{(BR)}$ Tensión inversa de ruptura	$I_R = 5\ \mu A$	75		V
I_R Corriente inversa estática	$V_R =$ nominal $V_{RM(wkg)}$		0.05	μA
	$V_R =$ nominal $V_{RM(wkg)}$ $T_A = 150°C$		50	μA
V_F Tensión directa estática	$I_F = 0.1$ mA	0.49	0.55	V
	$I_F = 0.25$ mA	0.53	0.59	V
	$I_F = 1$ mA	0.59	0.67	V
	$I_F = 2$ mA	0.62	0.70	V
	$I_F = 10$ mA	0.70	0.81	V
	$I_F = 20$ mA	0.74	0.88	V
C_T Capacidad total	$V_R = 0$ $f = 1$ MHz		2	pF
t_{rr} Tiempo de recuperación inverso	$I_F = 10$ mA, $I_{RM} = 10$ mA, $R_L = 100\ \Omega$		4	nseg.
	$I_F = 10$ mA, $V_R = 6$ V, $R_L = 100\ \Omega$		2	nseg.

B-3. ESPECIFICACIONES DEL TRANSISTOR BIPOLAR DE UNION *n-p-n* DE SILICIO 2N2222A

(Cortesía de Motorola Inc.)

Transistor muy empleado normalmente en la industria para aplicaciones tales como interruptor de velocidad media y como amplificador a frecuencias desde audio a VHF. Complementa el transistor *p-n-p* 2N2907 A.

TABLA B3-1 Valores máximos absolutos*

Característica	Símbolo	Valor	Unidad
Tensión colector-emisor	V_{CEO}	40	V
Tensión colector-base	V_{CB}	75	V
Tensión emisor-base	V_{EB}	6.0	V
Corriente de colector (permanente)	I_C	800	mA
Disipación a $T_A = 25\,^{\circ}$ C	P_D	0.5	W
– por encima de 25° C		3.33	mW/°C
Disipación total $T_C = 25^{\circ}$ C	P_D	1.8	W
– por encima de 25° C		12	mW/°C
Temperatura de la unión: – Trabajo y almacenamiento	T_J, T_{stg}	65 a +200	°C

* Temperaturas T_A = ambiente, T_C = caja, T_J = unión.

TABLA B3-2 Características eléctricas (a 25° C salvo indicación contraria)

Características en corte, OFF	Símbolo	Min	Max	Unidad
Tensión ruptura colector-emisor ($I_C = 10$ mA, $I_B = 0$)	BV_{CEO}	40		V
Tensión ruptura colector-base ($I_C = 10\ \mu$A $I_E = 0$)	BV_{CBO}	75		V
Tensión ruptura emisor-base ($I_E = 10\ \mu$A, $I_C = 0$)	BV_{EBO}	60		V
Corriente de colector en corte ($V_{CE} = 60$ V, $V_{BE(OFF)} = 3$ V)	I_{CEX}		10	nA
Corriente de colector en corte ($V_{CB} = 60$ V, $I_E = 0$, $T_A = 150^{\circ}$ C)	I_{CBO}		10	μA
Corriente de emisor en corte ($V_{EB} = 3$ V, $I_C = 0$)	I_{EBO}		10	nA
Corriente de base en corte ($V_{CE} = 60$ V, $V_{EB(OFF)} = 3$ V)	I_{BL}		20	nA
Características en conducción, ON				

(Véase Fig. 3-13 para $V_{CE(sat)}$ y $V_{BE(sat)}$, y Fig. 3-14 para h_{FE})

TABLA B3-3 Características eléctricas (Continuación)

Características de pequeña señal	Símbolo	Min	Max	Unidad
Prod. ganancia X ancho de banda ($I_C = 20$ mA, $V_{CE} = 20$ V, $f = 100$ MHz)	f_T	300		MHz
Capacidad de salida ($V_{CB} = 10$ V, $I_E = 0$, $f = 100$ kHz)	C_{ob}		8.0	pF
Capacidad de entrada ($V_{EB} = 0,5$ V, $I_C = 0$, $f = 100$ kHz)	C_{ib}		25	pF
Impedancia de entrada	h_{ie}			kΩ
($I_C = 1$ mA, $V_{CE} = 10$ V, $f = 1$ kHz)		2.0	8.0	
($I_C = 10$ mA, $V_{CE} = 10$ V, $f = 1$ kHz)		0.25	1.25	
Relación realimentación tensión	h_{re}			$\times 10^{-4}$
($I_C = 1$ mA, $V_{CE} = 10$ V, $f = 1$ kHz)			8.0	
($I_C = 10$ mA, $C_{CE} = 10$ V, $f = 1$ kHz)			4.0	
Ganancia de corriente pequeña señal	h_{fe}			
($I_C = 1$mA, $V_{CE} = 10$ V, $f = 1$ kHz)		50	300	
($I_C = 10$ mA, $V_{CE} = 10$ V, $f = 1$ kHz)		75	375	
Admitancia de salida	h_{oe}			$\mu\Omega^{-1}$
($I_C = 1$ mA, $V_{CE} = 10$ V, $f = 1$ kHz)		5.0	35	
($I_C = 10$ mA, $V_{CE} = 10$ V, $f = 1$ kHz)		25	200	
Constante tiempo colector-base ($I_E = 20$ mA, $V_{CE} = 20$ V, $f = 31,8$ HMz)	$r'_b C_c$		150	ps
Ruido ($I_C = 100$ μA $V_{CE} = 10$ V, $R_S = 1$kΩ, $f = 1$ kHz)	NF		4.0	dB

Características de conmutación	Símbolo	Min	Max	Unidad
Tiempo de retardo ($V_{CC} = 30$ V, $V_{BE(\text{OFF})} = 0.5$ V, $I_C = 150$ mA, $I_{B1} = 15$ mA)	t_d		10	ns
Tiempo de subida	t_r		25	ns
Tiempo de almacenamiento ($V_{CC} = 30$ V, $I_C = 150$ mA, $I_{B1} = 15$ mA, $I_{B2} = 15$ mA)	t_s		225	ns
Tiempo de caída	t_f		60	ns
Cte. tiempo, región activa ($I_C = 150$ mA, $V_{CE} = 30$ V)	T_A		2.5	ns

B-4. ESPECIFICACIONES PARA EL TRANSISTOR DE SILICIO DE UNION, DE EFECTO CAMPO, DE DEPLEXION Y DE CANAL-N 2N4869 (Cortesía de Siliconix, Inc.)

Específicamente diseñado para aplicaciones en frecuencia audio o sub- audio, en las que el ruido ha de ser en absoluto mínimo.

TABLA B4-1 Valores máximos absolutos (25° C)

Tensión puerta-drenaje o puerta fuente*	−40 V
Corriente de puerta o de drenaje	50 mA
Disipación total	
(decae 1,7 mW/° C)	300 mW
Temperatura de almacenaje	−65 a +200°C

* Debido a su geometría simétrica, puede trabajar con los terminales de fuente y de drenaje intercambiados.

TABLA B4-2 Características eléctricas (a 25° salvo otra indicación)

	Característica		Min	Max	Unidad	Condiciones de prueba	
ESTATICA	I_{GSS}	Corriente inversa de puerta		−0.25	nA	$V_{GS} = -30$ V, $V_{DS} = 0$	
				−0.25	μA		150°C
	BV_{GSS}	Tensión de ruptura puerta-fuente	−40		V	$I_G = -1$ μA, $V_{DS} = 0$	
	$V_{GS(OFF)}$	Tensión de corte puerta-fuente	−1.8	−5	V	$V_{DS} = 20$ V, $I_D = 1$ μA	
	I_{DSS}	Corriente de saturación de drenaje*	2.5	7.5	mA	$V_{DS} = 20$ V, $V_{GS} = 0$	
DINAMICA	g_{fs}	Transconductancia directa en fuente común*	1,300	4,000	$\mu\Omega^{-1}$	$V_{DS} = 20$ V, $V_{GS} = 0$	$f = 1$ kHz
	g_{os}	Conductancia de salida en fuente común		10	$\mu\Omega^{-1}$		$f = 1$ kHz
	C_{rss}	Capacidad de transf-inversa en fuente común		5	pF		$f = 1$ MHz
	C_{iss}	Capacidad de entrada en fuente común		25	pF		$f = 1$ MHz

* Duración impulso = 2 mseg.

B-5. ESPECIFICACIONES DEL TRANSISTOR DE SILICIO MOS DE EFECTO CAMPO, DE ACUMULACION Y CANAL-P 3NI63

(Cortesía de Siliconix, Inc.)

Normalmente, MOSFET de corte para conmutación analógica y digital de amplificadores de uso general.

TABLA B5-1 Valores máximos absolutos (25° C)

Tensión drenaje-fuente o puerta-fuente	−40 V
Tensión transitoria puerta-fuente	± 150 V
Corriente de drenaje	−50 mA
Temperatura almacenaje	− 65 a +200°C
Temperatura de trabajo de la unión	− 55 a +150°C
Disipación total (decae 3 mW/° C hasta 150° C)	375 mW
Temp. a 1,5 mm del cuerpo, durante 10 seg.	265°C

TABLA B5-2 Características eléctricas (25° C y $V_{BS} = 0$, salvo otra indicación)

		Característica	Min	Max	Unid	Condiciones de prueba
ESTATICA	I_{GSS}	Corriente de fuga puerta-cuerpo		−10	pA	$V_{GS} = -40$ V, $V_{DS} = 0$,
				−25	pA	125°C
	BV_{DSS}	Tensión ruptura drenaje-fuente	−40		V	$I_D = -10\ \mu$A, $V_{GS} = 0$
	BV_{SDS}	Tensión ruptura fuente-drenaje	−40		V	$I_S = -10\ \mu$A, $V_{GD} = V_{BD} = 0$
	V_{GS}	Tensión puerta-fuente	−3	−6.5	V	$V_{DS} = -15$ V, $I_D = -0.5$ mA
	$V_{GS(th)}$	Tensión umbral puerta-fuente	−2	−5	V	$V_{DS} = V_{GS}$, $I_D = -10\ \mu$A
	I_{DSS}	Corriente de corte de drenaje		−200	pA	$V_{DS} = -15$ V, $V_{GS} = 0$
	I_{SDS}	Corriente de corte de fuente		−400	pA	$V_{SD} = -20$ V, $V_{GD} = 0$, $V_{DB} = 0$
	$I_{D(on)}$	Corriente de drenaje en conduc.	−5	−30	mA	$V_{DS} = -15$ V, $V_{GS} = -10$ V
	$r_{DS(on)}$	Resist. drenaje-fuente en conduc.		250	Ω	$V_{GS} = -20$ V, $I_D = -100\ \mu$A
DINAMICA	g_{fs}	Transconductancia directa en fuente común	2,000	4,000	µ℧	$V_{DS} = -15$ V, $I_D = -10$ mA, $f = 1$ kHz
	g_{oss}	Conductancia de salida en fuente común		250	µ℧	
	C_{iss}	Capac entrada en fuente común		2.5	pF	$V_{DS} = -15$ V, $I_D = -10$ mA, $f = 1$ MHz
	C_{rss}	Capacidad inversa de trans. en fuente común		0.7	pF	
	C_{oss}	Cap. de salida en fuente común		3	pF	
SW	t_d	Retardo tiempo de cierre		12	ns	$V_{DD} = -15$ V
	t_r	Tiempo de subida		24	ns	$I_{D(on)} = -10$ mA
	t_{off}	Tiempo de corte		50	ns	$R_G = R_L = 1.5$ kΩ

B-6. ESPECIFICACIONES DE LA PUERTA NAND POSITIVA TTL SCHOTTKY DE BAJA POTENCIA (LS7410 O LS5410) CON SALIDA EN TOTEM (Cortesía de Texas Instruments, Inc.)

Las demás familias TTL tienen características muy similares para las puertas NAND o los inversores.

TABLA B6-1 Condiciones de trabajo recomendadas

Parámetro	Familia	Min	Nom	Max	Unidad
Tensión de alimentación	54 74	4.5 4.75	5 5	5.5 5.25	V
Corriente de salida, nivel alto I_{OH}	54 74			−400 −400	μA
Corriente de salida, nivel bajo I_{OL}	54 74			4 8	mA
Temperatura ambiente	54 74	−55 0		125 70	°C

TABLA B6-2 Características eléctricas dentro de la gama de temperaturas ambiente recomendadas (salvo otra indicación)

Parámetro	Condiciones de prueba[1]	Familia[2]	Min	Tip	Max	Unid
V_{IH} Tensión entrada, alto nivel			2			V
V_{IL} Tensión entrada, bajo nivel		54 74			0.7 0.8	V
V_I Tensión de fijación de entrada	V_{CC} = min, I_I = − 18 mA				− 1.5	V
V_{OH} Tensión salida, alto nivel	V_{CC} = min, V_{IL} = V_{IL} max I_{OH} = max	54 74	2.5 2.7	3.4 3.4		V
V_{OL} Tensión salida, bajo nivel	V_{CC} = min, V_{IH} = 2 V I_{OL} = max	54 74		0.25 0.35	0.4 0.5	V
I_I Corriente entrada con tensión de entrada máxima	V_{CC} = max, V_I = 5.5 V				0.1	mA
I_{IH} Corriente entrada, alto nivel	V_{CC} = max, V_{IH} = 2.7 V			20		μA
I_{IL} Corriente entrada, bajo nivel	V_I = max, V_{IL} = 0.4 V				−0.36	mA
I_{OS} Corriente de salida en cortocircuito[3]	V_{CC} = max	54 74	−6 −5		−40 −42	mA

[1] En las condiciones señaladas como mínimas o máximas deben emplearse los valores apropiados específicos en las condiciones de trabajo recomendadas.
[2] Todos los valores típicos son con $V_{CC} = 5$ V y $T_A = 25°$ C
[3] No debe haber más de una salida en cortocircuito al mismo tiempo.

B-7. ESPECIFICACIONES DEL AMPLIFICADOR OPERACIONAL LM741 (Cortesía de National Semiconductor, Inc.)

Se trata de un AMP OP monolítico de grandes prestaciones en un amplio campo de aplicaciones analógicas. Está protegido contra corto-circuitos y no requiere elementos exteriores para la compensación en frecuencias. El LM741C es idéntico al LM741 salvo que el primero tiene garantizado su funcionamiento entre 0 y 70° en lugar de - 55 a + 125° C.

TABLA B7-1 Valores máximos absolutos

Tensión de alimentación, LM741	±22 V
Idem LM741C	±18 V
Disipación de potencia[1]	500 mW
Tensión de entrada diferencial	±30 V
Tensión de entrada[2]	±15 V
Salida en corto-circuito	duración indefinida
Temperatura almacenaje	−65°C a 150°C
Temperatura terminal (soldadura, 10 seg)	300°C

[1] La temperatura máxima de la unión es de 150° C en el LM741 y de 100° C en el LM741C. Para trabajar a altas temperaturas deben reducirse los valores para los elementos en encapsulado TO-5, basándose en una resistencia térmica de 150° C/W entre unión y caja.

[2] Con tensiones de alimentación inferiores a ±15 V, la tensión de entrada máxima absoluta es igual a la de alimentación.

TABLA B7-2 Características eléctricas*

Parámetro	Condiciones	LM741			LM741C			Unidad
		Min	Tip	Max	Min	Tip	Max	
Tensión offset de entrada	$T_A = 25°C$, $R_s < 10\ k\Omega$		1.0	5.0		1.0	6.0	mV
Corriente offset de entrada	$T_A = 25°C$		30	200		30	200	nA
Corriente de polariz. de ent.	$T_A = 25°C$		200	500		200	500	nA
Resistencia de entrada	$T_A = 25°C$	0.3	1.0		0.3	1.0		MΩ
Corriente de alimentación	$T_A = 25°C$, $V_S = \pm 15\ V$		1.7	2.8		1.7	2.8	mA
Ganancia de tensión; gran señal	$T_A = 25°C$, $V_S = \pm 15\ V$							
	$V_{OUT} = \pm 10\ V$, $R_L > 2\ k\Omega$	50	160		25	160		V/mV
Tensión offset de entrada	$R_s < 10\ k\Omega$			6.0			7.5	mV
Corriente offset de entrada				500			300	nA
Corriente de polariz. de ent.				1.5			0.8	μA
Ganancia de tensión; gran señal	$V_S = \pm 15\ V$, $V_{OUT} = \pm 10\ V$							
	$R_L > 2\ k\Omega$	25			15			V/mV
Variación tensión de salida	$V_S = \pm 15\ V$, $R_L = 10\ k\Omega$	±12	±14		±12	±14		V
	$R_L = 2\ k\Omega$	±10	±13		±10	±13		V
Campo de tensión de entrada	$V_S = \pm 15\ V$	±12			±12			V
Relación de rechazo de modo común	$R_s < 10\ k\Omega$	70	90		70	90		dB
Relación de rechazo de la alimentación	$R_s < 10\ k\Omega$	77	96		77	96		dB

* Si no se indica otra cosa, estas especificaciones son aplicables para $V_S = \pm 15$ V, y $-55°\ C \leqslant T_A \leqslant 125°\ C$. No obstante, para el LM741C todas las especificaciones quedan limitadas a $0°\ C \leqslant T \leqslant 70°\ C$ y $V_S = \pm 15$ V.

B-8. ESPECIFICACIONES PARA EL TRANSISTOR EN POTENCIA N-P-N DE SILICIO 2N5671 (Cortesía de RCA Solid State Division)

Este transistor puede admitir corrientes y potencias elevadas, y es de conmutación rápida. Es especialmente adecuado para amplificadores de conmutación, puertas de potencia, reguladores de conmutación, circuitos de conmutación de potencia, convertidores, inversores, circuitos de control, amplificadores de continua y osciladores de potencia.

TABLA B8-1 Valores máximos absolutos

Característica	Símbolo	Valor	Unidad
Tensión colector-base	V_{CBO}	120	V
Tensión sost. colector-emisor			
Con base abierta	$V_{CEO(sus)}$	90	V
Con resist. exter. base-emisor $R_{BE} \leqslant 50\ \Omega$	$V_{CER(sus)}$	110	V
Con resist. exter. base-emisor $\leqslant 50\ \Omega$ y $V_{BE} = -1{,}5$ V	$V_{CEX(sus)}$	120	V
Tensión emisor-base	V_{EBO}	7	V
Corriente de colector	I_C	30	A
Corriente de base	I_B	10	A
Disipación transistor con temp. caja 25° C y V_{CE} hasta 24 V	P_D	140	W
Campo de temperatura	—	hasta 200	°C

TABLA B8-2 Características eléctricas; temperatura caja $T_C = 25°$ C

Característica	Símbolo	Condiciones: Tensión colector cc (V)		Tensión emisor o base cc (V)		Corriente continua (A)			2N5671		Unid
		V_{CB}	V_{CE}	V_{EB}	V_{BE}	I_C	I_E	I_B	Min	Max	
	I_{CEO}		80					0		10	mA
Corriente de corte de colector	I_{CEV}		110		−1.5					12	mA
Corriente de corte de emisor	I_{EBO}			7		0				10	mA
Tensión de sostenimiento colector-emisor											
Con base abierta	$V_{CEO(sus)}$					0.2		0	90*		V
Con resist. exter. base-emisor $R_{BE} \leqslant 50\ \Omega$	$V_{CER(sus)}$					0.2		0	110*		V
Con unión base-emisor polarizada en inverso y $R_{BE} \leqslant 50$	$V_{CEX(sus)}$				−1.5	0.2			120*		V
Tensión de satur. base-emisor	$V_{BE(sat)}$					15		1.2		1.5	V
Tensión base-emisor	V_{BE}		5			15				1.6	V
Tensión de saturación colector-emisor	$V_{CE(sat)}$					15		1.2		0.75	V
Relación transferencia cc directa	h_{FE}		2			15			20	100	
			5			20			20		
Prod. ganancia X banda	f_T		10			2			50		MHz
Capacidad de salida (1 MHz)	C_{ob}	10					0			900	pF
Tiempo de conmutación (retardo + subida)	t_{on}	V_{CC} = 30 V				15		I_{B_1} = I_{B_2} = 1.2		0.5	μs
Conmutación tiempo de almacenamiento	t_s	V_{CC} = 30 V				15		I_{B_1} = I_{B_2} = 1.2		1.5	μs
Conmutación tiempo de caída	t_f	V_{CC} = 30 V				15		I_{B_1} = I_{B_2} = 1.2		0.5	μs
Resistencia térmica (unión-caja)	$\theta_{J\text{-}C}$		40			0.5				1.25	°C/W

* Estos valores no deben ser medidos sobre una curva.

B-9 ESPECIFICACIONES DE LOS DISPOSITIVOS DE TRANSISTORES DE USO GENERAL CA 3045 Y CA 3046 (Cortesía de RCA.)

Cinco transistores de uso general sobre un sustrato común; dos transistores conectados internamente formando un par diferencial. Adecuados para una variedad de aplicaciones desde las de continua hasta las de muy alta frecuencia. Los transistores pueden emplearse a manera de dispositivos discretos. Además tienen la ventaja de los circuitos integrados en cuanto a su similitud eléctrica y térmica. Eléctricamente considerados el CA3046 es idéntico al CA3045, pero se suministra en un encapsulado de plástico de dos en línea para aplicaciones sobre un campo de temperaturas dado.

Tabla B9-1: Valores máximos absolutos a 25 °C.

	CA3045		*CA3046*		
	Cada Trans.	Total Encap.	Cada Trans.	Total Encap.	Unidad
Disipación de potencia					
T_A hasta 55 °C.			300	750	mW
T_A >55 °C.				Baja 6,67	mW/°C
T_A hasta 75 °C.	300	750			mW
T_A >75 °C.		Baja 8			mW/°C
Tensión emisor-colector V_{CEO}	15		15		V
Tensión colector-base V_{CBO}	20		20		V
Tensión colectro-sustrato V_{CIO}*	20		20		V
Tensión colector-sustrato V_{CIO}*	5		5		V
Temperatura					
de trabajo	-55 a + 125		-55 a+ 125		°C
de almacenaje	-65 a + 150		-65 a+ 150		°C
Temperatura a 1,6 ± 0,8 mm del cuerpo. 10 seg. max.	+265		+265		°C

*El colector de cada transistor está aislado del sustrato por un diodo integral.

El sustrato (terminal 13) debe conectarse al punto más negativo del circuito exterior para mantener el aislamiento entre transistores y permitir el funcionamiento normal de éstos.

Tabla B9-2. Características en continua a 25ºC.

Característica	Símbolo	Condiciones de prueba especiales	Límites: CA3045 y CA3046 Mín.	Típico	Máx.	Unidad
Tensión ruptura colector-base	$V_{(BR)CBO}$	$I_C = 10\ \mu A$, $I_E = 0$	20	60		V
Tensión ruptura colector-emisor	$V_{(BR)CEO}$	$I_C = 1$ mA, $I_B = 0$	15	24		V
Tensión ruptura colector-sustrato	$V_{(BR)CIO}$	$I_C = 10\ \mu A$, $I_{CI} = 0$	20	60		V
Tensión ruptura emisor-base	$V_{(BR)EBO}$	$I_E = 10\ \mu A$, $I_C = 0$	5	7		V
Corriente de colector de corte	I_{CBO}	$V_{CB} = 10$ V, $I_E = 0$		0.002	40	nA
Corriente de colector de corte	I_{CEO}	$V_{CE} = 10$ V, $I_B = 0$			0.5	μA
Relación de transferencia de, corriente directa (beta estática)	h_{FE}	$V_{CE} = 3$ V $\begin{cases} I_C = 10 \text{ mA} \\ I_C = 1 \text{ mA} \\ I_C = 10\ \mu\text{A} \end{cases}$	40	100 100 54		
Corriente offset de entrada del par Q1 y Q2		$V_{CE} = 3$ V, $I_C = 1$ mA		0.3	2	μA
Tensión base-emisor	V_{BE}	$V_{CE} = 3$ V $\begin{cases} I_E = 1 \text{ mA} \\ I_E = 10 \text{ mA} \end{cases}$		0.715 0.800		V V
Tensión offset de entrada del par diferencial $\lvert V_{BE1} - V_{BE2} \rvert$		$V_{CE} = 3$ V, $I_C = 1$ mA		0.45	5	mV
Tensión offset de entrada de los transistores aislados $\lvert V_{BE3} - V_{BE4} \rvert$, $\lvert V_{BE4} - V_{BE5} \rvert$, $\lvert V_{BE5} - V_{BE3} \rvert$		$V_{CE} = 3$ V, $I_C = 1$ mA		0.45	5	mV
Coeficiente de temperatura de la tensión base-emisor.	$\frac{\Delta V_{BE}}{\Delta T}$	$V_{CE} = 3$ V, $I_C = 1$ mA		-1.9		mV/ºC
Tensión de saturación colector-emisor	V_{CES}	$I_B = 1$ mA, $I_C = 10$ mA		0.23		V
Coeficiente de temperatura Tensión offset de entrada.	$\frac{\lvert \Delta V_{IO} \rvert}{\Delta T}$	$V_{CE} = 3$ V, $I_C = 1$ mA		1.1		μV/ºC

Tabla B9-3. Características de pequeña señal a 25ºC.

Característica	Símbolo	Condiciones de prueba especiales	Límites CA3045 y CA3046 Mín.	Típico	Máx.	Unidad
Ruido en baja frecuencia	NF	$f = 1$ kHz, $V_{CE} = 3$ V, $I_C = 100\ \mu$A Resistencia de fuente $= 1$ kΩ		3.25		dB
Carac. circuito equiv. de baja frecuencia y pequeña señal:						
Relación corriente transistor directa	h_{fe}	$f = 1$ kHz, $V_{CE} = 3$ V, $I_C = 1$ mA		110		
Impedancia entrada en corto-circuito	h_{ie}			3.5		kΩ
Impedancia salida en circuito abierto	h_{oe}			15.6		μ℧
Relación transferencia inversa de tensión en circ.abierto	h_{re}			1.8×10^{-4}		
Características de admitancia:						
Admitancia de transf. directa	Y_{fe}	$f = 1$ MHz, $V_{CE} = 3$ V, $I_C = 1$ mA		$31 + j1.5$		
Admitancia de entrada	Y_{ie}			$0.3 + j0.04$		
Admitancia de salida.	Y_{oe}			$0.0001 + j0.03$		
Producto ganancia-ancho de banda	f_T	$V_{CE} = 3$ V, $I_C = 3$ mA	300	550		MHz
Capacidad emisor-base.	C_{EB}	$V_{EB} = 3$ V, $I_E = 0$		0.6		pF
Capacidad colector-base.	C_{CB}	$V_{CB} = 3$ V, $I_C = 0$		0.58		pF
Capacidad colector-sustrato.	C_{CI}	$V_{CS} = 3$ V, $I_C = 0$		2.8		pF

APENDICE C

Resumen de teoría de circuitos

A lo largo del texto hemos empleado elementos pasivos lineales tales como resistencias, condensadores e inductancias combinadas con fuentes de tensión y de corriente así como dispositivos de estado sólido para formar diferentes circuitos. Los teoremas que se exponen en este apéndice son frecuentemente utilizados en el análisis de tales circuitos electrónicos.

C-1. REDES RESISTIVAS

Fuentes de tensión y de corriente

En esta sección vamos a pasar revista a algunos conceptos y teoremas básicos relacionados con las redes resistivas conteniendo fuentes de tensión y de corriente. En la Fig. C-1 se señalan los símbolos y direcciones de referencia de fuentes independientes de tensión y de corriente. Una fuente de tensión ideal se define como un generador cuya tensión de salida $v = v_s$ es independiente de la corriente por él suministrada. La tensión de salida es normalmente una tensión continua o una función del tiempo, como por ejemplo $v_s = V_m \cos \omega t$. Análogamente una fuente ideal de corriente suministra una corriente $i = i_s$ independientemente de la tensión existente entre sus dos terminales. La polaridad de referencia para la fuente de tensión v_s significa que 1 culombio (C) de carga positiva pasando del terminal negativo al positivo a través de la fuente, adquiere una energía de v_s julios. De igual forma, la flecha de referencia en la fuente de corriente i_s indica que a través de la misma circulan en la dirección indicada, i_s C por segundo, de carga positiva. En cualquier fuente real, sea de tensión o de corriente siempre hay una cierta energía que se convierte en calor en un proceso de conversión irreversible. Esta pérdida de energía puede representarse por la pérdida en una resistencia R_s en serie o en paralelo como la representada en la Fig. 1-*c* y 1-*d*. Una fuente *dependiente* o *gobernada* es aquella cuya tensión o corriente es función de la tensión o corriente

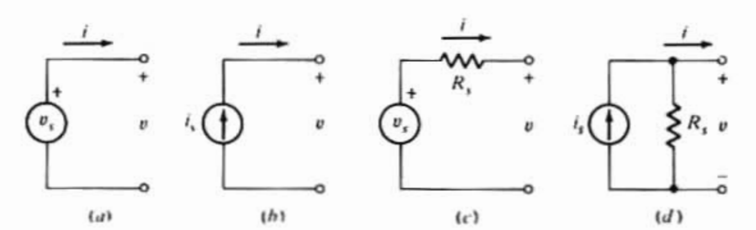


Figura C-1. Fuentes de tensión y de corriente: (*a*) y (*b*) ideales; (*c*) y (*d*) prácticas. El símbolo de un genrador ideal de tensión es un círculo con los signos + y - , y el de un generador ideal de corriente es una flecha en el interior de un círculo. La resistencia de fuente se designa R_s dibujada ya sea en serie con una fuente de tensión v_s o en paralelo con una fuente de corriente i_s.

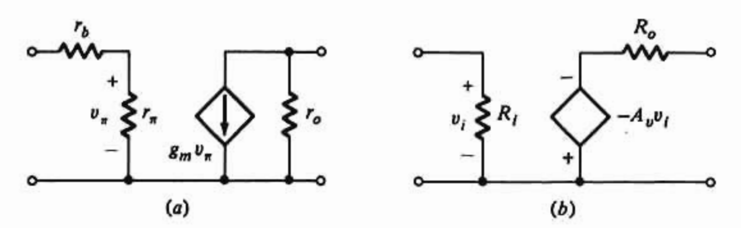


Figura C-2. (*a*) Un modelo de transistor bipolar contiene una fuente de corriente g_m v_π gobernada por tensión. (*b*) El circuito equivalente de un Amp-Op contiene una fuente de tensión A_v v_i gobernada por tensión.

existente en otro punto del circuito. Por ejemplo, la Fig. C-2*a* representa el modelo de circuito de pequeña señal de un transistor a baja frecuencia. En la salida hay un generador de corriente dependiente g_m v_π, cuya corriente es proporcional a la tensión v_π siendo g_m el factor de proporcionalidad.

Otro elemento estudiado en este libro ha sido el Amp-Op, siendo la Fig. C-2*b* su modelo equivalente de pequeña señal y baja frecuencia. Obsérvese que en la salida existe una fuente dependiente de tensión A_v v_i gobernada por la tensión de entrada v_s y el factor de proporcionalidad A_v.

Resistencia

La ley de Ohm establece que la tensión V entre extremos de un conductor es proporcional a la intensidad I que circula por él. El factor de proporcionalidad V/I se denomina *resistencia* y se expresa en ohmios (abreviadamente Ω) si V lo está en voltios e I en amperios

$$V = IR \qquad \text{(C-1)}$$

En muchos circuitos electrónicos conviene expresar las resistencias en kiloohmios (kΩ). La Ec. (C-1) continúa siendo válida si I se expresa en miliamperios (mA) y V en voltios (V). Si el conductor no obedece la Ec. (C-1) se dice que es una resistencia no lineal (o no óhmica).

Para hallar la resistencia R vista desde dos puntos de una red, se considera aplicada entre esos dos puntos una fuente exterior de tensión V, y se determina la corriente I suministrada por dicha fuente. La resistencia efectiva será $R = V/I$, supuesto que en este proceso cada fuente *independiente* del circuito ha sido sustituida por su resistencia interna R_s: una fuente de tensión ideal por un cortocircuito y una de corriente, también ideal, por un circuito abierto (Fig. C-1). *No obstante, deben mantenerse en el circuito todas las fuentes dependientes.*

Las dos leyes básicas que permiten el análisis de redes (lineales o no lineales) son las de Kirchhoff; una de corrientes y otra de tensiones.

Ley de Kirchhoff de las corrientes

En cualquier instante, la suma de todas las corrientes que concurren en un nudo es cero. Entenderemos por *nudo* un punto al que concurren dos o más componentes del circuito, tales como los puntos 1 y 2 de la Fig. C-3*a*. Normalmente, al aplicar esta ley las corrientes que llegan al nudo se toman como negativas, y las que parten de él como positivas: también podría emplearse la convención contraria siempre que se aplicase por igual a todos los nudos de la red. La dirección de referencia positiva de la corriente en una resistencia, puede elegirse arbitrariamente, pero en el bien entendido que si en el cálculo, dicha corriente resulta negativa el verdadero sentido será contrario al supuesto en principio. El principio físico en que se

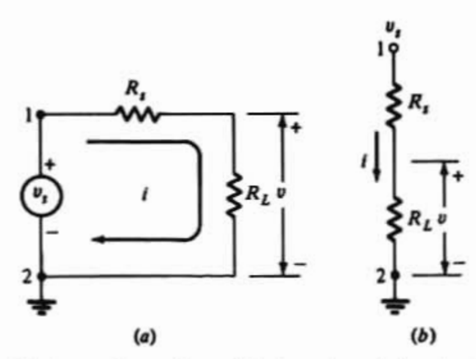


Figura C-3. (*a*) Una carga R_L en paralelo de una fuente de tensión de resistencia interior R_s. (*b*) El mismo circuito dibujado en distinta forma. El pequeño círculo en el nudo 1 indica que entre este nudo y el 2 que se toma como referencia existe un suministro de potencia v_s. Como normalmente un terminal del generador se conecta al chasis metálico sobre el que está ubicado, a este terminal se le llama *de tierra*. El símbolo normalizado para indicar la tierra es el que se ve junto al nudo 2.

funda esta ley es el de la conservación de las cargas, ya que de no cumplirse supondría que alguna carga se «pierde» o se «crea» en el nudo.

Ley de Kirchhoff de las tensiones

La suma de las caídas de tensión a lo largo de una malla debe ser nula en cualquier instante. A un circuito cerrado se le denomina *lazo* o *malla*. La caída de tensión V_{12} entre dos nudos 1 y 2 de un circuito (potencial del punto 1 respecto al del punto 2) se define como la energía en julios (J) eliminada del circuito cuando una carga positiva q de 1 C pasa del punto 1 al 2. Por ejemplo, una caída de tensión de + 5 V entre los terminales 1 y 2 de una resistencia, quiere decir que se elimina del circuito, disipándose en forma de calor una energía de 5 J cuando una carga positiva de 1 C pasa de 1 a 2. Si la tensión es de -5V, el punto 2 estará a tensión más elevada que el 1 (V_{12} = -5 representa un aumento de tensión) y una carga positiva de 1C que pase de 1 a 2 ganará una energía de 5 J. Esto, naturalmente, no es posible si entre 1 y 2 hay conectada únicamente una resistencia, pero sí lo será si se conecta al punto 1 el terminal negativo de una batería, y al 2 el terminal positivo.

Es evidente que las leyes de Kirchhoff son consecuencia de la ley de la conservación de la energía. Para escribir las ecuaciones de Kirchhoff debemos recorrer completamente una malla, sumar todas las caídas de tensión e igualar la suma a cero. Recuérdense las dos reglas siguientes:

(1) *En una resistencia hay una caída positiva en el sentido de la corriente* y (2) *En una batería (o fuente de continua) hay una caída positiva en el sentido del terminal positivo al negativo, independientemente del sentido de la corriente*.

En los siguientes ejemplos se evidencian estas dos leyes fundamentales. Consideremos en primer lugar la situación creada cuando se conecta una resistencia L directamente a los terminales de una fuente de tensión real (no idealizada) (Fig. C-1*c*). Este componente añadido se denomina *resistencia de carga* o simplemente *carga*. Con ello se forma un malla única (Fig. C-3) de la que deseamos hallar la tensión a través de R_L.

La corriente i a lo largo de la malla circula por R_s y R_L. Recorriendo este lazo en el sentido opuesto de la corriente partiendo del nudo 2, sumando entre sí todas las caídas de tensión e igualando esta suma a cero (tal como exige la ley de Kirchhoff) tendremos

$$-v_s + iR_s + iR_L = 0$$

o

$$i = \frac{v_s}{R_s + R_L} \quad \text{y} \quad v = iR_L = \frac{R_L v_s}{R_s + R_L} \tag{C-2}$$

Obsérvese que en *circuito abierto* ($RL \rightarrow \infty$) $v = v_s$, resultado evidentemente correcto, ya que por un circuito abierto no puede circular ninguna corriente e $i = 0$, $iR_s = 0$ y $v = v_s$ = *tensión en circuito abierto*. Observemos también que en *cortocircuito* ($R_L = 0$, una conexión ideal de resistencia nula) la tensión de salida será $v = 0$. En este caso la intensidad es máxima (respecto a las variaciones de R_L) e $i = v_s/R_s$ = *corriente de cortocircuito*. La tensión v_s puede ser función del tiempo, y en ese caso también lo será v.

Otra forma equivalente de representar el circuito de la Fig. C-3*a* puede ser el de la Fig. C-3*b*. En el epígrafe de la figura se indica el significado de los símbolos en los nudos 1 y 2. Esta configuración se conoce con el nombre de *divisor de tensión*. Obsérvese que para cualquier valor finito de R_L, v es menor que v_s, y

$$\frac{v}{v_s} = \frac{R_L}{R_s + R_L} \tag{C-3}$$

Ejemplo C-1

(*a*) Hallar las corrientes I_1, I_2 e I_3 en el circuito de la Fig. C-4

(*b*) Hallar la caída de tensión V_{24}.

Solución

(*a*) Tomemos arbitrariamente como sentido positivo de las corrientes el señalado en la figura. Debemos sumar las caídas de tensión en cada lazo recorriéndolo en el sentido arbitrario de las flechas del lazo. Obsérvese que la corriente en R_1 es I_1 y la de R_2 es I_2, mientras que la de R_3 es la suma de I_1 e I_2. Aplicando la ley de Kirchhoff se tienen las siguientes ecuaciones

$$\textbf{Malla 1} \qquad V_{12} + V_{24} + V_{41} = 0 \tag{C-4}$$

$$\textbf{Malla 2} \qquad V_{32} + V_{24} + V_{43} = 0 \tag{C-5}$$

siendo las caídas de tensión las siguientes[1]

$$V_{12} = I_1 R_1 = I_1 \qquad V_{24} = -I_3 R_3 = -2I_3 \qquad V_{41} = -6$$

$$V_{32} = I_2 R_2 = 9I_2 \qquad V_{43} = 14$$

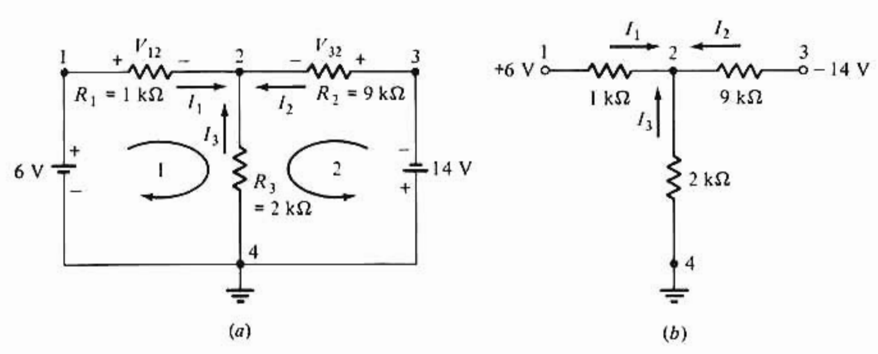


Figura C-4. (*a*) Red resistiva de dos lazos. (*b*) La misma red con las tensiones (respecto a tierra) de los nudos 1 y 3, pero habiendo suprimido el símbolo de la batería

[1] Poniendo R en kΩ e I en mA se tiene (1 kΩ. 1 mA = 1 V)

Sustituyendo valores en las Ecs. (C-4) y (C-5)

$$I_1 - 2I_3 - 6 = 0$$
$$9I_2 - 2I_3 + 14 = 0$$

y como sólo tenemos dos ecuaciones para las tres incógnitas deberemos recurrir a la ecuación de Kirchhoff de las corrientes:

$$I_1 + I_2 + I_3 = 0 \text{ o bien } I_3 = -(I_1 + I_2)$$

Sustituyendo este valor de I_3 en las ecuaciones para I_1 e I_2 y resolviendo el sistema llegaremos a

$$3I_1 + 2I_2 = 6$$
$$2I_1 + 11I_2 = -14$$

y resolviendo este sistema llegaremos finalmente a:

$$I_1 = 3{,}242 \quad I_2 = -1{,}862 \quad \text{y} \quad I_3 = -1{,}379 \text{ mA}$$

(*b*) La caída de tensión V_{24} es

$$V_{24} = -I_3R_3 = 1{,}379 \times 2 = 2{,}758\ V.$$

La caída de tensión entre dos nudos de una red es independiente del itinerario seguido entre uno y otro. Por ejemplo, puede determinarse V_{24} pasando de 2 a 1 y a 4 sumando las caídas a lo largo de este recorrido, es decir

$$V_{24} = -I_1R_1 + 6 = -3.242 + 6 = 2.758 \text{ V}$$

que coincide con el valor hallado pasando directamente de 2 a 4 por R_3.

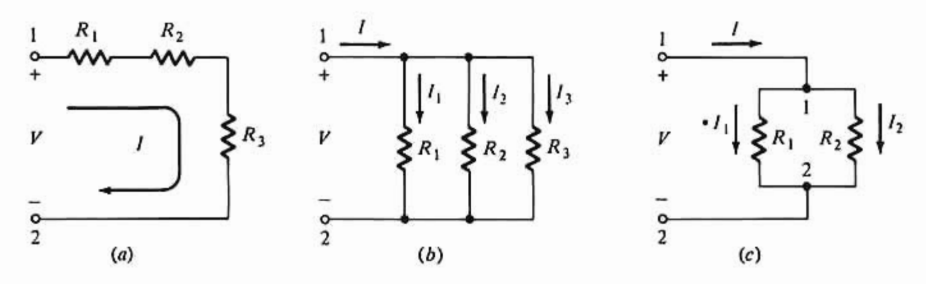


Figura C-5. (*a*) Resistencias en serie. (*b*) Resistencias en paralelo. (*c*) Divisor de corriente.

Para resolver este ejemplo hemos elegido las dos mallas 1 y 2 pero en el circuito existe una tercera que es la exterior 4-1-2-3-4. No obstante, esta tercera malla no es independiente de las otras dos. *Una malla será independiente si su ecuación de Kirchhoff de las tensiones comprende por lo menos una tensión que no figure en las demás ecuaciones.* El número de ecuaciones independientes es igual al número de mallas también independientes.

Se denomina *unión* a un punto al que concurran tres o más elementos del circuito. De los cuatro nudos de la Fig. C-4 son uniones los 2 y 4. *El número de ecuaciones de Kirchhoff de las corrientes es igual al número de uniones menos una.* Por tanto, para resolver el problema anterior sólo se necesita una de estas ecuaciones.

Combinación de resistencias en serie y en paralelo

El circuito de la Fig. C-5*a* consta de tres resistencias en serie, lo que quiere decir que la misma intensidad circula por cada una de ellas. Según la ley de Kirchhoff de las tensiones

$$-V + IR_1 + IR_2 + IR_3 = 0$$

La resistencia equivalente R entre 1 y 2 es por definición

$$R \equiv \frac{V}{I} = R_1 + R_2 + R_3 \qquad \text{(C-6)}$$

Para hallar la resistencia total R de un circuito en serie, basta sumar entre sí los valores de las resistencias individuales.

Unas resistencias estarán en paralelo cuando la misma tensión se aplica a cada una de ellas. Por tanto, las tres resistencias de la Fig. C-5 están en paralelo

$$I_1 = \frac{V}{R_1} = G_1 V \qquad I_2 = \frac{V}{R_2} = G_2 V \qquad I_3 = \frac{V}{R_3} = G_3 V$$

recibiendo $G \equiv 1/R$ el nombre de *conductancia*, siendo sus dimensiones A/V o sea la inversa de la resistencia (ohmio) denominándose mho (u ohmio^{-1}) simbolizándose ℧. Aplicando la ley de las corrientes a la Fig. C-5*b* se obtiene

$$I = I_1 + I_2 + I_3 = (G_1 + G_2 + G_3)V$$

La conductancia equivalente entre 1 y 2 es por definición

$$G \equiv \frac{I}{V} = G_1 + G_2 + G_3 \qquad \text{(C-7)}$$

Para hallar la conductancia total en un circuito en paralelo deben sumarse las conductancias individuales. La Ec. (C-7) equivale a:

$$\frac{1}{R} = \frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} \qquad \text{(C-8)}$$

Naturalmente, el número de resistencias en serie o en paralelo de los circuitos de la Fig. C-5 no está limitado a tres; puede ser cualquier número de dos en adelante. En el caso particular de dos resistencias, la Ec. (C-8) se reduce a

$$R = R_1 \| R_2 = \frac{R_1 R_2}{R_1 + R_2} \qquad \text{(C-9)}$$

en donde el signo $\|$ debe leerse «en paralelo con». De esta ecuación se deduce que dos resistencias en paralelo tienen una resistencia efectiva menor que cada una de ellas.

Así como un circuito en serie da una atenuación de tensión [(Fig. C-3*b*) y Ec.(C-3)] un circuito en paralelo la dará de corriente. En la Fig. C-5*c* la intensidad I_1 en R_1 (o la I_2 en R_2) es menor que la que entra en el nudo 1. Por tanto aplicando la Ec. (C-9) tendremos

$$V = IR = \frac{IR_1 R_2}{R_1 + R_2} = I_1 R_1 \qquad \text{(C-10)}$$

o

$$I_1 = \frac{R_2 I}{R_1 + R_2}$$

Obsérvese que si $R_1 = 0, I_1 = I$. Intuitivamente se ve que esto es correcto pues toda la corriente circulará por el cortocircuito. Por otra parte, si R_1 tiende a infinito I_1 tenderá a cero, lo que también es cierto ya que por un circuito abierto no puede circular corriente.

C-2. TEOREMAS SOBRE CIRCUITOS

Independientemente de la mayor o menor complejidad, siempre se pueden calcular las intensidades y tensiones en una red mediante la aplicación sistemática de las leyes de Kirchhoff. Sin embargo, muchas veces se puede simplificar el análisis empleando uno o más de los teoremas que veremos en esta sección.

Teorema de superposición

La respuesta de una red lineal que contenga varias fuentes independientes puede hallarse considerando separadamente cada generador y sumando luego las respuestas individuales. Al calcular la respuesta debida a una determinada fuente deben sustituirse todas las demás fuentes independientes por sus respectivas resistencias internas es decir, haciendo $v_s = 0$ para una fuente de tensión, e $i_s = 0$ para una de corriente.

Ejemplo C-2

Hallar las intensidades I_1, I_2 e I_3 del circuito de la Fig. C-4 aplicando el teorema de superposición.

Solución

Consideremos en primer lugar las intensidades I'_1, I'_2 e I'_3 debidas a la fuente de 6 V. Deben cortocircuitarse los nudos 3 y 4 para eliminar la respuesta debida a la fuente de -14 V. Esta conexión sitúa R_2 y R_3 en paralelo, como indica la Fig. C-6*a*. Esta combinación en paralelo tiene, según la Ec. (C-9) una resistencia:

$$\frac{R_2 R_3}{R_2 + R_3} = \frac{9 \times 2}{9 + 2} = 1.636 \text{ k}\Omega$$

La resistencia, vista desde la fuente de 6 V, será igual a la suma de R_1 más el valor anterior, y por tanto

$$I'_1 = \frac{6}{1 + 1.636} = 2.276 \text{ mA}$$

y por la Ec. (C-10) de la atenuación de corriente

$$I'_2 = \frac{-I'_1 R_2}{R_2 + R_3} = \frac{-2.276 \times 2}{9 + 2} = -0.414 \text{ mA}$$

y análogamente

$$I'_3 = \frac{-I'_1 R_3}{R_2 + R_3} = \frac{-2.276 \times 9}{2 + 9} = -1.862 \text{ mA}$$

Seguidamente hallaremos las corrientes I''_1, I''_2 e I''_3 debidas a la fuente de - 14 V. Para eliminar los efectos de la fuente de 6 V uniremos los nudos 1 y 4 como en la Fig. C-6*b*. Procediendo como antes tendremos

$$I''_2 = \frac{-14}{9 + (1 \times 2)/3} = -\ 1.448 \text{ mA}$$
$$I''_1 = +\ 1.448 \times \frac{2}{3} = 0.9655 \text{ mA}$$
$$I''_3 = +\ 1.448 \times \frac{1}{3} = 0.4826\text{mA}$$

La corriente neta será la suma algebraica de las corrientes debidas a ambas excitaciones o sea

$$I_1 = I'_1 + I''_1 = 2.276 + 0.966 = 3.242 \text{ mA}$$
$$I_2 = I'_2 + I''_2 = -\ 0.414 - 1.448 = -\ 1.862 \text{ mA}$$
$$I_3 = I'_3 + I''_3 = -\ 1.862 + 0.483 = -\ 1.379 \text{ mA}$$

valores iguales a los obtenidos en la parte *a* del ejemplo C-1. Obsérvese que en este caso particular, el análisis mediante las leyes de Kirchhoff es más simple que empleando la superposición.

Teorema de Thèvenin

Cualquier red lineal puede sustituirse, respecto a un par de terminales, por un generador de tensión V_{Th} (igual a la tensión en circuito abierto) en serie con la resistencia R_{Th} vista desde esos terminales.

Para determinar R_{Th} deben cortocircuitarse todas las fuentes de tensión *independientes* y abrirse el circuito de todas las de corriente también *independientes*. Este teorema se emplea frecuentemente para reducir el número de mallas de una red. Por ejemplo, el circuito con dos mallas de la Fig. C-4 puede

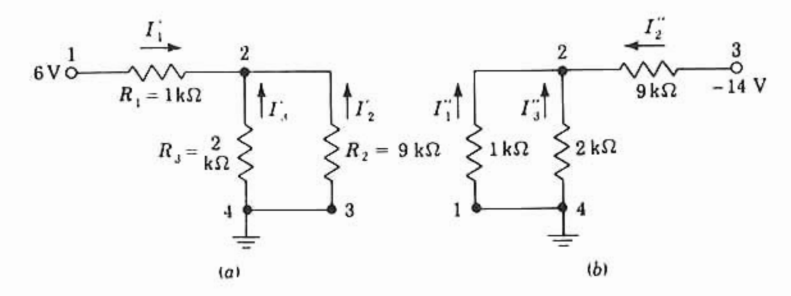


Figura C-6. Superposición aplicada a la red de la Fig. C-4. Circuito desde el que se calcula la respuesta debida a: (*a*) el suministro de 6 V, y (*b*) el suministro de - 14 V.

reducirse a una malla única sustituyendo los componentes de la izquierda de los terminales 2 y 4 (incluida R_3) por su equivalente de Thèvenin. En la Fig. C-7*a* se ha reproducido el circuito de la Fig. C-4. Los componentes de la zona sombreada son los de la derecha de los nudos 2 y 4 y se conservan inalterados en la Fig. C-7*b*. Los demás elementos no aparecen ya en dicha figura, habiendo sido sustituidos por V_{Th} y R_{Th}. El teorema de Thèvenin establece que I_2 y V_{24} calculados para este circuito reducido son idénticos a los valores correspondientes de la Fig. C-4.

La tensión V_{Th} en circuito abierto se halla desconectando los componentes en la zona sombreada de la Fig. C-7*a*. Según la Ec. (C- 2) de atenuación de tensión

$$V_{Th} = \frac{6 \times 2}{1 + 2} = 4 \text{ V}$$

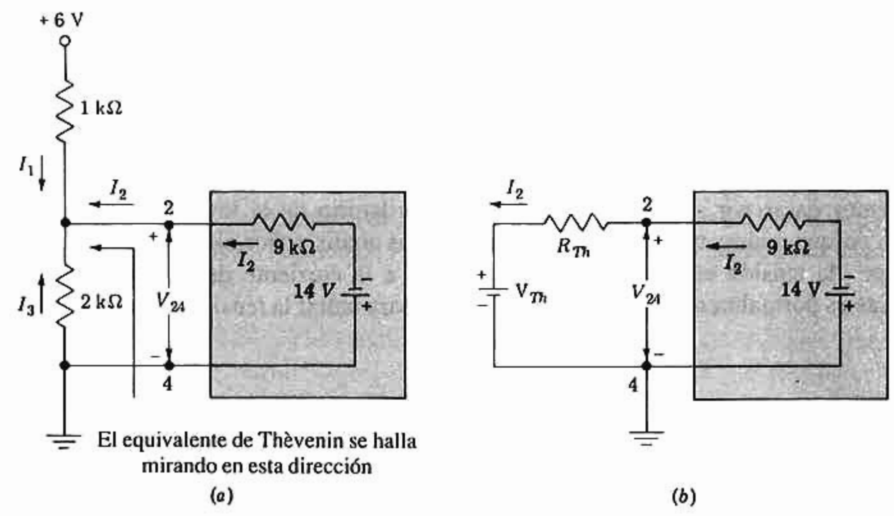


Figura C-7. Reproducción del circuito de la Fig. C-4, (*b*) aplicación del teorema de Thèvenin al circuito de (*a*) mirando a la izquierda de los nudos 2 y 4.

Para hallar la resistencia vista a la izquierda de 2 y 4, se supone reducida a cero la fuente de 6 V, lo que equivale a conectar a tierra el extremo de la resistencia de 1 kΩ, con lo que dicha resistencia queda en paralelo con la de 2 kΩ, y

$$R_{Th} = \frac{1 \times 2}{1 + 2} = 0.667 \text{ k}\Omega$$

Del circuito equivalente de la Fig. C-7*b* tendremos

$$I_2 = \frac{-(14 + V_{Th})}{9 + R_{Th}} = \frac{-18}{9.667} = -1.862 \text{ mA}$$

y

$$V_{24} = -9I_2 - 14 = 9 \times 1.862 - 14 = 2.758 \text{ V}$$

Estos dos valores están de acuerdo con los hallados en la Sec. C- 1. Las intensidades I_3 e I_1, no aparecen en la Fig. C- 7*b* debiéndose hallar por la Fig. C-7*a*, es decir

$$I_3 = \frac{-V_{24}}{2} = \frac{-2.758}{2} = -1.379 \text{ mA}$$

$$I_1 = \frac{6 - V_{24}}{1} = 6 - 1.758 = 3.242 \text{ mA}$$

iguales a las halladas anteriormente.

Teorema de Norton

Cualquier red lineal puede sustituirse, respecto a un par de terminales, por un generador de corriente (igual a la corriente de cortocircuito) en paralelo con la resistencia vista desde esos terminales.

De los teoremas de Thèvenin y de Norton de deduce que una fuente de tensión V en serie con una resistencia R es equivalente a una fuente de corriente I en paralelo con R, siempre que $I = V/R$. En las Figs. C-1*c* y C-1*d* se representan estos circuitos equivalentes con $v_s = V$, $R_s = R$ e $i_s = V/R_s = I$.

Como corolario de los teoremas de Thèvenin y de Norton tenemos las siguientes relaciones. Si V representa la *tensión en circuito abierto*, I la *intensidad en cortocircuito* y R (G) la resistencia (conductancia) entre dos terminales en una red, tendremos

$$V = IR = \frac{I}{G} \qquad I = \frac{V}{R} = GV \qquad R = \frac{V}{I} \tag{C-11}$$

No podemos pasar por alto estas ecuaciones (recordatorio de la ley de Ohm) a pesar de su gran simplicidad, porque realmente son muy empleadas en los análisis. Por ejemplo, la primera ecuación que establece que «la tensión en circuito abierto es igual a la corriente de cortocircuito dividida por la conductancia» es normalmente el camino más sencillo para hallar la tensión entre dos puntos de una red.

Análisis por el método nodal

Cuando el número de tensiones en uniones (respecto al nudo de referencia, o tierra) es menor que el número de mallas independientes, la elección como incógnitas de las tensiones nodales conduce a una solución más simple que la de considerar incógnitas las intensidades de malla. Por ejemplo, el circuito de la Fig. C-4 tiene dos mallas independientes, pero sólo una tensión de nudo independiente. En función de la tensión independiente desconocida $V_{24.}$ las intensidades son:

$$I_1 = \frac{6 - V_{24}}{1} \qquad I_2 = \frac{-14 - V_{24}}{9} \qquad I_3 = \frac{-V_{24}}{2} \tag{C-12}$$

Según la ley de Kirchhoff, la suma de estas tres corrientes (que concurren en el nudo 2) debe ser igual a cero, y por tanto

$$\frac{6}{1} - \frac{V_{24}}{1} - \frac{14}{9} - \frac{V_{24}}{9} - \frac{V_{24}}{2} = 0$$

$$V_{24}(\tfrac{1}{1} + \tfrac{1}{9} + \tfrac{1}{2}) = \tfrac{6}{1} - \tfrac{14}{9} = 4.444 \text{ mA}$$

y

$$V_{24} = 4,444/1,611 = I/G = 2,759\ V.$$

El proceso formal para plantear las ecuaciones nodales es ajustándose a los siguientes pasos:

1 Convertir todas las fuentes de tensión en serie con resistencias, en fuentes de corriente en paralelo con conductancias, como se indica en la Ec. (C-11), y se replantea el circuito.

2 Elegir un nudo de referencia 0 e identificar las tensiones variables V_A, V_B,...V_N como las caídas de tensión desde los nudos A, B,... N al 0. La elección de la referencia es arbitraria, basándose frecuentemente en la mejor conveniencia.

3 Escribir las ecuaciones de Kirchhoff de las corrientes en los nudos A, B,...N en función de las variables de tensión en los nudos. En circuitos que contengan fuentes independientes, el sistema de ecuaciones resultante será de la forma

$$\begin{array}{ll} A: & G_{AA}V_A - G_{AB}V_B - \cdots - G_{AN}V_N = I_A \\ B: & -G_{AB}V_A + G_{BB}V_B - \cdots - G_{BN}V_N = I_B \\ & \cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots \\ N: & -G_{AN}V_A - G_{BN}V_B - \cdots + G_{NN}V_N = I_N \end{array}$$

siendo G_{JJ} = suma de todas las conductancias conectadas al nudo J

G_{JK} = suma de todas las conductancias conectadas entre los nudos J y K,

I_J = suma de todas las fuentes de corriente entrantes en el nudo J

4 Resolver las ecuaciones para las tensiones de nudo deseadas. Otras tensiones y corrientes del circuito se determinan aplicando la ley de Kirchhoff de los tensiones y la ley de Ohm.

Si el circuito contiene fuentes gobernadas, las variables de control (v_π y v_i de las figuras C-2*a* y C-2*b* respectivamente) deben expresarse en función de las variables de tensión de los nudos antes de la solución. (Es decir, v_π y v_i deben expresarse en función de V_A, V_B,...V_N.) La forma de las ecuaciones en el tercer paso es como se indica, excepto $G_{KJ} \neq G_{JK}$.

Análisis de mallas

El método de análisis de las mallas es análogo al empleado con las tensiones de los nudos, salvo que las ecuaciones se formulan en función de las corrientes como variables. Se supone que una corriente de malla señalada por 1 y 2 en la Fig. C-4*a* está presente en cada uno de los elementos del lazo. Por tanto, la corriente en cada rama (componente) es la suma algebraica de las corrientes que existan en ella. Por ejemplo si en la Fig. C-4*a*, I_A es la corriente en la malla 1 e I_B es la de la malla 2, la ley de Kirchhoff nos da, para estos lazos

$$-6 + I_A \cdot 1 + (I_A + I_B) \cdot 2 = 0$$

$$14 + 9I_B + (I_A + I_B) \cdot 2 = 0$$

o

$$3I_A + 2I_B = 6$$

$$2I_A + 11I_B = -14$$

Resolviendo estas ecuaciones tendremos finalmente: $I_A = I_1 = 3{,}242$ mA e $I_B = I_2 = 1{,}862$ mA. La corriente I_3 en R_3 es $-(I_A + I_B) = -1{,}379$ mA. Evidentemente estos valores son los mismos que los hallados en el ejemplo C-1.

El proceso formal para plantear las ecuaciones de malla es ajustándose a los siguientes pasos:

1 Convertir cada fuente de corriente con conductancia en paralelo, en una fuente de tensión con resistencia en serie, dibujando nuevamente el circuito.

2 Elegir una corriente de malla variable para cada lazo.

3 Escribir las ecuaciones de Kirchhoff de cada lazo en la dirección de la corriente para cada uno de ellos.

En circuitos que contengan fuentes independientes, el sistema resultante será de la forma

$$1: \quad R_{11}I_1 - R_{12}I_2 - \cdots - R_{1N}I_N = V_1$$

$$2: \quad -R_{12}I_1 + R_{22}I_2 - \cdots - R_{2N}I_N = V_2$$

$$\cdots\cdots\cdots\cdots\cdots\cdots\cdots\cdots$$

$$N: \quad -R_{1N}I_1 - R_{2N}I_2 - \cdots - R_{NN}I_N = V_N$$

siendo

R_{JJ} = suma de todas las resistencias contenidas en la malla J.

R_{JK} = suma de todas las resistencias comunes a ambas mallas (J y K)

V_J = suma de todos los aumentos de tensión en el lazo, tomados en el sentido de I_J

4 Resolver las ecuaciones para la intensidad deseada. Las demás tensiones y corrientes se pueden hallar mediante las leyes de Ohm y de Kirchhoff de las corrientes.

En circuitos que contengan fuentes gobernadas, la variable de control se expresa en función de las corrientes de malla $I_1, I_2, \ldots I_N$. En estos casos la forma de las ecuaciones del 3er. paso son las indicadas salvo $R_{IJ} \neq R_{JI}$.

C-3. ESTADO SENOIDAL EN RÉGIMEN PERMANENTE

Si se aplica a una red lineal una excitación senoidal (de tensión o de corriente) la respuesta (tensión entre dos nudos, o corriente en una rama de la red) será también senoidal. (Se supone que han desaparecido todos los transitorios, habiéndose establecido ya el régimen permanente.) Vamos a comprobar esta afirmación en la combinación en paralelo de la resistencia R y el condensador C de la Fig. C-8 a la que se aplica una tensión senoidal

$$v = V_m \cos \omega t = V_m \cos 2\pi f t \qquad \text{(C-13)}$$

en donde f es la *frecuencia* en hertz (Hz) de la fuente, $\omega = 2\pi f$ es la *frecuencia angular* y V_m es el valor máximo o de pico de la tensión. Vamos a demostrar que la corriente i del generador es también de forma senoidal.

Un condensador C es un componente (por ejemplo, dos metales separados por un dieléctrico) que almacena una carga q (culombios) proporcional a la tensión v aplicada (voltios) de forma que

$$q = Cv \qquad \text{(C-14)}$$

en donde el factor de proporcionalidad C se denomina *capacidad*. Las dimensiones de C son culombios/voltios, lo que recibe el nombre de *faradio* (F). La intensidad i_C en el condensador es por tanto

$$i_C = \frac{dq}{dt} = C\frac{dv}{dt} \qquad \text{(C-15)}$$

o empleando la Ec. (C-13)

$$i_C = -\omega C V_m \operatorname{sen} \omega t \qquad \text{(C-16)}$$

La corriente i_R en la resistencia es, según la ley de Ohm

$$i_R = \frac{v}{R} = \frac{V_m}{R} \cos \omega t \qquad \text{(C-17)}$$

y según la ley de Kirchhoff de las corrientes $i = i_R + i_C$, o sea

$$i = \frac{V_m}{R} \cos \omega t - \omega C V_m \operatorname{sen} \omega t \qquad \text{(C-18)}$$

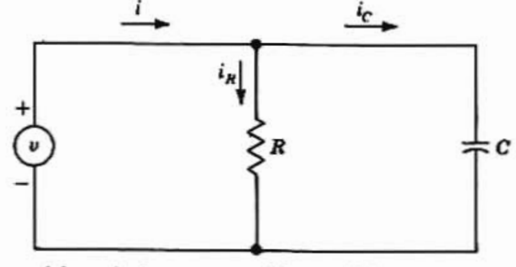


Figura C-8. Combinación RC en paralelo excitada por una tensión senoidal.

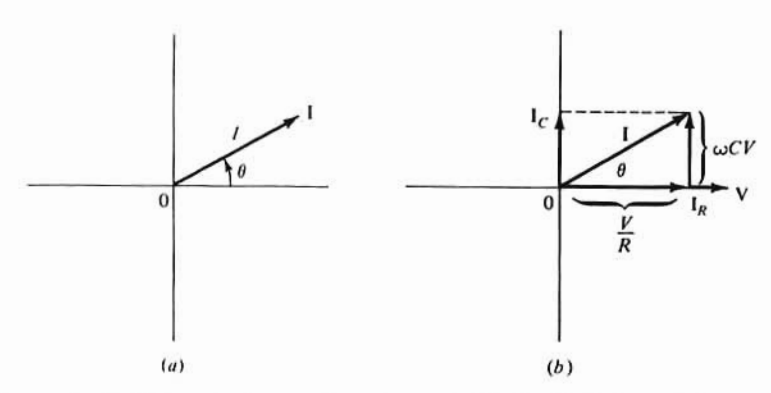


Figura C-9. (*a*) Representación de la corriente como fasor de magnitud I y fase 0. (*b*) Suma de fasores representando $I = I_g + I_c$.

que tiene la forma

$$i = I_m \cos\theta \cos\omega t - I_m \operatorname{sen}\theta \operatorname{sen}\omega t \tag{C-19}$$

siendo
$$I_m \cos\theta \equiv \frac{V_m}{R} \qquad \text{y} \qquad I_m \operatorname{sen}\theta \equiv \omega C V_m \tag{C-20}$$

Sabemos por trigonometría que

$$\cos(\theta + \alpha) = \cos\theta\cos\alpha - \operatorname{sen}\theta \operatorname{sen}\alpha \tag{C-21}$$

con lo que la Ec. (C-19), siendo $\alpha \equiv \omega t$ equivale a

$$i = I_m \cos(\omega t + \theta) \tag{C-22}$$

Con lo que queda demostrado que la intensidad del generador es verdaderamente senoidal. El pico de intensidad, o intensidad máxima es I_m estando i defasada un ángulo θ respecto a la tensión de la fuente $V_m \cos\omega t$. Diremos que la corriente del generador avanza respecto a la tensión el ángulo de fase θ.

La corriente máxima I_m y la fase θ se obtienen de las Ecs. (C-20). Elevando al cuadrado ambas ecuaciones y sumándolas tendremos

$$I_m^2 \cos^2\theta + I_m^2 \operatorname{sen}^2\theta = \frac{V_m^2}{R^2} + \omega^2 C^2 V_m^2 \tag{C-23}$$

y puesto que $\cos^2\theta + \operatorname{sen}^2\theta = 1$

$$I_m = V_m \sqrt{\frac{1}{R^2} + \omega^2 C^2} \tag{C-24}$$

Dividiendo la segunda ecuación de (C-20) por la primera, resulta

$$\frac{I_m \operatorname{sen}\theta}{I_m \cos\theta} = \frac{\omega C V_m}{V_m/R}$$

o
$$\operatorname{tg}\theta = \omega CR \tag{C-25}$$

En una red más complicada que la de la Fig. C-8 el análisis requeriría una manipulación trigonométrica prohibitiva por excesiva, por lo que vamos a presentar un método general alternativo más sencillo para resolver redes senoidales en régimen permanente. Pero previamente introduciremos algunos conceptos importantes (tales como fasores, plano complejo, e impedancia).

Fasores

En una red, cada intensidad (o tensión) es una senoide con un valor de pico y un ángulo de fase, por lo que se puede representar mediante un vector, que es un segmento rectilíneo de una cierta longitud y dirección. En el caso de una senoide, este vector se denomina *fasor*. Su magnitud (o módulo) representa el valor efectivo o eficaz, dado por el valor de pico dividido por 2. La dirección del fasor es la fase θ en la onda senoidal $I_m \cos(\omega t + \theta)$, contándose θ en sentido izquierdo a partir del eje horizontal. En esta sección emplearemos negritas **I** (**V**) para designar un fasor intensidad (o tensión). En notación fasor la Ec. (C-22) se escribe

$$\mathbf{I} = I \angle \theta \tag{C-26}$$

en donde $I = I_m / \sqrt{2}$. En la Fig. C- 9*a* podemos ver ese fasor. El fasor de tensión aplicada es, según la Ec. (C-13), $\mathbf{V} = V \angle 0°$, siendo $V = V_m / \sqrt{2}$, y según la Ec. (C-17) la intensidad en la resistencia será $\boldsymbol{I}_R = V/R \angle 0^{\text{o}}$, fasores que están representados por la Fig. C-9*b*. Obsérvese que *en una resistencia la intensidad está en fase con la tensión aplicada a ella.*

Puesto que la Ec. (C-16) puede escribirse $i_C = \omega C V_m \cos(\omega t + 90°)$, el fasor representativo de la corriente en el condensador será

$$\mathbf{I}_C = \omega C V \angle 90° \tag{C-27}$$

siendo $V = V_m / \sqrt{2}$ la tensión eficaz. Obsérvese que la *intensidad en un condensador avanza 90º respecto a la tensión a él aplicada.* En la Fig. C-9*b* está representado el fasor $\mathbf{I}_C$. En el generador, la intensidad es la suma de intensidades en la resistencia y en el condensador, lo que expresado en forma de fasor

$$\mathbf{I} = \mathbf{I}_R + \mathbf{I}_C = \frac{\mathbf{V}}{R} \angle 0 + \omega C\, \mathbf{V} \angle 90° \tag{C-28}$$

Este fasor suma puede verse en la Fig. C-9*b* de la que se deduce que

$$|\mathrm{I}|^2 = \frac{V^2}{R^2} + \omega^2 C^2 V^2 \qquad \text{y} \qquad \operatorname{tg} \theta = \omega C R$$

de acuerdo con las Ecs. (C-24) y (C-25). Obsérvese lo sencillo que resulta el análisis por medio de los fasores, en comparación con las soluciones anteriores a base de los valores instantáneos de corrientes y tensiones y del manejo de ecuaciones a base de identidades trigonométricas. Aún se puede simplificar más

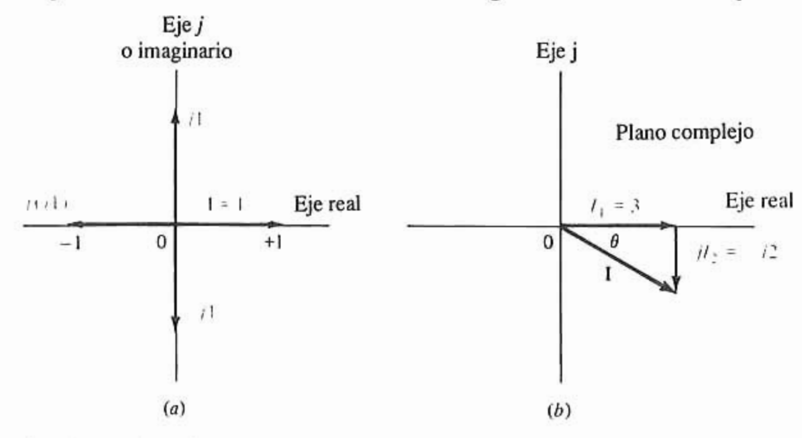


Figura C-10. (*a*) Relativo al operador *j*. (*b*) Fasor corriente en el plano complejo.

el análisis introduciendo el concepto de plano complejo, obteniéndose una solución algebraica en lugar de trigonométrica.

El operador j

Una convención muy útil es la de emplear el símbolo j para representar un *adelanto de fase* de 90°, con lo que en lugar de la Ec. (C-27) se escribirá $\mathbf{I}_C = j\omega CV$, y para la corriente total de la Ec. (C-28)

$$\mathbf{I} = \frac{V}{R} + j\omega CV \tag{C-29}$$

Esta ecuación debe interpretarse como que el fasor **I** está formado combinando el fasor horizontal V/R (de fase cero) con ωCV en sentido vertical (fase de 90°), por lo que al eje vertical se le denomina también eje j. La corriente **I** de la Fig. C-9*b* es idéntica a la hallada más arriba.

De la definición de j se deduce que $j\mathbf{I}$ es un fasor de magnitud, la de **I**, pero su fase es 90º mayor que la fase de **I**. En otras palabras, j «multiplicando» el fasor **I**, es un operador que hace girar 90º a **I** en sentido contrario a las agujas del reloj. Consideremos $\mathbf{I} = 1$, un fasor de magnitud 1 y fase 0. En ese caso $j\mathbf{I} = j1$ tendrá magnitud 1 y fase 90° como indica la Fig. C-10. Asimismo $j(j1)$ representa un giro de $j1$ de 90°, lo que se convierte en un fasor de magnitud unidad dirigido en el sentido negativo del eje horizontal, como en la Fig. C-10. Por tanto, es correcta la expresión

$$j(j1) = j^2 1 = -1 \qquad \text{o} \qquad j = \sqrt{-1} \tag{C-30}$$

y debido a ello, al eje vertical se le denomina *eje j* o *imaginario* y al horizontal, *eje real*, así como el plano de la Fig. C-10 recibe el nombre de *plano complejo*.

Las potencias de j se determinan fácilmente, por ejemplo,

$$j^3 = j(j^2) = j(-1) = -j \tag{C-31}$$

lo que representa un fasor de magnitud 1 y fase -90°. La inversa de j es $-j$ como se comprueba fácilmente

$$\frac{1}{j} = \frac{1}{j}\,\frac{j}{j} = \frac{j}{j^2} = -j \tag{C-32}$$

ya que según la Ec. (C-30) $j^2 = -1$. Un punto situado en el plano complejo constituye un número complejo, siendo evidente que un fasor es un número complejo. Por tanto, el análisis de circuitos senoidales se simplifica tratando las corrientes y tensiones como números complejos representativos de fasores.

Supongamos que se analiza (por el método general señalado en la Sec. C-4) un circuito complicado, hallándose la siguiente intensidad compleja:

$$\mathbf{I} = I_1 - jI_2 = 3 - j2 \qquad \text{mA} \tag{C-33}$$

Este fasor está representado en el plano complejo de la Fig. C- 10*b* y de este diagrama se deduce que la intensidad eficaz $|\mathbf{I}|$ y el ángulo de fase θ vienen dados por

$$|\mathbf{I}| = \sqrt{I_1^2 + I_2^2} = \sqrt{13} = 3.61 \text{ mA}$$

y

$$\theta = -\text{arc tg}\,\frac{I_2}{I_1} = -\text{arc tg}\,\frac{2}{3} = -33.7° = -0.588 \text{ rad}$$

La intensidad instantánea, si la frecuencia es f = 1kHz, será según la Ec. (C-22), i = 3,61 2 cos (6,280t - 0,588) mA.

C-4. ANÁLISIS SIMPLIFICADO DE UNA RED SENOIDAL

Consideremos una red senoidal que contenga resistencias, condensadores, inductancias y fuentes senoidales, y se desea conocer la respuesta en régimen permanente. Se puede llegar a un método de solución directo análogo al empleado con redes de componentes únicamente resistivos y fuentes de tensión (o de corriente) continuas y constantes. El análisis consiste en plantear las ecuaciones de Kirchhoff de tensiones y de corrientes correspondientes a la red y luego resolviendo para las corrientes y tensiones complejas (fasores). Para llevar a cabo dicho análisis es preciso introducir previamente el concepto de *resistencia o reactancia compleja*. Después de definir la reactancia, se resuelven por este sencillo método distintos circuitos específicos.

Reactancia

La relación entre la tensión V a través de un componente pasivo del circuito y la intensidad en el mismo es, para cada uno de los tres componentes básicos, la siguiente

$$\text{Resistencia:} \quad \frac{V}{I} = R$$

$$\text{Capacidad:} \quad \frac{V}{I} = \frac{1}{j\omega C} = \frac{-j}{\omega C} = +j\left(\frac{-1}{\omega C}\right) \tag{C-34}$$

$$\text{Inductancia:} \quad \frac{V}{I} = j\omega L$$

La primera de estas ecuaciones es la ley de Ohm. La segunda se deduce de la Ec. (C-27). Una inductancia es un componente (por ej. una bobina de hilo conductor) cuya tensión en terminales v es proporcional a la relación de cambio de la corriente. El factor de proporcionalidad L (Henris, H) se denomina *inductancia.* A partir de $v = L\,di/dt$ puede deducirse la tercera ecuación (C-34) en forma análoga a la empleada en la sección precedente para deducir la Ec. (C-27).

De las Ec. (C-34) se desprende que un condensador se comporta como una «resistencia compleja» $-j/\omega C$ y una inductancia actúa de modo semejante a una «resistencia compleja» $j\omega L$. A una resistencia compleja se le denomina normalmente *reactancia*, y se representa con el símbolo real positivo X:

Reactancia capacitiva = $+jX_C$ siendo $X_C \equiv -1/\omega C$

y Reactancia inductiva = $+jX_L$ siendo $X_L \equiv \omega L$

Al aplicar a un circuito que contenga elementos reactivos la ley de Kirchhoff de las tensiones es necesario recordar que la caída de tensión a través de un condensador es $-jX_C I = -jI/\omega C$ y a través de una inductancia es $jX_L I = j\omega L I$. De cuanto antecede se desprende que la aplicación de la ley de Kirchhoff de las tensiones al circuito serie de la Fig. C-11 conduce a:

$$V = RI + j\omega LI - \frac{j}{\omega C} I \tag{C-35}$$

o

$$I = \frac{V}{R + j(\omega L - 1/\omega C)} = \frac{V}{R + jX} \tag{C-36}$$

siendo la reactancia total en serie $X \equiv \omega L - 1/\omega C$. Las corrientes pueden expresarse en forma de números complejos normales $I = I_1 + jI_2$. multiplicando numerador y denominador por el conjugado complejo (cambio de j por $-j$) del denominador, es decir

$$I = \frac{V}{R + jX}\,\frac{R - jX}{R - jX} = \frac{V}{R^2 + X^2}(R - jX) \tag{C-37}$$

De esta ecuación vemos que la magnitud y fase de I vienen dadas por

$$|I| = \frac{V}{\sqrt{R^2 + X^2}} \qquad \text{y} \qquad \text{tg}\ \theta = -\frac{X}{R} \tag{C-38}$$

Las cantidades complejas (fasores) pueden expresarse de tres formas distintas: Rectangular ($I = I_1 + jI_2$); Polar $I = I \angle \theta$ y Exponencial ($I = I\epsilon^{j\theta}$). La conversión entre estas formas viene dada por

$$\begin{aligned} I &= \sqrt{I_1^2 + I_2^2} \qquad & \theta &= \tan^{-1}\frac{I_2}{I_1} \\ I_1 &= I\cos\theta & I_2 &= I\,\text{sen}\,\theta \end{aligned} \tag{C-39}$$

Impedancia

La relación entre la diferencia de tensiones existentes entre dos puntos A y B de una red y la intensidad que circula por ese tramo del circuito se denomina *impedancia* **Z** entre A y B. En el circuito de la Fig. C-11

$$\mathbf{Z} \equiv \frac{\mathbf{V}}{\mathbf{I}} = R + j\left(\omega L - \frac{1}{\omega C}\right) \tag{C-40}$$

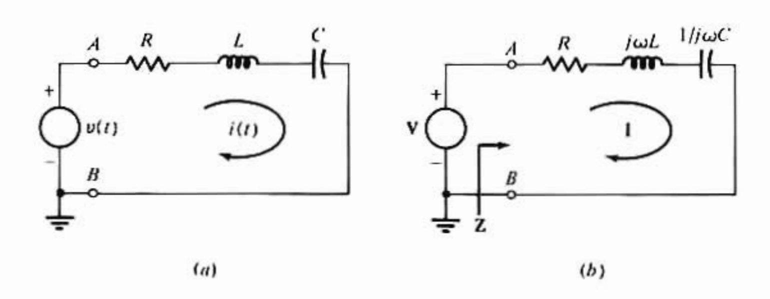


Figura C-11. Circuito RLC en serie: (*a*) en el campo del tiempo, y (*b*) en el campo de la frecuencia.

de la Ec. (C-35). Puesto que el generador V está situado directamente entre A y B, **Z** es la impedancia vista desde la fuente V. Obsérvese que en un circuito en serie la impedancia es igual a la suma de las resistencias más las reactancias del lazo, lo que es análogo a la ley que rige para los circuitos en serie con continua, que dice que la resistencia total es la suma de las resistencias en serie. Hay que tener en cuenta que aun

cuando **Z** es una cantidad compleja no es un fasor ya que *no* representa ni una corriente ni una tensión variable senoidalmente con el tiempo.

Dos impedancias $\mathbf{Z}_1$ y $\mathbf{Z}_2$ en paralelo equivalen a una impedancia **Z** dada por

$$\mathbf{Z} = \frac{\mathbf{Z}_1\mathbf{Z}_2}{\mathbf{Z}_1 + \mathbf{Z}_2} \tag{C-41}$$

que se corresponde con la Ec. (C-9) para dos resistencias en paralelo. En la combinación de una resistencia y un condensador en paralelo como en la Fig. C-8, $\mathbf{Z}_1 = R$, $\mathbf{Z}_2 = -j/\omega C = 1/j\omega C$, y según la Ec. (C-41)

$$\mathbf{Z} = \frac{R(1/j\omega C)}{R + 1/j\omega C} = \frac{R}{1 + j\omega CR} \tag{C-42}$$

Al mismo resultado se llega aplicando la ley de Kirchhoff de las corrientes a la Fig. C-8. Empleando notación fasorial

$$\mathbf{I} = \mathbf{I}_R + \mathbf{I}_C = \frac{\mathbf{V}}{R} + \frac{\mathbf{V}}{1/j\omega C} = \frac{\mathbf{V}}{R} + j\omega C\mathbf{V} \tag{C-43}$$

y $\boldsymbol{Z} = \boldsymbol{V}/\boldsymbol{I}$ da el resultado de la Ec. (C-42).

Admitancia

La inversa de la impedancia se denomina *admitancia* y se representa por $\boldsymbol{Y}$ de forma que

$$Y \equiv 1/\mathbf{Z} = G + jB \tag{C-44}$$

La parte real de $\boldsymbol{Y}$ es la *conductancia* G y la parte imaginaria es la *susceptancia* B. Si nos referimos a una resistencia tendremos que $\boldsymbol{Z} = R$, $G = 1/R$, y $B = 0$. Si por el contrario el elemento del circuito es un condensador, $\boldsymbol{Z} = 1/j\omega C$ e $\boldsymbol{Y} = j\omega C$ de forma que $B = \omega C$ y $G = 0$.

Puesto que $\boldsymbol{I} = \boldsymbol{V}/\boldsymbol{Z}$, $\boldsymbol{I} = \boldsymbol{YV}$. Para una resistencia $\boldsymbol{I}_R = G\boldsymbol{V}_R$ y para un condensador $\boldsymbol{I}_C = j\omega C\, \boldsymbol{V}_C$. En el circuito de la Fig. C-8, con R y C en paralelo, $\boldsymbol{V}_R = \boldsymbol{V}_C = \boldsymbol{V}$, y la corriente total es

$$\boldsymbol{I} = \boldsymbol{I}_R + \boldsymbol{I}_C = (\mathrm{G} + j\omega\, C)\,V$$

La admitancia de esta combinación es $\boldsymbol{Y} = \boldsymbol{I}/\boldsymbol{V} = G + j\,\omega C$, lo que está de acuerdo con la Ec. (C-43) si $G = 1/R$.

Análisis de redes

Los teoremas desarrollados en la Sección C-2 para redes resistivas son aplicables también a circuitos excitados senoidalmente. Por ejemplo, el equivalente de Thèvenin es el fasor tensión V_{Th} en circuito abierto en serie con la impedancia de Thèvenin $\mathbf{Z}_{Th}$. Análogamente, la superposición revela el hecho de que la respuesta del fasor de tensión (o corriente) a un cierto número de excitaciones de igual frecuencia es simplemente la suma de los componentes de tensión (o de corriente) debidos a cada excitación por sí sola.

Los procesos de análisis de mallas y nudos son también análogos a los del caso resistivo. Las tensiones y corrientes variables son cantidades fasoriales en el caso senoidal reemplazando las resistencias por impedancias.

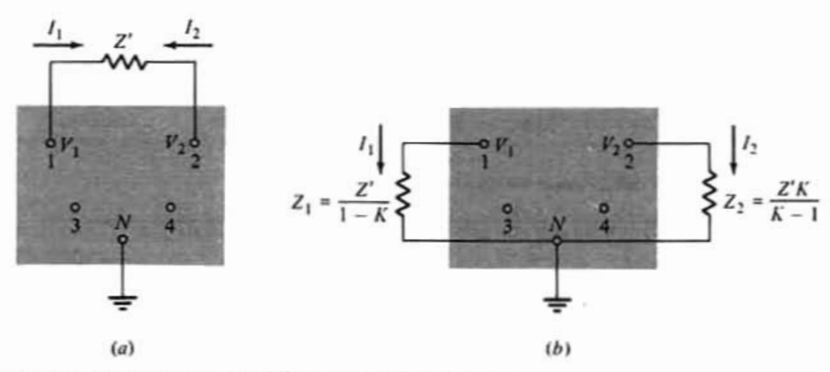


Figura C-12. Relativo al teorema de Miller. Por definición, $K \equiv V_2/V_1$. Las redes de (*a*) y de (*b*) tienen idénticas tensiones nodales. Obsérvese que $I_1 = -I_2$.

Teorema de Miller

Este teorema es particularmente útil en relación con los amplificadores de alta frecuencia con transistores. Consideremos una configuración de circuito cualquiera con N nudos distintos, 1, 2, 3,...N como en la Fig.C-12. Sean las tensiones en los nudos $\boldsymbol{V}_1, \boldsymbol{V}_2, \boldsymbol{V}_3, \ldots \boldsymbol{V}_N$ siendo $\boldsymbol{V}_N = 0$ por ser N el nudo de referencia o de tierra. Los nudos 1 y 2 (que llamaremos N_1 y N_2) están conectados a través de una impedancia $\mathbf{Z}'$. Supondremos conocida la relación $\boldsymbol{V}_2/\boldsymbol{V}_1$, que llamaremos $\mathbf{K}$. Vamos a demostrar que la corriente $\boldsymbol{I}_1$ suministrada por N_1 a través de $\mathbf{Z}'$ puede hallarse desconectando $\mathbf{Z}'$ del terminal y puenteando una impedancia $\mathbf{Z}'/(1-\mathbf{K})$ desde N_1 a tierra como en la Fig. C-12*b*.

La corriente I_1 viene dada por

$$\mathbf{I}_1 = \frac{\mathbf{V}_1 - \mathbf{V}_2}{\mathbf{Z}'} = \frac{\mathbf{V}_1(1 - \mathbf{K})}{\mathbf{Z}'} = \frac{\mathbf{V}_1}{\mathbf{Z}'/(1 - \mathbf{K})} = \frac{\mathbf{V}_1}{\mathbf{Z}_1} \tag{C-45}$$

Por tanto, si $\mathbf{Z}_1 \equiv \mathbf{Z}'(1-\mathbf{K})$ se conecta entre los terminales N_1 - N, la corriente $\boldsymbol{I}_1$ suministrada por N_1 será la misma que la del circuito original. Así pues, se llega a la misma expresión de $\boldsymbol{I}_1$ en función de las tensiones de los nudos en las dos configuraciones (Figs. C-12*a* y *b*).

Análogamente se puede establecer que la coriente $\boldsymbol{I}_2$ emanada de N_2 se puede calcular suprimiendo Z' y conectando entre tierra y N_2 una impedancia $\mathbf{Z}_2$

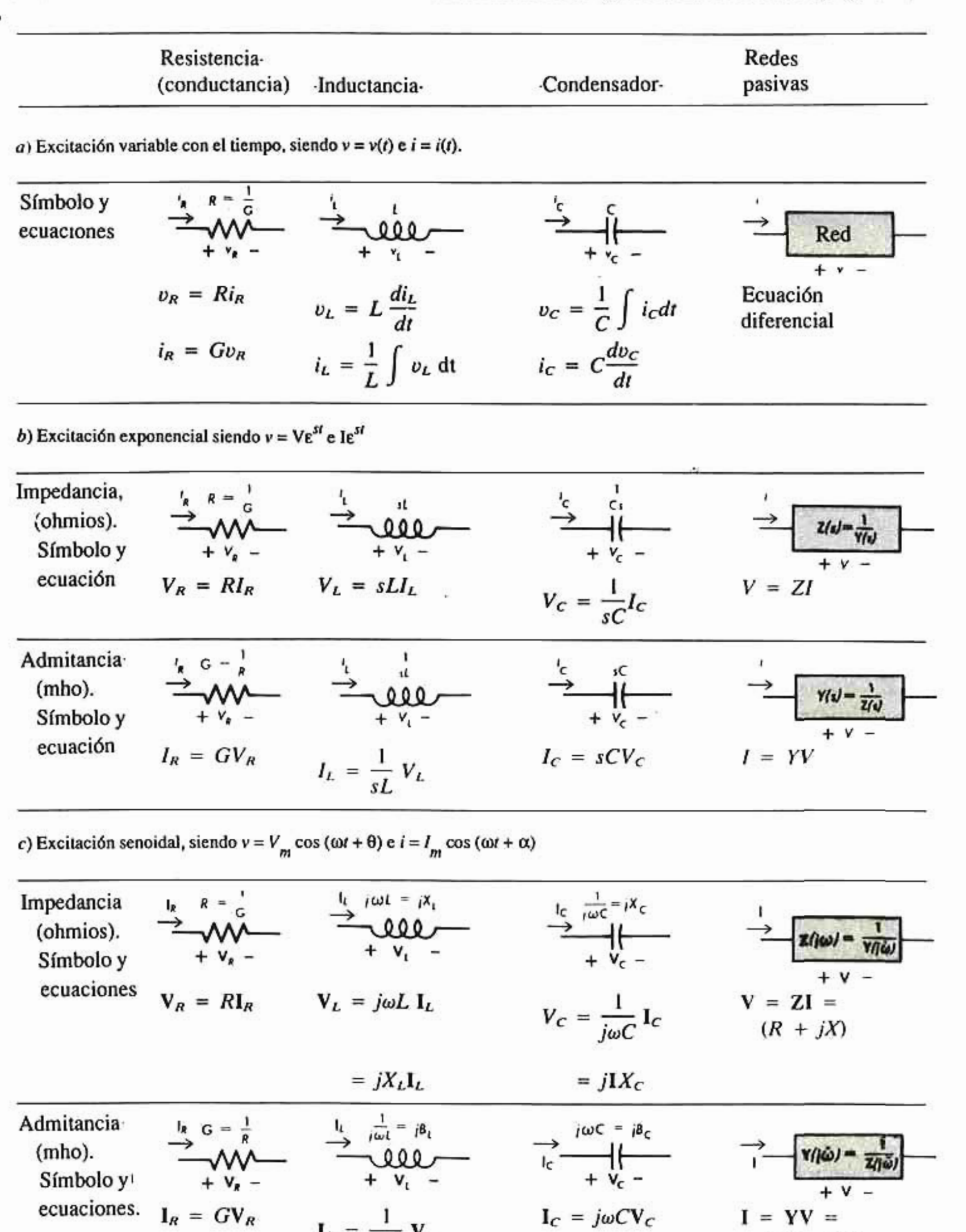
$$\mathbf{Z}_2 \equiv \frac{\mathbf{Z}'}{1 - 1/\mathbf{K}} = \frac{\mathbf{Z}'\mathbf{K}}{\mathbf{K} - 1} \tag{C-46}$$

ya que se llega a ecuaciones nodales idénticas para las configuraciones de las Figs. C-12*a* y *b*, ambas son equivalentes. Hay que tener en cuenta que este teorema solo será útil para los cálculos si es posible hallar el valor de $\mathbf{K}$ por algún medio independiente.

C-5. EXCITACIÓN EXPONENCIAL

La excitación senoidal puede considerarse como un caso particular de excitación exponencial en la que $s = j\omega$. Para esta situación, en la Tabla C-1*b* se dan las admitancias e impedancias de los distintos elementos (Obsérvese que haciendo $s = j\omega$ en la tabla C-1*b*, se llega a los resultados de la Tabla C-1*c*.)

TABLA C-1. Relación tensión/corriente de los elementos con excitación: (*a*) variable con el tiempo; (*b*) exponencial, y (*c*) senoidal.



	Resistencia (conductancia)	Inductancia	Condensador	Redes pasivas
a) Excitación variable con el tiempo, siendo $v = v(t)$ e $i = i(t)$.				
Símbolo y ecuaciones	$R = \frac{1}{G}$; $v_R = Ri_R$; $i_R = Gv_R$	L; $v_L = L\frac{di_L}{dt}$; $i_L = \frac{1}{L}\int v_L\, dt$	C; $v_C = \frac{1}{C}\int i_C dt$; $i_C = C\frac{dv_C}{dt}$	Red; Ecuación diferencial
b) Excitación exponencial siendo $v = Ve^{st}$ e Ie^{st}				
Impedancia, (ohmios). Símbolo y ecuación	$R = \frac{1}{G}$; $V_R = RI_R$	sL; $V_L = sLI_L$	$\frac{1}{Cs}$; $V_C = \frac{1}{sC}I_C$	$Z(s) = \frac{1}{Y(s)}$; $V = ZI$
Admitancia (mho). Símbolo y ecuación	$G = \frac{1}{R}$; $I_R = GV_R$	$\frac{1}{sL}$; $I_L = \frac{1}{sL}V_L$	sC; $I_C = sCV_C$	$Y(s) = \frac{1}{Z(s)}$; $I = YV$
c) Excitación senoidal, siendo $v = V_m \cos(\omega t + \theta)$ e $i = I_m \cos(\omega t + \alpha)$				
Impedancia (ohmios). Símbolo y ecuaciones	$R = \frac{1}{G}$; $\mathbf{V}_R = R\mathbf{I}_R$	$j\omega L = jX_L$; $\mathbf{V}_L = j\omega L\,\mathbf{I}_L$ $= jX_L\mathbf{I}_L$	$\frac{1}{j\omega C} = jX_C$; $V_C = \frac{1}{j\omega C}\mathbf{I}_C$ $= j\mathbf{I}X_C$	$Z(j\omega) = \frac{1}{Y(j\omega)}$; $\mathbf{V} = \mathbf{Z}\mathbf{I} = (R + jX)$
Admitancia (mho). Símbolo y ecuaciones.	$G = \frac{1}{R}$; $\mathbf{I}_R = G\mathbf{V}_R$	$\frac{1}{j\omega L} = jB_L$; $\mathbf{I}_L = \frac{1}{j\omega L}\mathbf{V}_L$ $= jB_L\mathbf{V}_L$	$j\omega C = jB_C$; $\mathbf{I}_C = j\omega C\mathbf{V}_C$ $= jB_C\mathbf{V}_C$	$Y(j\omega) = \frac{1}{Z(j\omega)}$; $\mathbf{I} = \mathbf{Y}\mathbf{V} = (G + jB)\mathbf{V}$

Para la variable de frecuencia generalizada $s = \sigma + j\omega$, los métodos de análisis de circuitos son idénticos a los expuestos en las Secciones C-2 a C-4: es decir, sustituir las resistencias, condensadores e inductancias (elementos dependientes del tiempo) por sus impedancias (o admitancias) en el campo de frecuencias (plano-*s*). Una vez transformada la red de esta forma todos los teoremas y técnicas de análisis vistos en la Sección C-2 son directamente aplicables. Así, si en la Fig. C-11*b* se sustituye $j\omega$ por s, la impedancia $Z(s)$ es

$$Z(s) = \frac{V}{I} = R + sL + \frac{1}{sC} = \frac{LCs^2 + RCs + 1}{sC} \tag{C-47}$$

e $I = V/Z$ se convierte en

$$I = \frac{sC}{LCs^2 + RCs + 1} V \tag{C-48}$$

Obsérvese en la Ec. (C-48) que haciendo $s = 0$ (continua) tendremos $I = 0$; análogamente, con valores de s que hagan que el denominador de la Ec. (C-48) sea igual a cero, I tenderá a infinito.

En general, la relación entre la respuesta y la excitación (en el campo de frecuencias) se denomina *función de transferencia*. Por tanto, si V_o es la respuesta a una excitación V_i,

$$A(s) = \frac{V_o}{V_i} = \frac{N(s)}{D(s)} \tag{C-49}$$

siendo $A(s)$ la función de transferencia. Los valores de s que hagan que $A(s) = 0$ se denominan *ceros* de dicha función, y los valores de s que hagan $A(s) \rightarrow \infty$, se denominan *polos* de la misma. En la Ec. (C-47) los valores de s que motivan que $N(s) = 0$ son ceros de $A(s)$, mientras que los que hacen que $D(s) = 0$ son polos de $A(s)$.

En las próximas Secciones se evidencia mejor el uso de los polos y los ceros (y su importancia).

C-6. RESPUESTA DE UN CIRCUITO *RC* A UN ESCALÓN

El problema de transitorios que más frecuentemente se encuentra en los circuitos electrónicos es el que se deriva de un cambio de súbito de la excitación en continua aplicada a la combinación en serie de una resistencia y un condensador. Consideremos el circuito *RC* de paso-alto de la Fig. C-13, al que se aplique un escalón de tensión v_i. La tensión de salida v_o se toma en paralelo con la resistencia.

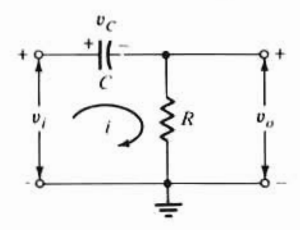


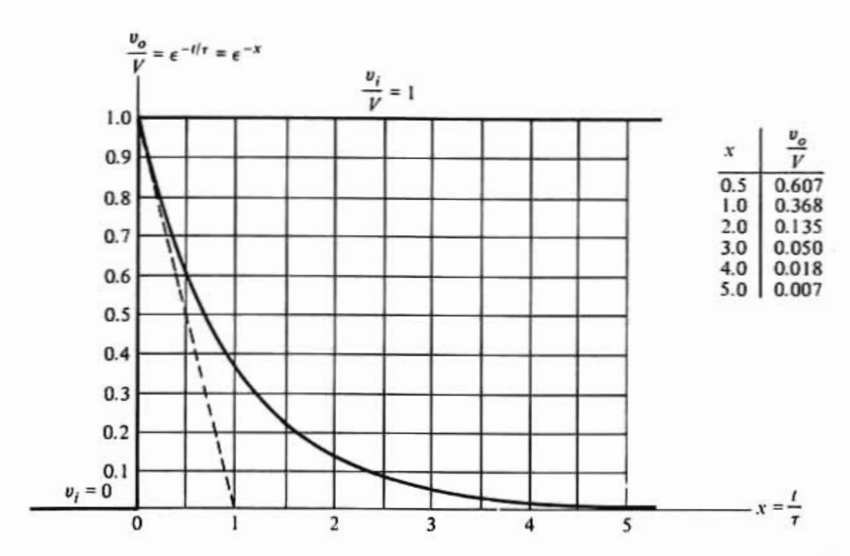
Figura C-13. Circuito RC paso-alto.

Circuito *RC* paso-alto

Un *escalón de tensión* es aquel que mantiene el valor cero en todo tiempo $t < 0$, y el valor V en todo tiempo $t > 0$. La transición entre los dos niveles de tensión tiene lugar en el instante $t = 0$ empleando un cierto intervalo corto de tiempo. Así, en la Fig. C-14 v_i es igual a cero inmediatamente antes de $t = 0$ (instante que denominaremos $t = 0^-$) y es igual a V inmediatamente después (instante que denominaremos $t = 0^+$).

Por consideraciones elementales, la respuesta del circuito es exponencial, con una constante de tiempo $RC \equiv \tau$, tomando la tensión de salida la forma

$$v_o = B_1 + B_2 \epsilon^{-t/\tau} \tag{C-50}$$



x	$\frac{v_o}{V}$
0.5	0.607
1.0	0.368
2.0	0.135
3.0	0.050
4.0	0.018
5.0	0.007

Figura C-14. Respuesta de un circuito RC paso-alto a un escalón de tensión. La línea de trazos es tangente a la exponencial en $t = 0^+$.

La constante B_1 es igual al valor, en régimen permanente, de la tensión de salida, ya que cuando t tiende a infinito, v_o tiende a B_1. Si a este valor final de salida lo llamamos V_f entonces $B_1 = V_f$. La constante B_2 viene determinada por la tensión inicial de salida V_i ya que para $t = 0$, $v_o = B_1 + B_2$, o sea $B_2 = V_i - V_f$. Por tanto, la solución general para un circuito con una sola constante de tiempo, con valores inicial y final V_i y V_f respectivamente es

$$v_o = V_f + (V_i - V_f)\epsilon^{-t/\tau} \tag{C-51}$$

Esta ecuación básica se emplea mucho en este texto.

Vamos a determinar V_f y V_i en el circuito de la Fig. C-13. La entrada es constante ($v_i = V$) *mientras* $t > 0$. Puesto que $i = C\,(dv_C/dt)$, en régimen permanente $i = 0$, la tensión final de salida iR es también cero, o sea $V_f = 0$.

Podemos llegar al mismo resultado a través del siguiente razonamiento: Hemos visto ya que un condensador C equivale a un circuito abierto para la frecuencia cero (ya que su reactancia es inversamente proporcional a f). Por tanto, cualquier tensión de entrada constante (en continua) queda bloqueada y no puede alcanzar la salida, es decir $V_f = 0$.

El valor de V_i se determina a partir de las siguientes consideraciones básicas: Si la intensidad instantánea a través del condensador es i, la variación de tensión en el mismo, en el momento t_1 es $(1/C)\int_0^{t_1} i\,dt$. Puesto que la corriente siempre tiene un valor finito, esta integral tiende a cero cuando lo hace t_1 de donde se deduce que la tensión a través de un condensador no puede cambiar instantáneamente.

Aplicando este principio a la red de la Fig. C-13 llegaremos a la conclusión de que, puesto que en el instante $t = 0$ la tensión de entrada varía bruscamente en una cuantía V, también la salida deberá cambiar abruptamente en la misma cuantía. Si suponemos que en un principio el condensador está descargado, en el instante $t = 0^+$ la salida alcanzará V, por tanto $V_i = V$ y puesto que $V_f = 0$, la Ec. (C-51) se convierte en

$$v_o = V\epsilon^{-t/\tau} \tag{C-52}$$

En la Fig. C-14 están representadas la entrada y la salida. Obsérvese que la salida desciende a 0,61 de su valor inicial en el tiempo 0,5τ, a 0,37 en 1τ y a 0,14 en 2τ. La salida ha completado más del 95% de su

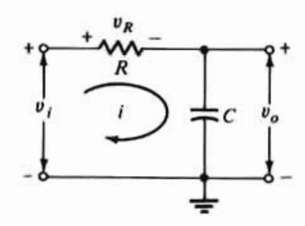


Figura C-15. Circuito RC paso-bajo.

variación total en un tiempo 3τ y más del 99% si $t > 5\tau$. Así pues, aun cuando el régimen permanente se alcanza asintóticamente, en muchas aplicaciones podemos admitir que se ha alcanzado ya después de 5τ.

Descarga de un condensador a través de una resistencia

Consideremos un condensador *C* cargado a la tensión *V*. En el instante $t = 0$ se conecta una resistencia *R* en paralelo con el condensador. Deseamos hallar la tensión v_o del condensador, en función del tiempo. Puesto que el hecho de conectar entre sí *C* y *R* no puede cambiar instantáneamente la tensión, tendremos $v_o = V$ en el momento $t = 0^+$, y también $V_i = V$. Evidentemente, después de un tiempo infinito el condensador se habrá descargado totalmente a través de la resistencia, y por tanto $V_f = 0$. Sustituyendo estos valores en la Ec. (C- 51) se obtiene la Ec. (C-52) y el condensador se descarga como indica la Fig. C-14.

Circuito *RC* paso-bajo

La respuesta del circuito de la Fig. C-15 a una entrada en escalón es exponencial, con constante de tiempo *RC*. Como sea que la tensión del condensador no puede cambiar instantáneamente, la salida parte de cero y va subiendo hasta su valor permanente *V* como puede verse en la Fig. C-16. La salida viene dada por

$$v_o = V(1 - \epsilon^{-t/RC}) \tag{C-53}$$

Obsérvese que los circuitos de las Figs. C-13 y C-15 son idénticos excepto que en la Fig. C-13 la salida $v_o = v_R$ está tomada entre extremos de la resistencia, mientras que en la Fig. C-15 la salida es $v_o = v_C$. De esta última figura

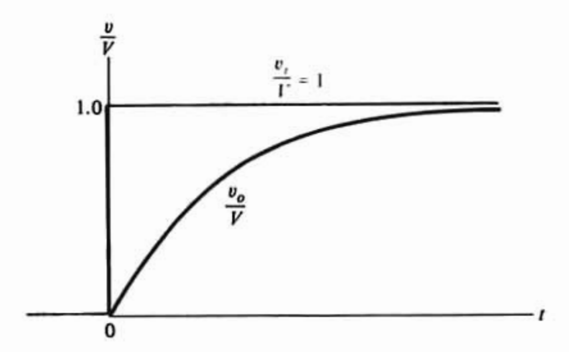


Figura C-16. Respuesta de un circuito RC paso-bajo a un escalón de tensión.

obtenemos $$v_C = v_i - v_R = V - V\epsilon^{-t/RC}$$

siendo v_R dada por la Ec. (C-52). Este resultado de v_C concuerda con la Ec. (C- 53).

Obsérvese que la impedancia $Z(s)$ en los circuitos de las Fig. C-13 y C-15 es

$$Z(s) = R + \frac{1}{Cs} = \frac{RCs + 1}{Cs}$$

Evidentemente $Z(s) = 0$ cuando $s = -1/RC = 1/\tau$. Puesto que $I = V/Z$ y, en la Fig. C-15, $V_o = I/sC$ tendremos

$$\frac{V_o}{V_i} = \frac{1}{1 + RCs} \qquad \text{(C-54)}$$

En la Ec. (C-54) se observa que V_o/V_i tiene un polo en $s = -1/RC$ siendo este valor de s (polo de la función de transferencia) el que determina la constante de tiempo del circuito.

C-7. EL DIAGRAMA ASINTÓTICO DE BODE

Las frecuencias de las senoides aplicadas a circuitos electrónicos abarcan un campo amplio. Por ejemplo, la excitación de un sistema de audio puede ser tan baja como 20 Hz o tan alta como 20 kHz. Por tanto para calcular la respuesta de la red hay que conocer la magnitud y la fase de la función de transferencia del circuito $G(s)$ a cada frecuencia. Un método conveniente de obtener esta información es mediante la característica de respuesta en frecuencia. Esta característica es la representación gráfica de la magnitud de $\mathbf{G}(j\omega)$ en función de ω y de $\angle G(j\omega)$ en función también de ω. Normalmente $|\mathbf{G}(j\omega)|$ se expresa en decibelios (dB) dados por

$$G(j\omega) \text{ en dB} = 20 \log |\mathbf{G}(j\omega)| \qquad \text{(C-55)}$$

Cuando $G(j\omega)$ se representa en dB (juntamente con la fase) la característica de respuesta en frecuencia se denomina *Diagrama de Bode*.

La determinación de la característica de respuesta en frecuencia de una red o sistema mediante manipulaciones algebraicas supone una cierta tarea. En muchas aplicaciones es suficiente una característica aproximada. La naturaleza del diagrama de Bode permite trazar fácilmente una característica aproximada llamada *Diagrama asintótico de Bode*.

En general, la función de una red se puede expresar como cociente de dos polinomios en s o $j\omega$. Si la función de la red se pone en la forma

$$G(s) = K\frac{1 + a_1 s + a_2 s^2 + \cdots + a_m s^m}{1 + b_1 s + b_2 s^2 + \cdots + b_n s^n} \qquad \text{(C-56)}$$

los polinomios del numerador y del denominador se pueden poner en forma factorial, quedando la función representada por

$$G(s) = K\frac{(1 + s/z_1)(1 + s/z_2)\cdots(1 + s/z_m)}{(1 + s/p_1)(1 + s/p_2)\cdots(1 + s/p_n)} \qquad \text{(C-57)}$$

Obsérvese que $-z_1$, $-z_2$... y $-p_1$, $-p_2$... son respectivamente las raíces de los polinomios numerador y denominador, y que los términos $-z$ son los ceros y los $-p$ los polos de la función de la red. La curva de la respuesta en frecuencia se halla haciendo que s pase a ser $j\omega$, dando

$$\mathbf{G}(j\omega) = K\,\frac{(1 + j\omega/z_1)(1 + j\omega/z_2)\cdots(1 + j\omega/z_m)}{(1 + j\omega/p_1)(1 + j\omega/p_2)\cdots(1 + j\omega/p_n)} \qquad \text{(C-58)}$$

Evidentemente el valor de $G(j\omega)$ es el producto de una constante y un grupo de términos de la forma $(1 + j\omega/\omega_o)$ o $1/(1 + j\omega/\omega_o)$. Cada uno de estos términos se puede considerar como un fasor individual. El $G(j\omega)$ resultante tiene una magnitud que es el producto de las magnitudes, y un ángulo que es la suma de los ángulos individuales.

La porción de la curva de magnitud del diagrama de Bode se expresa en dB, y según la Ec. (C-55) es una función logarítimica. Por ello el producto

$$\left(1 + \frac{j\omega}{z_1}\right)\left(1 + \frac{j\omega}{z_2}\right)\cdots\left(1 + \frac{j\omega}{z_m}\right)$$

se convierte en la suma

$$\left(1 + \frac{j\omega}{z_1}\right)_{\text{dB}} + \left(1 + \frac{j\omega}{z_2}\right)_{\text{dB}} + \cdots + \left(1 + \frac{j\omega}{z_m}\right)_{\text{dB}}$$

cuando los términos individuales se exprean en dB. En consecuencia, las curvas de fase y de magnitud del diagrama de Bode puede considerarse que están compuestas de sumas de factores individuales. Entonces se ve que el comportamiento de los términos $(1 + j\omega/\omega_o)$ y $1/(1 + j\omega/\omega_o)$ es importante al construir los diagramas de Bode. El desarrollo de sus características mostrará ciertas aproximaciones simplificadoras útiles para el bosquejo rápido de estos diagramas.

Consideremos las funciones

$$\mathbf{G}_1(j\omega) = 1 + \frac{j\omega}{\omega_o} \qquad \text{y} \qquad \mathbf{G}_2 = \frac{1}{1 + j\omega/\omega_o} \qquad \text{(C-59)}$$

A bajas frecuencias, $(\omega/\omega_o \ll 1)$, el valor de ambas funciones es aproximadamente

$$G_1(j\omega) = G_2(j\omega) = 1$$

o

$$G_1(j\omega)_{\text{dB}} = G_2(j\omega)_{\text{dB}} = 20 \log 1 = 0 \qquad \text{(C-60)}$$

A altas frecuencias, $(\omega/\omega_o \gg 1)$, las funciones pasan a ser

$$G_1(j\omega) = \frac{\omega}{\omega_o} \qquad \text{y} \qquad G_2(j\omega) = \frac{1}{\omega/\omega_o}$$

o

$$G_1(j\omega)_{\text{dB}} = 20 \log \frac{\omega}{\omega_o} \qquad \text{y} \qquad G_2(j\omega)_{\text{dB}} = -20 \log \frac{\omega}{\omega_o} \qquad \text{(C-61)}$$

Se ve que las magnitudes a baja frecuencia son de 0 dB (magnitud unidad). A alta frecuencia son $G_1 = G_2 = 0$ dB a $\omega/\omega_o = 1$; $G_1 = 20$ dB, $G_2 = -20$ dB, a $\omega/\omega_o = 10$; $G_1 = 40$ dB, $G_2 = -40$ dB a $\omega/\omega_o = 100$, etc. El valor de G_1 aumenta (y G_2 disminuye) en 20 dB por cada potencia de 10 (década) de aumento de ω/ω_o. Puesto que las potencias de 10 suponen incrementos lineales en la escala logarítmica de frecuencias, la representación de las Ecs. (C-61) en el gráfico de Bode serán unas líneas rectas con pendientes de + 20 dB/década para G_1 y de - 20 dB para G_2. Frecuentemente las pendientes de las rectas se expresan en unidades de decibelios por octava, representando una octava un factor 2 en la frecuencia. Para $\omega/\omega_o = 2$, los valores de G_1 y G_2 serán según la Ec. (C-61) de 6 y - 6 dB respectivamente. Así, en una octava desde $\omega/\omega_o = 1$ hasta $\omega/\omega_o = 2$, G_1 habrá variado en 6 dB y G_2 en - 6 dB. Las correspondientes pendientes son de 6 dB/octava y - 6 dB/octava. Como puede verse, 6 dB/octava y 20 dB/década representan igual pendiente.

Los ángulos relacionados con G_1 y G_2 son:

$$\text{Ángulo } G_1 = t_g^{-1}(\omega/\omega_o) \text{ y ángulo } G_2 = -\,t_g^{-1}(\omega/\omega_o) \qquad (6\text{-}62)$$

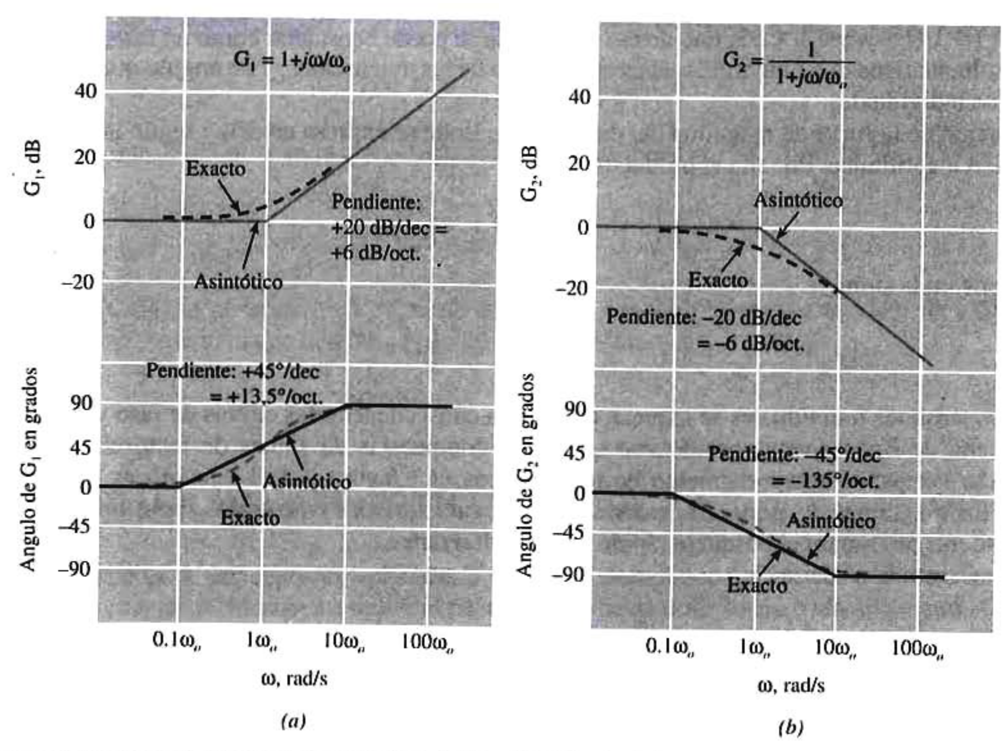


Figura C-17. Diagrama asintótico de Bode para (*a*) $1 + j\,\omega/\omega_0$ y (*b*) $1/(1 + j\omega/\omega_0)$.

Cuando $\omega = \omega_o$ los ángulos de G_1 y G_2 son de $+45°$ y $-45°$ respectivamente. Para frecuencias en las que $\omega \geq 10\omega_o$ el ángulo de G_1 está próximo a 90° y el de G_2 lo está a $-90°$. A baja frecuencia ($\omega \leq 0{,}1\omega_o$) ambos ángulos se aproximan a cero grados. Estos resultados conducen a la aproximación rectilínea de la Fig. C-17 para los ángulos G_1 y G_2. La misma figura comprende las características de magnitud rectilíneas (o asintóticas). Las curvas de trazos corresponden a las respuestas exactas de magnitud y de fase. Ambas curvas (aproximada y exacta) son razonablemente semejantes. El máximo error de la curva asintótica se da cuando $\omega = \omega_o$ y es de $+3$ dB para G_1 y de -3 dB para G_2. Con una separación de una octava respecto a la frecuencia del codo ($\omega = \omega_o/2$) y ($\omega = 2\omega_o$) el error es de $+1$ dB para G_1 y de -1 dB para G_2. Con frecuencias angulares separadas más de una octava de la frecuencia de quiebro, los errores son menores de 1 dB y generalmente se desprecian. El máximo error en la característica de fase tiene lugar a una década de separación del codo y es de unos 6º. A la frecuencia del quiebro el error es nulo, y a una distancia de una octava es de casi 5°. Las curvas de la Fig. C-17 indican el signo algebraico de los errores para los ángulos de G_1 y G_2.

El proceso para trazar el diagrama asintótico de Bode se reduce a expresar la función en la forma de la Ec. (C-58) localizando las frecuencias de codo, deduciendo las curvas asintóticas componentes y sumándolas para obtener la resultante.

Ejemplo C-3

(*a*) Esbozar el diagrama asintótico de Bode de

$$G(s) = \frac{10^4(s + 40)}{s^2 + 410s + 4000}$$

(*b*) Determinar el valor de $G(j800)$

Solución

(*a*) Se pone la ecuación de $G(s)$ en la forma de la Ec. (C-58)

$$G(s) = \frac{100(1 + s/40)}{(1 + s/10)(1 + s/400)}$$

o

$$\mathbf{G}(j\omega) = \frac{100(1 + j\omega/40)}{(1 + j\omega/10)(1 + j\omega/400)}$$

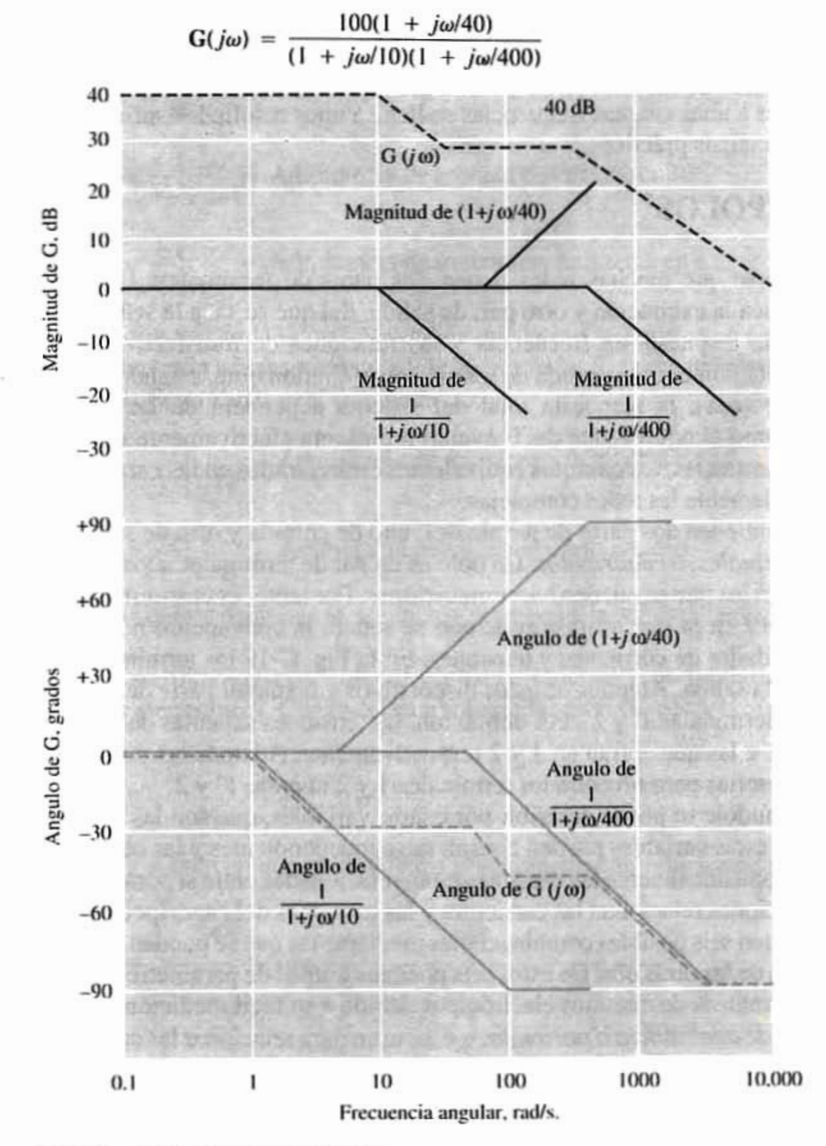


Figura C-18. Diagrama asintótico de Bode para el ejemplo C-3.

Las frecuencias de codo son de 10 y 400 rad/s. para el denominador y de 40 rad/s para el numerador. En la Fig. C-18 se han dibujado las curvas componentes. Obsérvese que el valor constante de 40 dB = 20log 100 representa el multiplicador constante en $G(j\omega)$. Las características de magnitud y de ángulo se señalan en la Fig. C-18 con línea de trazos.

(*b*) De las curvas resultantes:

$$G(j800) = 22 \text{ dB}$$

con lo que de 20 log$G$ = G(dB) se obtiene

$$G(j800) = \log^{-1}\frac{22}{20} = 12.6$$

y

$$\angle G(j800) = -58.5°$$

La respuesta en frecuencia dada por el diagrama asintótico de Bode en la Fig. C-18 se obtiene con muchos menos cálculos de los necesarios para llegar a la característica exacta. Añadiendo al diagrama asintótico los errores a unas cuantas frecuencias se llega a unos resultados suficientemente aproximados para la mayoría de análisis prácticos.

C-8. CUADRIPOLOS

Puede considerarse que muchas redes tienen dos pares de terminales: Un par de entrada al que normalmente se aplica la excitación y otro par, de salida, del que se saca la señal deseada. El empleo de las características de respuesta en frecuencia y las funciones de transferencia pone en evidencia la importancia de la relación entrada-salida de los sistemas. Ciertamente, estando los sistemas compuestos por redes interconectadas, la respuesta total del sistema dependerá de las respuestas de las redes individuales. Así como el equivalente de Thèvenin representa efectivamente el comportamiento de las redes de un par de terminales, los circuitos equivalentes concentrados en las características entrada-salida representan adecuadamente las redes complejas.

Las redes que contienen dos pares de terminales, uno de entrada y otro de salida se denominan *redes de dos pares de terminales, o cuadripolos.* Un polo es un par de terminales a los que se puede suministrar o extraer energía y en los que se pueden hacer mediciones. Por tanto, es costumbre representar estas redes como en la Fig. C-19 en la que al mismo tiempo se señala la convención normalizada respecto a las direcciones y polaridades de corrientes y tensiones. En la Fig. C-19 los terminales 1 y 1' representan la entrada y los 2 y 2' la salida. Algunos de estos dispositivos y la mayor parte de los circuitos electrónicos tienen comunes los terminales 1' y 2'. Por definición, las tensiones salientes de los terminales 1' y 2' son exactamente iguales a las que entran en 1 y 2 respectivamente. Además las mediciones pueden hacerse únicamente en las puertas pero no entre los terminales 1 y 2 ni entre 1' y 2'

Una red de esta índole se puede describir por cuatro variables, que son las corrientes y las tensiones de la puerta. Dos de estas variables pueden considerarse independientes y las otras dos, dependientes. Ya que el sistema funciona linealmente las variables están relacionadas entre sí por un conjunto de ecuaciones lineales. Estas ecuaciones relacionan las corrientes y las tensiones del cuadripolo definiendo así una serie de *parámetros.* Existen seis posibles combinaciones mediante las que se pueden expresar dos de las cuatro variables en función de las otras dos. De estos seis posibles grupos de parámetros, tres de ellos se emplean extensamente en el análisis de circuitos electrónicos debido a su fácil medición.

Los *parámetros de admitancia* o *paramétros y*, se usan para relacionar las corrientes con las tensiones del cuadripolo. En el campo de las frecuencias, las ecuaciones definidoras son:

$$I_1 = y_{11}(s)V_1 + y_{12}(s)V_2 \qquad \text{(C-63)}$$

$$I_2 = y_{21}(s)V_1 + y_{22}(s)V_2 \qquad \text{(C-64)}$$



Figura C-19. Representación de un cuadripolo indicando las polaridades de referencia de las tensiones y el sentido de las corrientes.

Los elementos $y_{11}(s)$, $y_{12}(s)$, $y_{21}(s)$ e $y_{22}(s)$ tienen las dimensiones en mho, y se denominan parámetros y. Frecuentemente se supone implícita la dependencia funcional de los parámetros en la frecuencia compleja variable s y los parámetros se representan simplemente y_{11}, y_{12}, y_{21} e y_{22}; en adelante emplearemos ambas notaciones.

El nombre específico que se le da a cada parámetro lo determina su relación tensión-corriente. Si se cortocircuitan los terminales 2 y 2' de la figura C-19 la tensión V_2 será necesariamente nula. En estas condiciones las Ecs. (C-63) y (C-64) dan

$$y_{11} = \left.\frac{I_1}{V_1}\right|_{V_2=0} = \text{Admitancia de entrada en cortocircuito} \tag{C-65}$$

$$y_{21} = \left.\frac{I_2}{V_1}\right|_{V_2=0} = \text{Admitancia de transferencia directa en c.c} \tag{C-66}$$

La voz «transferencia directa» en la Ec. (C-66) indica que la red se emplea en su forma normal, con la excitación aplicada a la entrada y la respuesta medida en la salida. Si la excitación se aplica a la puerta 2 y se cortocircuita la 1, las Ecs. (C-63) y (C-64) darán

$$y_{12} = \left.\frac{I_1}{V_2}\right|_{V_1=0} = \text{Admitancia de transferencia inversa en c.c} \tag{C-67}$$

$$y_{22} = \left.\frac{I_2}{V_2}\right|_{V_1=0} = \text{Admitancia de salida en cortocircuito} \tag{C-68}$$

«Transferencia inversa» quiere decir que la excitación se aplica a la salida y la respuesta se mide en la entrada.

También se emplea otra terminología para identificar los parámetros y, particularmente cuando se usa para describir dispositivos electrónicos. Con esta terminología las Ecs. (C-63) y (C-64) se convierten en

$$I_1 = y_i V_1 + y_r V_2 \tag{C-69}$$

$$I_2 = y_f V_1 + y_o V_2 \tag{C-70}$$

Los sub-índices i, r, f y o indican que el parámetro con el que están relacionados son la entrada, la

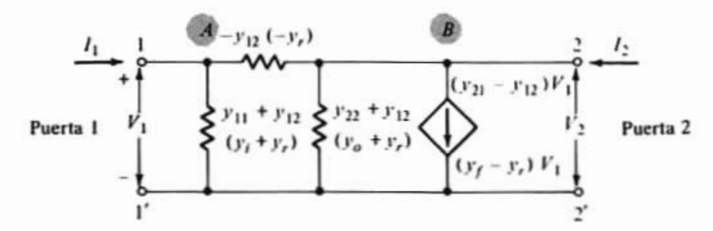


Figura C-20. Circuito equivalente de parámetro-y.

transferencia inversa, la transferencia directa y la salida respectivamente. Los parámetros y de las Ecs. (C-69) y (C-70) están definidos por las Ecs. (C-65) a (C-68)

Muchas veces conviene representar una red de cuadripolos mediante un circuito equivalente que posea las mismas relaciones entre terminales que las expresadas en las ecuaciones definidoras. La Fig. C-20 representa un circuito equivalente de parámetros y.

Parámetros z

Se puede establecer un segundo grupo de parámetros despejando simultáneamente V_1 y V_2 de las Ecs. (C-63) y (C-64). Los resultados son:

$$V_1 = \frac{y_{22}}{y_{11}y_{22} - y_{12}y_{21}} I_1 + \frac{-y_{12}}{y_{11}y_{22} - y_{12}y_{21}} I_2 \tag{C-71}$$

$$V_2 = \frac{y_{21}}{y_{11}y_{22} - y_{12}y_{21}} I_1 + \frac{y_{22}}{y_{11}y_{22} - y_{12}y_{21}} I_2 \tag{C-72}$$

En estas ecuaciones las tensiones V_1 y V_2 son función de las intensidades I_1 e I_2. La forma general de las Ecs. (C-71) y (C-72) es

$$V_1 = z_{11}I_1 + z_{12}I_2 = z_iI_1 + z_rI_2 \tag{C-73}$$

y

$$V_2 = z_{21}I_1 + z_{22}I_2 = z_fI_1 + z_oI_2 \tag{C-74}$$

Los parámetros z_{11}, z_{12}, z_{21} y z_{22} se denominan *de impedancia* o *parámetros z*. Estos parámetros se definen abriendo primero la puerta 2 (lo que hace que $I_2 = 0$) y excitando la puerta 1, repitiendo luego el proceso abriendo la 1 y excitando la 2.

Los resultados son

$$\begin{aligned}
z_{11} &= z_i = \left.\frac{V_1}{I_1}\right|_{I_2=0} = \text{Impedancia de entrada en circuito abierto} \\
z_{21} &= z_f = \left.\frac{V_2}{I_1}\right|_{I_2=0} = \text{Imp. de transferencia directa en circuito abierto} \\
z_{22} &= z_o = \left.\frac{V_2}{I_2}\right|_{I_1=0} = \text{Impedancia de salida en circuito abierto} \\
z_{12} &= z_r = \left.\frac{V_1}{I_2}\right|_{I_1=0} = \text{Imp. de transferencia inversa en circuito abierto}
\end{aligned} \tag{C-75}$$

La Fig. C-21 corresponde al circuito equivalente más frecuentemente empleado para representar los parámetros z.

Parámetros h

Hay un tercer conjunto de parámetros llamado *híbrido* o *de parámetros h*. Sus ecuaciones son

$$V_1 = h_{11}I_1 + h_{12}V_2 = h_iI_1 + h_rV_2 \tag{C-76}$$

$$I_2 = h_{21}I_1 + h_{22}V_2 = h_fI_1 + h_oV_2 \tag{C-77}$$

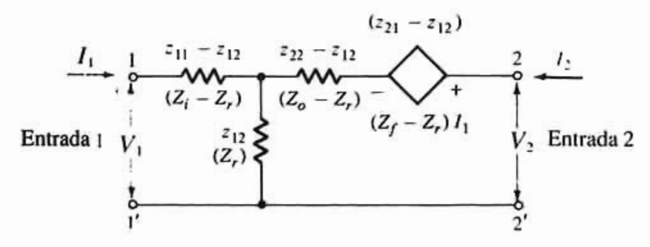


Figura C-21. Circuito equivalente de parámetro -*z*.

Los parámetros *h* específicos se pueden definir excitando primero la entrada y cortocircuitando la salida ($V_2 = 0$) para luego excitar la salida y abrir la entrada ($I_1 = 0$). Los resultados, expresados en las Ecs. (C-78), son

$$h_{11} = h_i = \left.\frac{V_1}{I_1}\right|_{V_2=0} = \text{Impedancia de entrada en cortocircuito}$$

$$h_{21} = h_f = \left.\frac{I_2}{I_1}\right|_{V_2=0} = \text{Ganancia de corriente directa en cortocircuito.}$$

$$h_{22} = h_o = \left.\frac{I_2}{V_2}\right|_{I_1=0} = \text{Admitancia de salida en circuito abierto.} \qquad \text{(C-78)}$$

$$h_{12} = h_r = \left.\frac{V_1}{V_2}\right|_{I_1=0} = \text{Ganancia de tensión inversa en circ. abierto}$$

Las cantidades h_r y h_f carecen de dimensiones estando representada cada una de ellas por una fuente gobernada en el modelo de circuito de la Fig. C-22. Cuando se emplea con transistores se suele añadir un sub-índice adicional con el parámetro *h* para indicar la conexión del transistor. Así, h_{fe} es la ganancia de corriente directa en la configuración en emisor común.

Ejemplo C-4

El circuito de la Fig. C-23 es el equivalente de una etapa amplificadora en emisor común.

(*a*) Determinar h_{ie} y h_{fe}.

(*b*) Esbozar un diagrama asintótico de Bode para h_{ie} y h_{fe} para frecuencias angulares menores de 10^{10} rad/s.

(*c*) Determinar la frecuencia angular en la que $|\,h_{fe}(j\omega)\,|$ es igual a la unidad.

Solución

(*a*) Según las definiciones de las Ecs. (C-78) tanto h_{ie} como h_{fe} se determinan cortocircuitando la puerta 2 y excitando la 1 con una fuente de corriente I_1. En las Figs. C-24*a* y C-24*b* pueden verse los circuitos resultantes empleados para determinar h_{ie} y h_{fe} respectivamente. Del circuito de la Fig. C-24*a* se obtiene

$$V_1 = I_1 \times 50 + I_1 Z$$

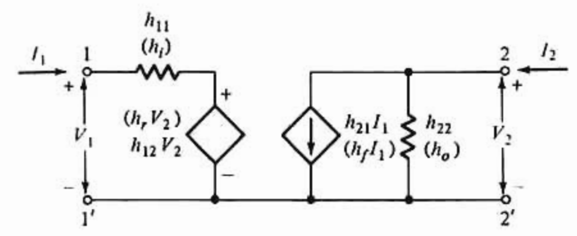


Figura C-22. Circuito equivalente de parámetro -h.

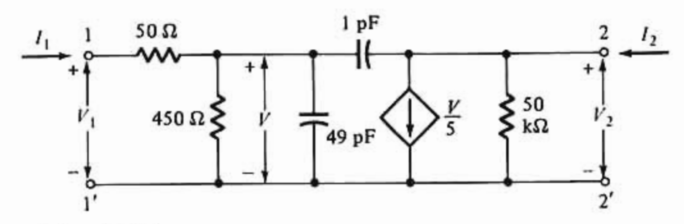


Figura C-23. Circuito para el ejemplo C-4.

siendo

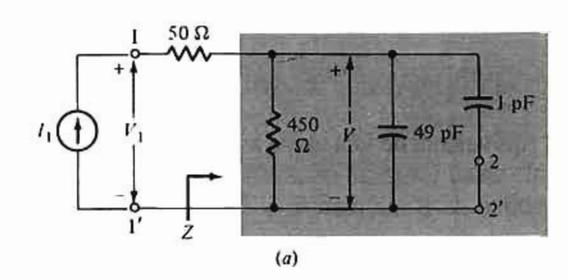
$$Z = \frac{450 \times 1/s(49 + 1) \times 10^{-12}}{450 + 1/s(40 + 1) \times 10^{-12}} = \frac{450}{1 + s \times 2.25 \times 10^{-8}}$$

Sustituyendo Z en la ecuación de V_1 la relación V_1/I_1 da

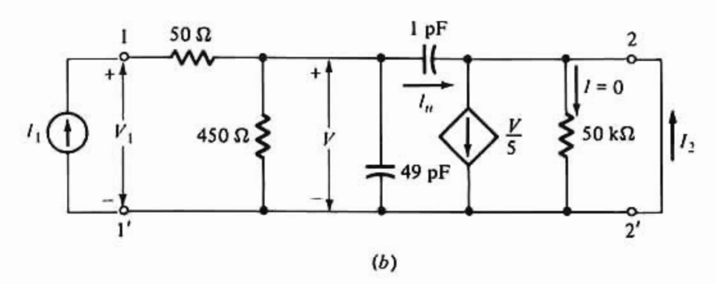
$$\frac{V_1}{I_1} = h_{ie} = 50 + \frac{450}{1 + s \times 2.25 \times 10^{-8}}$$

Recordando

$$h_i = \frac{500(1 + s/4.44 \times 10^8)}{(1 + s/4.44 \times 10^7)}$$



(*a*)



(*b*)

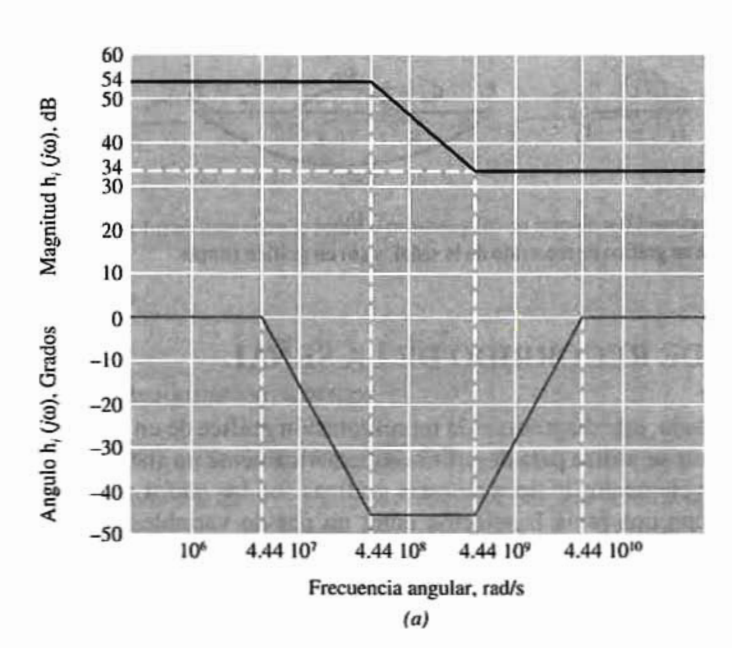
Figura C-24. (*a*) Circuito para determinar h_i, y (*b*) circuito para determinar h_f en el ejemplo C-4.

Para determinar h_f se emplea el circuito de la Fig. C-24*b*. La corriente I_2 deducida por la ley de Kirchhoff es

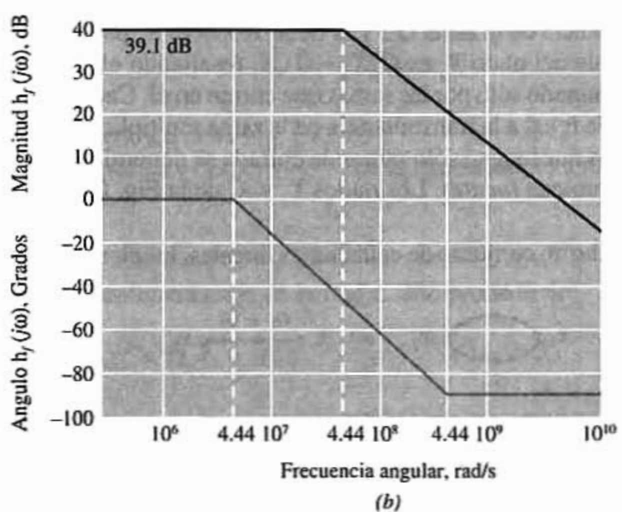
$$I_2 = \frac{V}{5} - I_\mu = \frac{V}{5} - s \times 1 \times 10^{-12}\ V$$

ya que la corriente en la resistencia de 50 $k\Omega$, es nula porque $v_2 = 0$. La tensión V es $I_1 Z$ y en los cálculos para h_i viene dada por

$$V = I_1 Z = I_1 \frac{450}{1 + s \times 2.25 \times 10^{-8}}$$



(a)



(b)

Figura C-25. Diagramas asintóticos de Bode para *(a)* h_{ie}, y *(b)* h_{fe} en el ejemplo C-4.

Combinando las ecuaciones de V y de I_2 y hallando la relación I_2/I_1 tendremos

$$\frac{I_2}{I_1} = h_{fe} = \frac{90(1 - s/2 \times 10^{11})}{1 + s/4.44 \times 10^7}$$

(*b*) En la Fig. C-25 están trazados los diagramas asintóticos de Bode.

(*c*) Deducida del diagrama de Bode, la frecuencia angular en la que $h_{fe}(j\omega) = 0$ dB es de 4×10^9 rad/s.

Obsérvese que la frecuencia de quiebro de 2×10^{11} rad/s. está bien alejada de cualquier otra frecuencia crítica de interés, y en consecuencia muchas veces se admite para h_{fe} la aproximación

$$h_{fe} = \frac{90}{1 + s/4.44 \times 10^7}$$

Figura C-26. (*a*) Elemento de un gráfico de recorrido de la señal, y (*b*) un gráfico simple.

C-9. GRÁFICO DE RECORRIDO DE LA SEÑAL

Simplemente expresado, este diagrama es la representación gráfica de un sistema lineal de ecuaciones. Como tal, frecuentemente se utiliza para describir esquemáticamente un sistema en función de sus partes constituyentes. Los dos elementos básicos de estas gráficas son los *nudos* y las *ramas*. Con un nudo se indica una variable y con una rama la relación entre un par de variables. La Fig. C-26*a* muestra un componente típico de la gráfica. Las variables X_1 y X_2 se representan con nudos. La flecha dirigida es la rama cuya transmitancia G define la relación funcional $X_2 = GX_1$. El significado de la flecha es el de indicar la naturaleza unilateral de la relación entre X_2 y X_1. Al estar dirigida la flecha desde X_1 hacia X_2 está indicando que X_2 depende de X_1. Así, en la gráfica de la Fig. C-26*b*, la dependencia de X_3 respecto a X_2 queda indicada por la transmitancia de la rama G_C, y la de X_2 respecto X_3 por la de G_D.

En la Fig. C-26*b*, la variable del nudo X_2 es $G_DX_3 + G_AX_1$ resaltando el hecho de que el valor de la variable de un nudo está determinado sólo por las ramas que entran en él. Cada rama incidente contribuye al valor del nudo en una cuantía igual a la transmitancia de la rama multiplicada por el valor del nudo del que procede la rama. Los nudos que tengan sólo ramas de entrada se denominan *sumideros* y los que sólo tengan ramas salientes se denominan *fuentes*. Los nudos X_1 y X_4 de la Fig. C-26*b* son fuente y sumidero respectivamente.

Puesto que el gráfico describe un conjunto de ecuaciones lineales, los elementos que lo forman pueden

Figura C-27. Gráfico equivalente para una configuración: (*a*) en paralelo, y (*b*) en cascada.

combinarse algebraicamente. Este proceso de reducción gráfico permite calcular la función de transferencia, siendo esencialmente un método para resolver el sistema de ecuaciones para una de las variables. En la Fig. C-27 se muestran dos reducciones elementales. La configuración de ramas en paralelo de la Fig. C- 27*a* se reduce a la suma de transmitancias de las ramas, y la estructura en cascada al producto de las transmitancias de las ramas individuales.

Corrientemente se encuentran otras dos configuraciones que son, las de lazo cerrado sobre sí mismo, y la estructura de realimentación, que se pueden ver en las Figs. C-28*a* y C-28*b*. respectivamente.

Figura C-28. Gráfico equivalente de: (*a*) un lazo cerrado sobre sí mismo, y (*b*) un lazo de realimentación.

En el caso de lazo cerrado

$$X_2 = G_1X_1 + H_1X_2$$

y después de una sencilla transformación, tenemos

$$X_2 = \frac{G_1}{1 - H_1} X_1$$

La fórmula de la rama equivalente de la Fig. C-28*a* constituye la regla general para eliminar del gráfico estos lazos cerrados sobre sí mismos. Esta regla dice que todas las ramas que concurren en un nudo conteniendo uno de estos lazos tienen sus transmitancias divididas por uno menos la transmitancia de dicho lazo.

La Fig. C-29*a* representa una parte del circuito, demostrando cómo en la formulación de las ecuaciones de red puede aparecer un lazo de éstos. La expresión de Kirchhoff para la parte de circuito es

$$V_1 = I_1Z_1 + AV_1$$

con lo que se puede trazar el gráfico de la Fig. C-29*b*.

Empleando la reducción gráfica y despejando V_1 de la expresión de Kirchhoff resulta

$$V_1 = \frac{I_1Z_1}{1 - A}$$

La reducción del lazo de realimentación de la Fig. C-28*b* procede de

$$X_2 = G_1X_1 + H_1X_3 \qquad \text{y} \qquad X_3 = G_2X_2$$

Sustituyendo X_2 en la ecuación de X_3 y recombinando términos se tiene

$$X_3 = \frac{G_1G_2}{1 - G_2H}$$

que es la relación para la rama equivalente en el gráfico reducido de la Fig. C-28*b*. Obsérvese que se llega al mismo resultado para el gráfico que contiene el lazo cerrado de la Fig. C-28*b*

Ejemplo C-5

El cuadripolo de la Fig. C-30 se caracteriza por sus parámetros y.

(*a*) Trazar un gráfico de recorrido de la señal del circuito utilizando como nudos V_s, V_1, I_1, I_2 y V_2.

(*b*) Mediante este gráfico calcular la función de transferencia V_2/V_s.

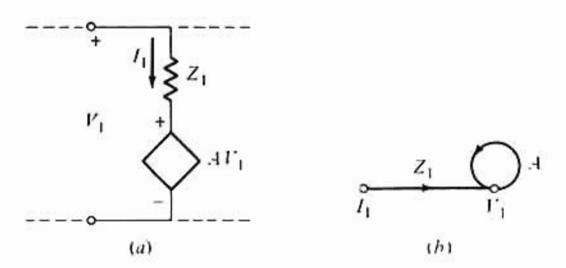


Figura C-29. (*a*) Segmento de circuito; (*b*) gráfico de recorrido de (*a*) mostrando el lazo cerrado sobre sí mismo.

Solución

(*a*) En primer lugar hay que establecer las ecuaciones que relacionan las variables entre sí. Obsérvese no obstante que V_s es la excitación representada por un nudo fuente, no pudiéndose indicar ninguna otra variable por un nudo fuente. En general, todos los demás nudos tienen ramas entrantes y salientes, salvo los nudos sumideros. Las ecuaciones básicas que relacionan I_1, I_2, V_1 y V_2 son los parámetros y de las dos puertas dadas en las Ecs. (C-63) y (C-64) que reproducimos aquí

$$I_1 = y_{11}V_1 + y_{12}V_2$$

$$I_2 = y_{21}V_1 + y_{22}V_2$$

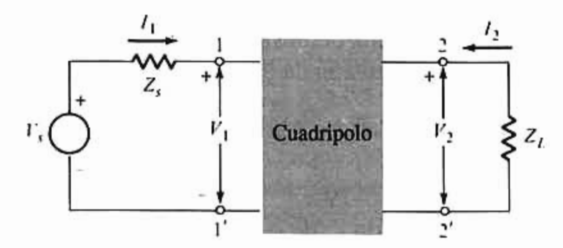


Figura C-30. Circuito para el ejemplo C-5.

Estas ecuaciones identifican las ramas *A* a *D* de la Fig. C- 31. En la puerta 1 de la Fig. C-30 la ley de Kirchhoff puede escribirse

$$V_1 = V_s - I_1 Z_s$$

correspondiendo a las ramas *E* y *F*.

La última relación que se necesita es la ecuación de la ley de Ohm aplicada a la puerta 2

$$V_2 = -I_2 Z_L$$

que se representa como rama *G*. Las siete ramas forman un posible gráfico que caracteriza el sistema.

(*b*) La función de transferencia se obtiene reduciendo el gráfico. Las ramas *C*, *G* y *D* forman un lazo

de realimentación, que se sustituye por la rama equivalente H (véase la Fig. C- 28*b*) cuya transmitancia es

$$H = \frac{-y_{21}Z_L}{1 + y_{22}Z_L}$$

como se ve en la Fig. C-32*a*. En esta misma figura, las ramas B, F y A forman un lazo de realimentación. Esta reducción se muestra en la Fig. C-32*b* en la que el lazo de realimentación se sustituye por la rama J y el lazo cerrado sobre sí mismo K. Las transmitancias respectivas de las ramas son

$$J = -y_{12}Z_s \qquad K = -y_{11}Z_s$$

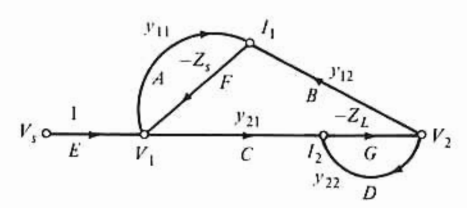
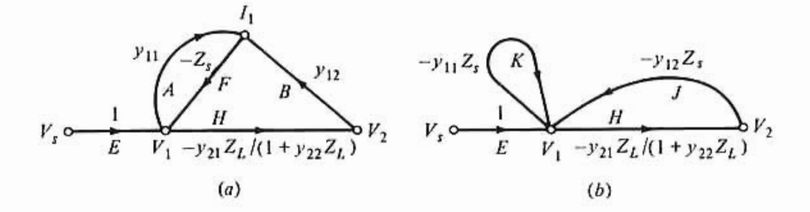


Figura C-31. Gráfico del recorrido de la señal del circuito de la Fig. C-30.

Se llega al gráfico de la Fig. C-32*c* al eliminar el lazo cerrado K. Las transmitancias de rama afectadas por la reducción son E y J cuyos valores quedan divididos por $(1 + y_{11}z_s)$, la transmitancia del lazo cerrado. Las ramas equivalentes de J y E son L y M respectivamente.



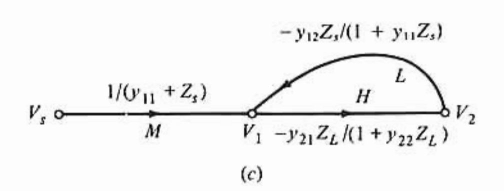


Figura C-32. Reducción del gráfico de la Fig. C-31.

La Fig. C-32*c* indica que un lazo de realimentación está formado por las ramas M, L y H cuya reducción dará

$$\frac{V_2}{V_s} = \frac{[1/(1 + y_{11}Z_s)] \times [-y_{21}Z_L/(1 + y_{22}Z_L)]}{1 - [-y_{21}Z_L/(1 + y_{22}Z_L)] \times [-y_{12}Z_s/(1 + y_{11}Z_s)]}$$

Simplificando y combinando términos resulta

$$\frac{V_2}{V_s} = \frac{-y_{21}Z_L}{1 + y_{11}Z_s + y_{22}Z_L + Z_sZ_L(y_{11}y_{22} - y_{12}y_{21})}$$

APENDICE D

Problemas

CAPÍTULO 1

1-1. Un electrón parte con velocidad despreciable de un electrodo siendo acelerado por una tensión V. Hallar el valor de V sabiendo que la velocidad final de la partícula es de $9{,}4\times10^6$ m/s.

1-2. Un electrón que tiene una energía cinética de $10^{-17}\ J$ en la superfície de uno de dos electrodos planos paralelos y que se mueve normalmente a la superficie, está frenado por un campo retardador producido por un potencial v_x aplacado entre electrodos, ¿Qué valor de V_x se necesita para que el electrón llegue al segundo electrodo con velocidad nula?

1-3. Los rasgos esenciales del tubo de un osciloscopio quedan reflejados en la figura. La diferencia de tensión entre K y A es V_a, y entre P_1 y P_2 es V_p. Ninguno de los dos campos eléctricos afecta al otro. Los electrones se emiten desde K con velocidad inicial nula y pasan a través de un taladro practicado en el centro del electrodo A. Debido al campo entre P_1 y P_2 cambian de dirección mientras pasan por estos platos, siguiendo luego a velocidad constante hacia la pantalla S. La distancia entre platos es d.

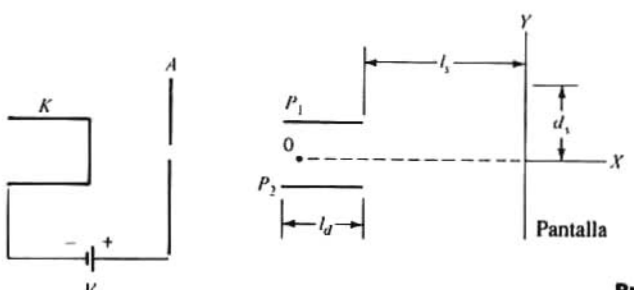
(*a*) Hallar la velocidad v_x de los electrones en función de V_a al cruzar A.

(*b*) Hallar la componente Y de la velocidad de los electrones, v_y, en función de V_p, l_d, d, y v_x al abandonar éstos el campo P_1 - P_2.

(*c*) Hallar la distancia desde el centro de la pantalla hasta el punto del impacto en función de las dimensiones del tubo y de la tensión aplicada.

(*d*) Hallar los valores numéricos de v_x, v_y, y d, siendo $V_a = 2\ kV$, $V_p = 100V$, $l_d = 1{,}27$ cm. y $l_s = 20$ cm, y $d = 0{,}5$ cm.

(*e*) Si deseamos una deflexión de 1 cm. del haz de electrones, ¿Cuál será el valor de V_a?. Los demás valores son los del apartado anterior.



Prob. 1-3

1-4. Una cinta plana de aluminio tiene una resistividad de $3{,}44\times10^{-8}$ Ωm, una sección transversal de 2×10^{-4} mm^2 y una longitud de 5 mm. ¿Cuál es la caída de tensión a lo largo de la cinta? La corriente es de 50 mA.

1-5. Si a la cinta de aluminio del problema anterior se le aplica una tensión de 30 μV. ¿Qué corriente circulará por ella?

1-6. (*a*) Calcular el campo eléctrico necesario para dar a un electrón en silicio una energía media de 1,1 *eV*.

(*b*) ¿Es práctico generar pares electrón-hueco aplicando una tensión a través de una barra de silicio? Explíquese.

1-7. Repetir el Prob. 1-5 para una cinta de silicio intrínseco a 800 K.

1-8. Calcular la movilidad de los electrones libres en aluminio, cuya densidad es de $2{,}70\times10^3$ kg/m^3 y su resistividad $3{,}44\times10^{-8}$ Ωm. Supóngase que el aluminio tiene tres electrones de valencia por átomo y un peso atómico de 26,98.

1-9. (*a*) Determinar la concentración de electrones libres y de huecos a 300 °K de una muestra de silicio con una concentración de átomos donadores $N_D = 2\times10^{14}$ átomos/cm^3 y de átomos aceptadores $N_A = 3\times10^{14}$ átomos/cm^3.

(*b*) La muestra del apartado anterior ¿es de silicio tipo p o tipo n?

1-10. Repetir el Prob. 1-9 para $N_A = N_D = 10^{15}$ átomos/cm^3.

1-11. Repetir el Prob. 1-9 para $N_D = 10^{16}$ y $N_A = 10^{14}$ átomos/cm^3.

1-12. (*a*) Hallar la concentración de huecos y electrones en un silicio tipo p a 300ºK, si la resistividad es de 0,02 Ωcm.

(*b*) Repetir el apartado anterior para un silicio tipo n.

1-13. Repetir el Prob. 1-12 para una resistividad de 5 Ωcm.

1-14. Se añaden impurezas donadoras a un silicio intrínseco y la resistividad baja a 1 Ωcm. Calcular la relación entre átomos donadores y átomos de silicio por una unidad de volumen.

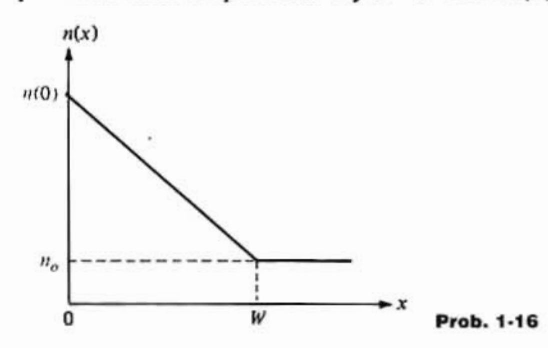
1-15. Si el silicio fuera un metal monovalente ¿Cuál sería la relación entre su conductividad y la del silicio intrínseco a 300 °K?

1-16. La figura representa la concentración de electrones en un semiconductor.

(*a*) Hallar la expresión y esbozar la densidad de corriente de elctrones $J_n(x)$ suponiendo que no exista ningún campo eléctrico exterior.

(*b*) Esbozar y deducir una expresión del campo eléctrico interno que debe existir para que la corriente neta de electrones sea nula.

(*c*) Determinar el potencial entre los puntos x=0 y $x = W$ dado $n(0)/n_o = 10^3$.



Prob. 1-16

1-17. Comprobar la Ec. (1-40) para un semiconductor gradual en circuito abierto.

1-18. Comprobar la expresión del potencial de contacto V_o dada en la Ec. (1-42) para la unión abrupta de la Fig. 1-10*b* considerando la densidad de corriente de electrones $J_n = 0$.

1-19. La unión de la Fig. 1-10*b* está dopada con N_A correspondiente a un átomo aceptador por cada 10^6 átomos de silicio. Calcular la diferencia de tensión de contacto V_o a temperatura ambiente.

1-20. Determinar el *cambio* de la diferencia de tensión de contacto en una unión *pn* en circuito abierto y a 300 °K, suponiendo que N_D se cambia por un factor de 2500, manteniéndose N_A fijo.

1-21. (*a*) Repetir el Prob. 1-20 suponiendo que N_D no varía, y N_A lo hace con un factor de 8000.
(*b*) La respuesta del apartado anterior ¿depende de que N_A aumente o disminuya? Explíquese brevemente.

1-22. Las resistividades de los dos lados de una unión de silicio en escalón son de 5 Ωcm en el lado *p* y de 2,5 Ωcm en el lado *n*. Calcular la altura de la barrera de potencial V_o.

1-23. Repetir el Prob. anterior suponiendo que se intercambian las resistividades de ambos lados.

CAPÍTULO 2

2-1. Esbozar el diagrama logarítmico de la concentración de portadores en función de la distancia, para una unión abrupta de silicio si $N_A = 5\times10^{14}$ átomos/cm^3 y $N_D = 5\times10^{16}$ átomos/cm^3. Dar los valores numéricos de las ordenadas. Señalar las regiones *n*, *p* y de deflexión.

2-2. Las resistividades de ambos lados de una unión abrupta de silicio son de 2,4 Ωcm en el lado *p* y 25 Ωcm en el lado *n*. Esbozar el diagrama logarítmico de la concentración de portadores en función de la distancia. Dar los valores numéricos de las ordenadas. Señalar las regiones *n*, *p* y de deflexión.

2-3. (*a*) ¿A qué tensión la corriente inversa en un diodo de silicio *pn* alcanza el 95% de su valor de saturación a temperatura ambiente?
(*b*) ¿Cuál es la relación entre las corrientes con polarización directa de 0,1*V* y con polarización inversa del mismo valor?
(*c*) Si la corriente de saturación inversa es de 10 *pA* ¿Cuáles serán las corrientes directas para las tensiones de 0,5, 0,6 y 0,7 *V* respectivamente?

2-4. Si la corriente de saturación inversa de un diodo de silicio de unión *pn* es de 1 *nA*, ¿Cuál debe ser la tensión aplicada para una corriente directa de 2,5 μ*A*?

2-5. (*a*) Un diodo de silicio a temperatura ambiente (300K) conduce 1 *mA* a 0,7*V*. Calcular la corriente en el diodo si la tensión sube a 0,8*V*. Tómese $\eta = 2$
(*b*) Calcular la corriente de saturación inversa.
(*c*) Repetir el apartado (*a*) con $\eta = 1$.

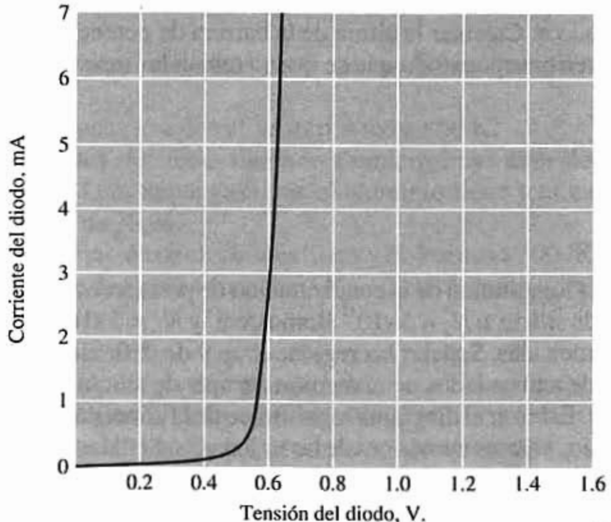
2-6. (*a*) ¿Qué incremento de temperatura dará una corriente de saturación inversa 60 veces mayor que la tenida a temperatura ambiente?
(*b*) ¿Qué descenso de temperatura dará una corriente de saturación inversa de un décimo de la de temperatura ambiente?

2-7. Un diodo se monta sobre un chasis de tal forma que por cada grado de temperatura por encima de la ambiente se transfiere térmicamente 0,1 *mW* desde el diodo a su entorno. (La resistencia térmica del contacto mecánico entre el diodo y su entorno es de 0,1 *mW*/°C.) La temperatura ambiente es de 25 °C. La temperatura del diodo no debe superar en más de 10 °C la del ambiente. Si la corriente inversa de saturación es de 5 *nA* a 25 °C y aumenta a razón de 0,07 °C^{-1}, ¿Cuál es la máxima tensión de polarización inversa que se puede mantener en el diodo?

2-8. Un diodo de silicio trabaja a una tensión directa constante de 0,7*V*. ¿Cuál será la relación entre las corrientes máxima y mínima en el diodo dentro de un campo de temperaturas de - 55 a + 100 °C?

2-9. El diodo de silicio descrito en la Fig. 2-5 se emplea en el circuito de la Fig. 2-8*a*, siendo $V_{AA} = 6v$ y $R = 100\Omega$.
(*a*) Determinar la corriente y la tensión del diodo.
(*b*) Si V_{AA} se baja hasta 3*V*. ¿Cuál deberá ser el nuevo valor de *R* para que la corriente del diodo conserve el mismo valor del apartado anterior?

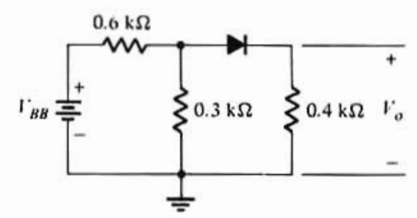
2-10. Un diodo de silicio con las características indicadas se emplea en el circuito de la Fig. 2-8*a*, siendo $V_{AA} = 5\ V$ y $R = 1\ k\Omega$.
(*a*) Determinar la corriente en R y la tensión entre sus extremos.
(*b*) ¿Cuánta potencia disipa el diodo?
(*c*) ¿Cuál será la corriente del diodo si se cambia R a 2 y a $5k\Omega$?



Prob. 2-10

2-11. (*a*) Repetir las partes (*a*) y (*b*) del Prob. 2-10 para $V_{AA} = 10V$ y $R = 2\ k\Omega$.
(*b*) ¿Cuál es la corriente de carga si V_{AA} se reduce a $5V$?
(*c*) ¿Cuál es la corriente en el diodo si V_{AA} aumenta hasta $20V$?

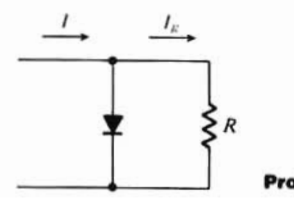
2-12. El circuito de la figura utiliza el diodo del Prob. 2-10. Hallar V_o dado $V_{BB} = 9V$.



Prob. 2-12

2-13. El diodo de silicio de las características dadas en la Fig. 2-5 se emplea en el circuito del Prob. 2-12 con $V_{BB} = 60V$. Calcular la potencia disipada por la resistencia de $0{,}4\ k\Omega$.

2-14. A la combinación de diodo y resistencia indicada se le suministra una corriente constante $I = 70mA$. La resistencia R es de precisión y vale $1\ k\Omega$. A 25 °C la tensión del diodo es de 700 mV.
(*a*) Trazar una gráfica de I_R en función de la temperatura T entre - 55 y + 125 °C.
(*b*) Comentar el empleo del circuito a manera de termómetro. Admitamos que tanto la resistencia R como la corriente del diodo tienen variaciones despreciables dentro del campo de temperatura.



Prob. 2-14

2-15. Determinar la corriente en el circuito de la Fig. 2-8*a* para $V_{AA} = 12\ V$ y $R = 4\ k\Omega$, suponiendo que el diodo:
(*a*) sea ideal,
(*b*) está representado como en la Fig. 2-11 con $V\gamma = 0{,}6\ V$ y $R_f = 20\Omega$.

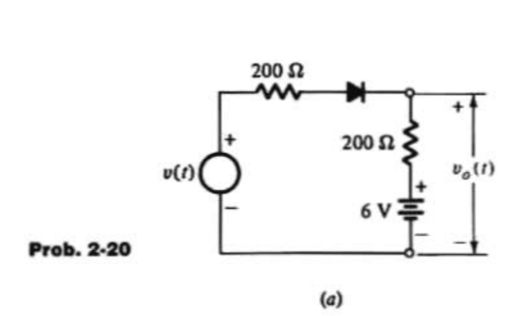
2-16. Determinar V_o en el circuito del Prob. 2-12 suponiendo que el diodo:
(*a*) sea ideal,
(*b*) que esté representado como en la Fig. 2-11 con $V\gamma = 0{,}6\ V$ y $R_f = 30\Omega$.

2-17. (*a*) Representar el diodo de silicio de la Fig. 2-5 por el modelo dado en la Fig. 2-11, es decir, calcular $V\gamma$ y R_f.
(*b*) Utilizar esta representación para resolver el Prob. 2-9(*a*).
(*c*) Comparar la respuesta a (*b*) con la respuesta al Prob. 2-9(*a*).

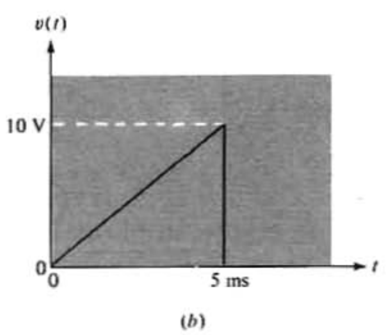
2-18. (*a*) Repetir el Prob. 2-17(*a*) para la característica del diodo del Prob. 2-10.
(*b*) Utilizar esta representación para resolver el Prob. 2-12.
(*c*) Comparar la respuesta con la del Prob. 2-12.

2-19. La corriente en el circuito de la Fig. 2-8 debe ser de 10 *mA*. Siendo $V_{AA} = 1{,}5V$. Calcular R_L siendo el diodo:
(*a*) ideal,
(*b*) representado por $V\gamma = 0{,}5V$ y $R_f = 50\Omega$.

2-20. Esbozar la tensión de salida $v_o(t)$ del circuito representado, para $0 \le t \le 5$ ms. suponiendo el diodo ideal.



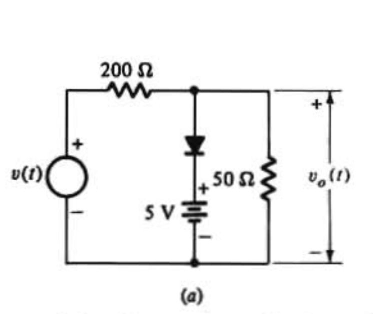
(*a*)



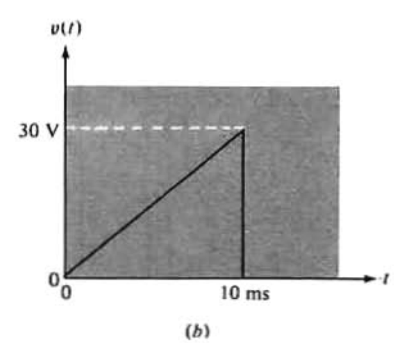
(*b*)

2-21. Repetir el problema anterior si el diodo está representado por $V\gamma = 0{,}5\ V$ y $R_f = 50\Omega$.

2-22. Esbozar la tensión de salida para el circuito representado, para $0 \le t \le 10$ ms. suponiendo el diodo:
(*a*) ideal,
(*b*) representado por $V\gamma = 0{,}6V$ y $R_f = 20\Omega$.



(*a*)



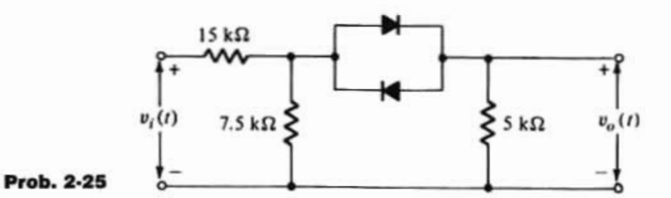
(*b*)

2-23. Esbozar la característica de transferencia de tensión (v_o en función de v_i) del circuito del Prob. 2-10 suponiendo el diodo:
(*a*) ideal,

(*b*) representado por $V\gamma = 0{,}6V$. y $R_f = 25\Omega$.

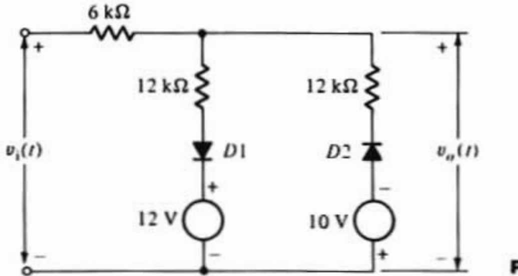
2-24. Esbozar la característica de transferencia de tensión (v_o en función de v_i) del circuito del Prob. 2-22 supuesto el diodo:
(*a*) ideal,
(*b*) representado por $V\gamma = 0{,}5$ V y $R_f = 40\Omega$.

2-25. Trazar la característica de transferencia de tensión del circuito representado, suponiendo los dos diodos idénticos, teniendo $V\gamma = 0{,}6V$ y $R_f = 0$.



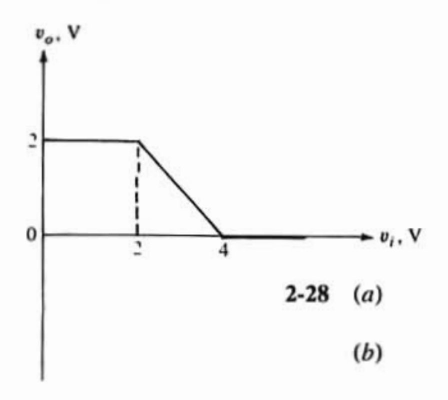
Prob. 2-25

2-26. (*a*) Obtener la característica de transferencia de tensión del circuito representado suponiendo los diodos ideales.
(*b*) Esbozar un ciclo de la tensión de salida suponiendo que la tensión de entrada sea $v_i(t) = 20$ sen ωt.



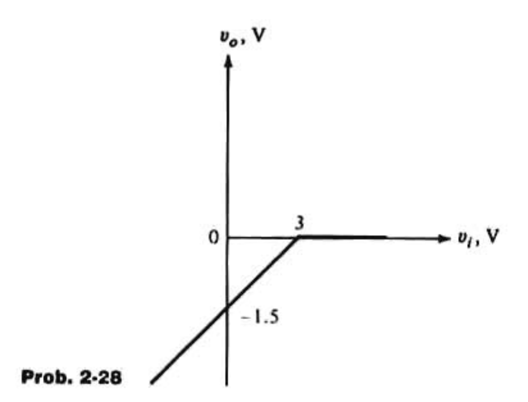
Prob. 2-26

2-27. La tensión de entrada a la red cuya característica de transferencia es la representada es $v_i = 2 + 2$ sen ωt. Esbozar la tensión de salida $v_o(t)$ en un ciclo de la entrada.



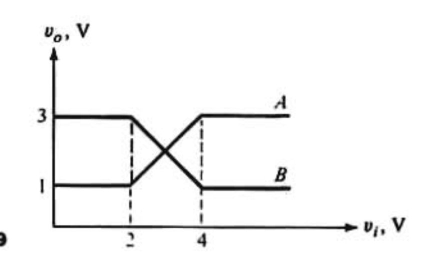
Prob. 2-27

2-28. (*a*) La característica de transferencia de tensión de una red de diodo es la representada. Esbozar la tensión de salida para $v_i(t) = 2{,}0 + 3$ sen ωt.
(*b*) Diseñar una red de diodo simple, con diodos ideales, que tenga la función de transferencia dada.



Prob. 2-28

2-29. (*a*) Se aplica una senoide $v_i(t) = 3 + 2$ sen ωt a una red de diodo cuya característica de transferencia de tensión está señalada *A*. Esbozar la onda de salida $v_o(t)$ durante un ciclo.
(*b*) ¿Qué cambios cabe esperar en la onda de salida si la característica de transferencia de tensión es *B*?
(*c*) Diseñar un circuito que tenga la característica *A* usando diodos ideales.



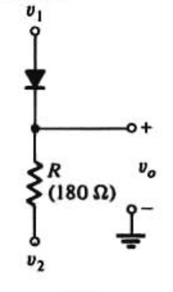
Prob. 2-29

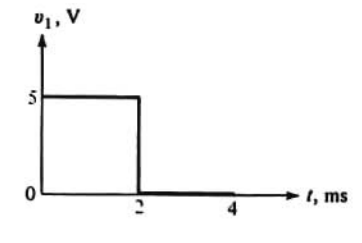
2-30. (*a*) Obtener la característica de transferencia de tensión del circuito de la Fig. 2.23.
(*b*) Empleando el resultado de (*a*) comprobar que el circuito es un recortador a dos niveles.

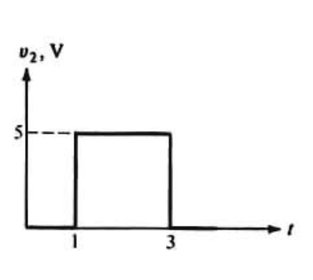
2-31 (*a*) La corriente *I* del Prob. 2-14 cambia en $\Delta I \ll I$. Emplear el análisis de pequeña señal para determinar ΔI_R.
(*b*) Con $R = 1\ k\Omega$, ¿cuál es el mínimo valor de *I* para el que $(\Delta I_R/\Delta I) \leq 0{,}01$ a temperatura ambiente? Prescíndase del efecto de C_D.

2-32. En el circuito del Prob. 2-12, V_{BB} pasa de 6 a 6,25 *V*. Determinar:
(*a*) La variación ΔV_o de V_o.
(*b*) El nuevo valor de V_o.

2-33. En el circuito del Prob. 2-20(*a*), $v(t) = 8 + 0{,}02$ sen ωt. Despreciando el efecto de la capacidad de difusión y suponiendo que el modelo en continua del diodo es $V\gamma = 0{,}6$ y $R_f = 0$, determinar y esbozar la tensión de salida que aparecerá en un osciloscopio si el selector se coloca en: (*a*) alterna, y (*b*) continua.





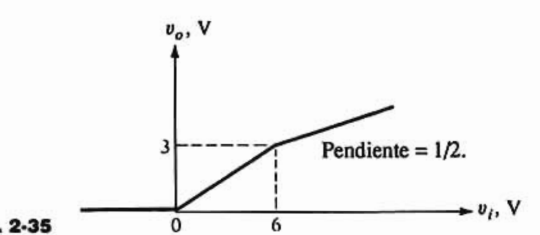


Prob. 2-34 (*a*) (*b*) (*c*)

2-34. Al circuito diodo-resistencia representado se le aplican las ondas v_1 y v_2. Esbozar $v_o(t)$ para $0 \le t \le 4$ ms. Supóngase que el diodo de silicio corta instantáneamente y que $V\gamma = 0{,}6V$ y $R_f = 20\Omega$.

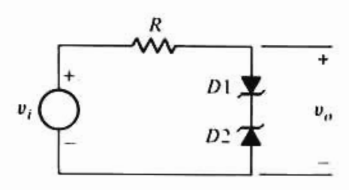
2-35. (*a*) La figura representa la característica de transferencia de un circuito de diodo. Esbozar la tensión de salida de un ciclo, supuesto que $v_i = 6 + V_m$ sen ωt.

(*b*) Si $v_i = 6 + \Delta V_i$, ¿Cuál será el cambio ΔV_o en v_o para un incremento ΔV_i tanto positivo como negativo?



Prob. 2-35

2-36. Esbozar la característica de transferencia del circuito de diodo Zener representado suponiendo que $D1$ y $D2$ son idénticos, y tienen los parámetros V_z, $V\gamma$ y R_f.



Prob. 2-36

2-37. Repetir el problema 2-36 para $V_{z1} = 5\ V$ y $V_{z2} = 10\ V$. Supóngase $V\gamma = 0{,}6V$, $R = 10\ k\Omega$, $R_f = 20\Omega$ y una corriente de saturación despreciable.

2-38. En el circuito de la Fig. 2-32 se emplea un diodo Zener que proporciona regulación para $50\ mA \le I_A \le 1{,}0\ A$. Determinar el campo de las corrientes de carga cuya regulación se consigue si la tensión no regulada V_s varía entre 7,5 y 10 V. La resistencia es $R_s = 4{,}75\Omega$.

2-39. El regulador de la Fig. 2-32 suministra una tensión de carga de 6 V para toda corriente de carga $I_L \le 0{,}5A$. La alimentación no regulada varía entre 8 y 10V y el diodo Zener regula para $I_z > 0$. Determinar:

(*a*) La resistencia en serie R_s necesaria.

(*b*) La disipación de potencia nominal de Zener.

2-40. El circuito de la Fig. 2-32 está diseñado con $R_s = 20\Omega$. El diodo Zener de 5,6 V regula para $1\ mA \le I_z \le 300\ mA$ y una corriente de carga $0 \le I_L \le 200\ mA$. Determinar el campo de amplitudes del suministro no regulado en el que se mantiene regulada la carga.

2-41. Los diodos con polarización inversa se emplean frecuentemente como condensadores variables gobernados eléctricamente.

La capacidad de una unión abrupta de diodo es de 4 pF a 4V. Determinar los cambios de la capacidad:

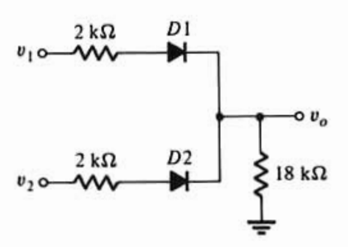
(*a*) incrementando en 0,5 V la polarización.

(*b*) disminuyendo en 0,5 V la polarización.

2-42. La deducción de la Ec. (2-40) para la capacidad de difusión C_D supone que el lado p está más dopado que el n, por lo que la corriente en la unión es esencialmente la corriente de huecos. Deducir una expresión de C_D cuando se prescinde de esta aproximación.

2-43. En el circuito representado, la tensión umbral de un diodo es de 0,6 V y la caída a través de un diodo en conducción es $V' = 0{,}7\ V$. Calcular v_o para las siguientes tensiones de entrada e indicar

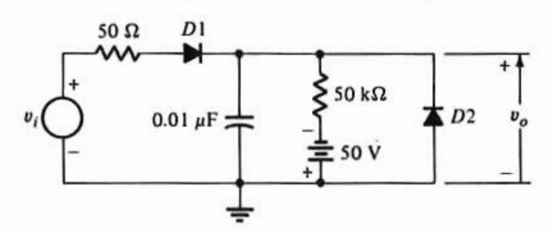
el estado de cada diodo (ON u OFF). Justificar la presunción sobre el estado de cada diodo.
(*a*) $v_1 = 10V$ y $v_2 = 0V$.
(*b*) $v_1 = 5V$ y $v_2 = 0V$.
(*c*) $v_1 = 10V$ y $v_2 = 5V$.
(*d*) $v_1 = 5V$ y $v_2 = 5V$.



Prob. 2-43

2-44. Repetir el Prob. 2-43 suponiendo que la resistencia de 18Ω retorna a tierra a través de una fuente de $5V$.

2-45. En el circuito representado v_1 es un impulso de $5V$ cuya duración es de 10 a 40 ns. Esbozar el impulso de salida para anchos del impulso de entrada de 10, 20, 30 y 40 ns. Supóngase que los diodos son ideales. (*Insinuación*: para $x \ll 1$, $\in^{-x} \approx 1 - x$).



Prob. 2-45

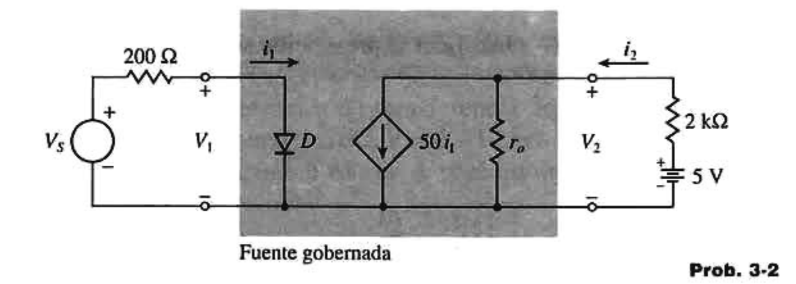
CAPÍTULO 3

3-1. En el circuito de la Fig. 3-3 se emplea una fuente de corriente gobernada por corriente. La fuente gobernada queda definida por:

$$I_2 = 100\, i_1\, mA, \text{ para } i_1 \geq 0$$
$$i_2 = 0 \text{ para } i_1 < 0$$

siendo por otra parte ideal. Los parámetros valen: $R_s = 100\Omega$, $R_2 = 1\ k\Omega$, y $V_{22} = 10V$.
(*a*) Dibujar una serie de características de salida (i_2 en función de v_2) para $0 \leq i_1 \leq 200\ \mu A$.
(*b*) Trazar una característica de transferencia (v_2 en función de v_s) para $v_s \geq 0$.
(*c*) ¿Qué valor de v_s se necesita para hacer $v_2 \ll 0{,}5V$?

3-2. En el circuito representado se utiliza una fuente gobernada no ideal. Esbozar la característica de transferencia (v_2 en función de v_s) para r_o tendiendo a infinito (circuito abierto). ¿Qué partes de la característica deberán emplearse si el circuito debe actuar a manera de interruptor? ¿Y como amplificador? (*Sugerencia*: Dibujar primero una serie de características del dispositivo. Supóngase que las tensiones umbral y en conducción del diodo son ambas de 0,5 V, y $R_r = 50\Omega$.)



Prob. 3-2

3-3. Repetir el Prob. 3-2, dado $r_o = 20\ k\Omega$.

3-4. El dispositivo de la Fig. 3-2 es una fuente ideal de tensión gobernada por corriente. Dibujar un conjunto de características de salida típicas y explicar cómo puede emplearse este dispositivo a manera de interruptor gobernado o como amplificador.

3-5. (*a*) Estando la base en circuito abierto ($I_B = 0$) determinar si las uniones emisor-base y colector-base están polarizadas directa o inversamente.

(*b*) Calcular la corriente que existe en el transistor *pnp*, teniendo $I_{ES} = 1\ pA$, $\alpha_F = 0{,}99$ y $\alpha_R = 0{,}5$, a temperatura ambiente.

3-6. Deducir la ecuación (3-16). Modificar esta ecuación para un transistor *npn*.

3-7. Deducir la Ec. (3-24) de las ecuaciones de Ebers-Moll.

3-8. El circuito de la Fig. 3-24(*a*) se usa para polarizar un transistor 2N2222A con las características dadas en la Fig. 3-16, a $V_{CEQ} = 5\ V$, e $i_{CQ} = 15\ mA$. La tensión de alimentación es $V_{CC} = 12V$.

(*a*) Determinar los valores de R_B y R_c necesarios.

(*b*) Hallar el valor de β_F en estas condiciones.

3-9. Dibujar el circuito, análogo a la Fig. 3-24(*a*), empleando para polarizar el transistor *pnp* 2N2907A. (Este transistor y el 2N2222A son complementarios.)

Siendo $V_{CC} = 15V$ determinar los valores de R_B y R_C necesarios para establecer $V_{CE} = -10V$, e $I_C = -20\ mA$.

3-10. En el circuito de la Fig. 3-24(*a*) se emplea un transistor 2N2222A con $R_C = 225\Omega$, $R_B = 100\ k\Omega$ y $V_{CC} = 9V$. Determinar I_C y V_{CE}.

3-11. Empléese el circuito de la Fig. 3-25(*a*) para polarizar el 2N2222A a $V_{CE} = 5V$, e $I_C = 15\ mA$, con $V_{EE} = 10V$.

3-12. Un transistor con $\beta_F = 99$ y corriente de saturación inversa despreciable se emplea en el circuito de la Fig. 3-25(*a*), con $R_C = 2\ k\Omega$, $R_E = 1\ k\Omega$, $R_B = 200\ k\Omega$ y $V_{EE} = 6V$.

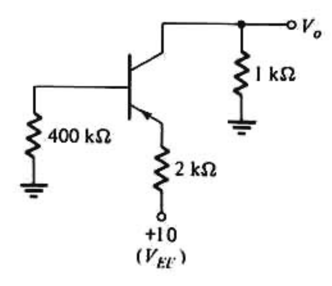
(*a*) Determinar I_C y V_{CE}.

(*b*) Repetir (*a*) siendo $\beta_F = 199$.

3-13. El transistor empleado en el circuito representado tiene $\beta_F = 150$ y una corriente de saturación inversa despreciable.

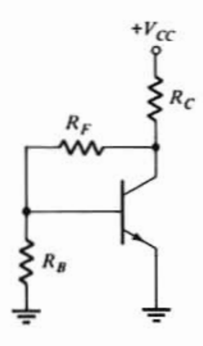
(*a*) Determinar I_C y V_{CE}.

(*b*) Repetir (*a*) con β_F reducida a 50



Prob. 3-13

3-14. En el circuito representado se emplea un transistor con $\beta_F = 99$ y corriente de saturación inversa despreciable. Los valores son $V_{CC} = 10V$, $R_C = 2{,}7\ k\Omega$ y $R_F = 180\ k\Omega$, estando R_B en circuito abierto.
(*a*) Hallar los valores de V_{CE} e I_C.
(*b*) Repetir (*a*) con $\beta_F = 199$.

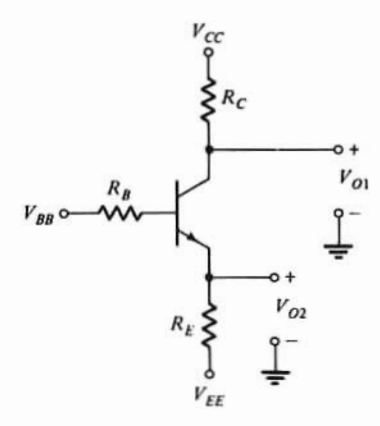


Prob. 3-14

3-15. El circuito del problema anterior se emplea para establecer $V_{CE} = 5V$, e $I_C = 5\ mA$, siendo $V_{CC} = 9V$. Se usa el transistor del problema anterior y R_B está en circuito abierto.
(*a*) Determinar R_C y R_F.
(*b*) Hallar los nuevos valores de I_c y V_{CC} para $\beta_F = 49$.

3-16. Se emplea el circuito del Prob. 3-14 con los siguientes valores: $R_C = 2\ k\Omega$, $R_B = 25\ k\Omega$ y $V_{CC} = 12V$. El transistor tiene $\beta_F = 49$ y una corriente de saturación inversa despreciable.
(*a*) Determinar R_F para que $I_E = -2\ mA$.
(*b*) Con el valor de R_F hallado en (*a*) determinar I_E cambiando β_F a 150.

3-17. El circuito representado emplea un transistor con $\beta_F = 100$ y los parámetros $R_C = 0{,}5\ k\Omega$, $R_E = 1\ k\Omega$, $R_B = 44\ k\Omega$, $V_{CC} = 15V$, $V_{EE} = -15V$, y $V_{BB} = 0$.
(*a*) Determinar V_{o1} y V_{o2}
(*b*) ¿Qué nuevo valor de R_C hace que $V_{o1} = 0$?
(*c*) ¿Qué nuevo valor de R_C hace que $V_{o2} = 0$?
Despréciese la corriente de saturación inversa.



Prob. 3-17

3-18. En el circuito del Prob. 3-17 cada una de las tensiones de suministro V_{BB}, V_{CC}, y V_{EE} pueden ser de 10, - 10 o 0V. Citar todas las combinaciones posibles de estas tensiones con las que el transistor puede polarizarse en la región activa directa.

3-19. Repetir el problema anterior para la región activa inversa.

3-20. En el circuito de la Fig. 3-27(*a*) se emplea un transistor con $\beta_F = 125$ y $\beta_R = 1$. Siendo $V_{EE} = 6\ V$,

$R_E = R_C = 1\ k\Omega$, determinar R_B para que la corriente en R_E sea de 1 mA.

3-21. Los valores de los elementos del circuito de la Fig. 3-26(*a*) son: $R_1 = 150\ k\Omega$, $R_2 = 37{,}5\ k\Omega$, $R_C = 7\ k\Omega$ y $R_E = 3\ k\Omega$. El transistor tiene $\beta_F = 100$ y corriente de saturación inversa despreciable. Con $V_{CC} = 9V$.
(*a*) Determinar V_{CE} e I_C.
(*b*) Repetir (*a*) para $\beta_F = 50$.

3-22. El circuito de la Fig. 3-26(*a*) emplea los transistores dados en el Prob. 3-21. Los valores de los elementos son: $R_1 = 90\ k\Omega$, $R_2 = 10\ k\Omega$, $R_C = 10\ k\Omega$, $R_E = 0{,}9\ k\Omega$ y $V_{CC} = 12V$.
(*a*) Determinar V_{CE} e I_C.
(*b*) Repetir (*a*) para $\beta_F = 200$.

3-23. El circuito de la Fig. 3-26(*a*) debe emplearse con un transistor *pnp* con $\beta_F = 50$ y con corriente de saturación inversa despreciable. Se dispone de una tensión positiva de suministro de 12V. Las resistencias de emisor y de colector son de 2 $k\Omega$ cada una. Determinar los valores de R_1 y R_2 que hagan que $V_{CC} = -6V$.

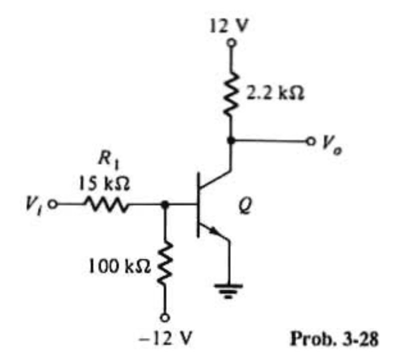
3-24. Determinar el valor de V_{BE} en el circuito del Prob. 3-17 con el que:
(*a*) Justamente sature el transistor.
(*b*) Obliga que $\beta = 10$.
Los valores de los elementos son los dados en el Prob. 3-17.

3-25. Los valores de los elementos en el circuito del Prob. 3-17 son: $V_{CC} = 0$, $V_{EE} = -10V$, $R_E = 0$, $R_C = 2\ k\Omega$, $R_B = 50\ k\Omega$. El transistor tiene $\beta_F = 125$, y corriente de saturación inversa despreciable. Esbozar la característica de transferencia V_{o1} en función de V_{BB} indicando claramente la región de trabajo del transistor.

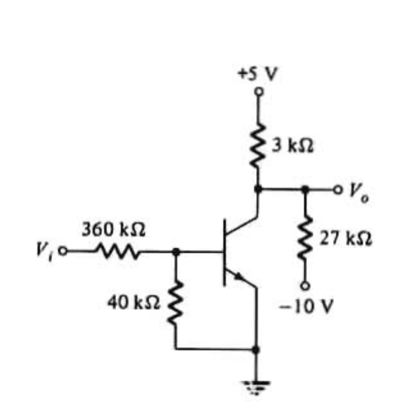
3-26. Repetir el problema anterior siendo $V_{CC} = 10V$ y todos los demás valores manteniendo los dados.

3-27. (*a*) Repetir el Prob. 3-25 para los siguientes parámetros: $R_C = 5\ k\Omega$, $R_B = 100\ k\Omega$, $R_E = 2\ k\Omega$, $V_{CC} = 9V$, y $V_{EE} = 0V$. El transistor tiene $\beta_F = 150$ y corriente de saturación inversa despreciable.
(*b*) Esbozar la característica de transferencia V_{o2} en función de V_{BE}.

3-28. Esbozar la característica de transferencia v_o en función de v_i del circuito representado. El transistor tiene $\beta_F = 75$ e $I_{CO} \approx 0$.



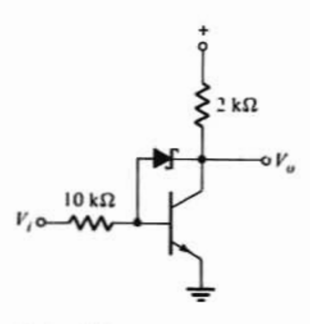
Prob. 3-28



Prob. 3-29

3-29. Esbozar la característica de transferencia V_o en función de V_i del circuito representado. El transistor empleado es el descrito en el Prob. 3-28.

3-30. Esbozar la característica de transferencia V_o en función de V_i del circuito representado. El transistor tiene $\beta_F = 150$ y corriente de saturación inversa despreciable. El diodo Schottky tiene una caída de 0,4V cuando conduce.



Prob. 3-30

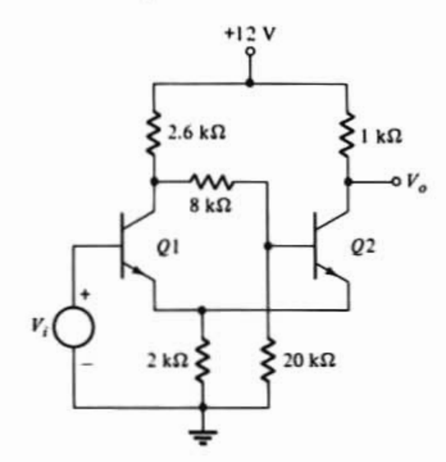
3-31. Los transistores $Q1$ y $Q2$ son idénticos con $\beta_F = 100$ y corriente de saturación inversa despreciable.

(*a*) Hallar V_o cuando $V_i = 0$. Supóngase que $Q1$ está en corte y justifíquese el supuesto.

(*b*) Hallar V_o cuando $V_i = 6V$. Supóngase que $Q2$ está en corte y justifíquese el supuesto.

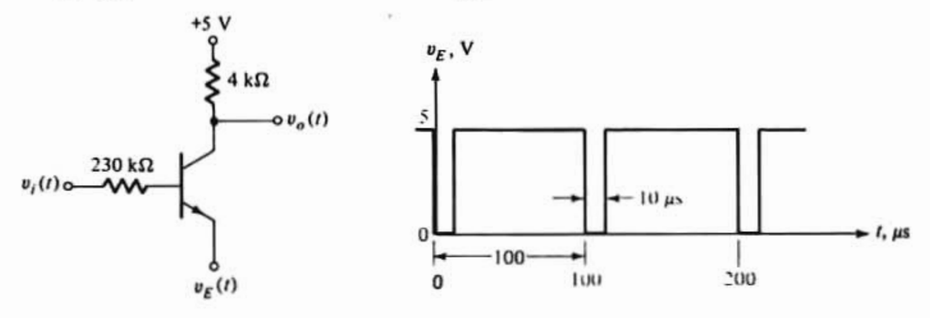
(*c*) Esbozar la característica de transferencia de tensión, V_o en función de V_i, a medida que V_i pasa de 0 a $6V$.

(*d*) Repetir (*c*) decreciendo V_i desde 6 a $0V$.



Prob. 3-31

3-32. La tensión de entrada v_i en el circuito es $v_i(t) = 20 + 1{,}0\ \text{sen}2\pi\times10^3 t$. El transistor es el descrito en el Prob. 3-31, y $v_E(t)$ tal como se indica. Esbozar $v_o(t)$ en un ciclo.

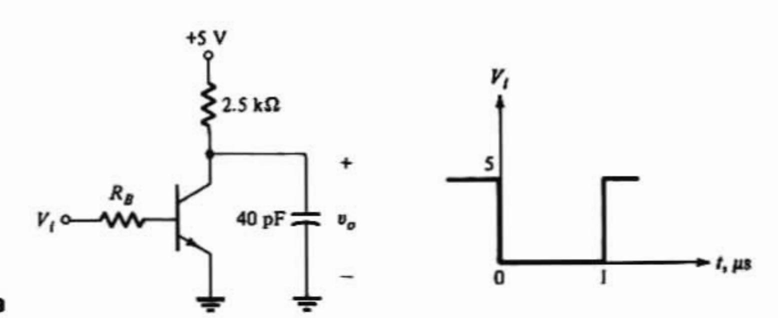


Prob. 3-32

3-33. En el circuito representado se utiliza el transistor del Prob. 3-31.

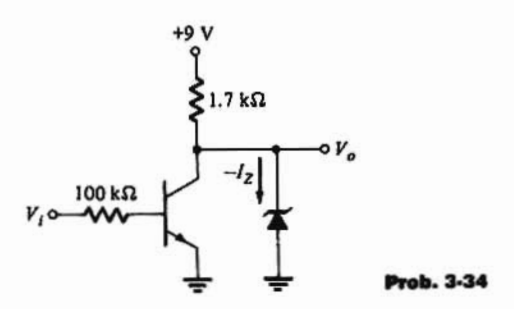
(*a*) Determinar R_B para que el transistor quede justamente saturado con $V_i = 5V$.

(*b*) Si V_i es el impulso rectangular señalado, esbozar $v_o(t)$. Supóngase que el transistor responde instantáneamente.



Prob. 3-33

3-34. (*a*) Esbozar la característica de transferencia de tensión del circuito representado. El transistor tiene $\beta_F = 120$, $\beta_R = 2$ e $I_{CO} = 0$. El diodo Zener está tarado a $V_Z = 5{,}6V$.
(*b*) Esbozar I_Z en función de V_i.



Prob. 3-34

3-35. Un transistor se polariza a $I_C = 0{,}5\ mA$ y tiene β_o 150.
(*a*) Determinar g_m y r_π a temperatura ambiente.
(*b*) La resistencia de entrada $h_{ie} = 7{,}6\ k\Omega$. Hallar r_b.
(*c*) Se emplea una resistencia de carga $R_C = 2\ k\Omega$ y el transistor se excita de una fuente de 300Ω. Estimar la ganancia de tensión.

3-36. El 2N2222A se polariza a $I_{CQ} = 20\ mA$ y $V_{CEQ} = 5V$. La tensión de suministro es de $10V$.
(*a*) Estimar el valor de β_o para el transistor.
(*b*) Una señal de entrada $i_b(t) = 20$ sen $\omega t\ \mu A$ se superpone al nivel de reposo. Estimar la componente de señal de la corriente de colector.

3-37. (*a*) Dibujar el equivalente de pequeña señal, válido a baja frecuencia, del circuito de la Fig. 3-25(*a*)
(*b*) Deducir una expresión de la resistencia vista entre base y tierra.

3-38. Repetir el Prob. 3-37 para el circuito de la Fig. 3-26(*a*).

3-39. El transistor del circuito del Prob. 3-28 tiene $\beta_F = 100$ y $\beta_o = 100$. La corriente de saturación inversa es despreciable. La tensión Early V_A tiende a infinito y la resistencia de dispersión de la base $r_b = 0$. La tensión $V_i = 3{,}75 + \Delta V_i V$.
(*a*) Dibujar el modelo de pequeña señal de circuito a baja frecuencia, incluyendo los valores numéricos de los parámetros del transistor.
(*b*) Emplear (*a*) para calcular la variación ΔV_o de V_o motivada por ΔV_i.
(*c*) Calcular ΔV_o para $\Delta V_i = 0{,}25V$.
(*d*) Comparar los resultados de (*c*) con un análisis en continua del circuito, para $V_i = 4\ V$. Explíquese cualquier diferencia.

3-40. (*a*) Dibujar el circuito equivalente de pequeña señal, de la etapa en base común de la Fig. 3-13.
(*b*) Calcular a baja frecuencia la resistencia entre emisor y base (vista hacia el transistor).

3-41. (*a*) Dibujar el circuito equivalente de pequeña señal, válido a baja frecuencia, del circuito de la Fig. 3-37.

(*b*) Determinar V_{o2} dado $V_1 = -V_2 = 25V$. Los valores de los parámetros del transistor son: $\beta_o = 125$, $r_b = 0$ y $r_o = 1\ M\Omega$. La fuente de corriente $I_{EE} = 0{,}2\ mA$, y $R_C = 250\ k\Omega$.

3-42. Repetir el problema anterior, parte (*b*), para $V_1 = 25\ \mu V$ y $V_2 = 0$.

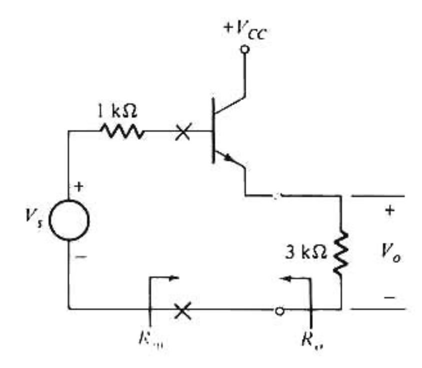
3-43. Repetir el Prob. 3-41(*b*) para $V_1 = 0$ y $V_2 = -25\ \mu V$.

3-44. Los parámetros de baja frecuencia y pequeña señal del transistor en el circuito en colector común son: $g_m = 40\ m\mho$, $\beta_o = 150$, $r_o \to \infty$ y $r_b \approx 0$.

(*a*) Dibujar el equivalente de pequeña señal de esta etapa.

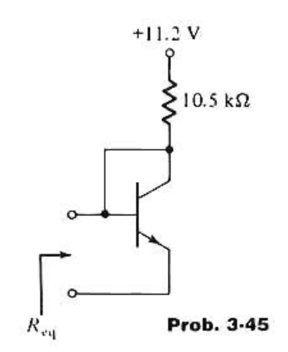
(*b*) Determinar R_{in} y R_o.

(*c*) Evaluar la función de transferencia V_o/V_s.



Prob. 3-44

3-45. El transistor del circuito representado está descrito en el Prob. 3-44. Determinar la resistencia equivalente R_{eq} de pequeña señal del transistor en conexión diodo.



Prob. 3-45

3-46. Se emplea un transistor con $\beta_F = 100$ en el circuito de la Fig. 3-36(*a*). Siendo $V_{CC} = 15V$ determinar el valor de R que hace que $I_C = 0{,}2\ mA$.

3-47. Los parámetros de la Fig. 3-32 son: $r_b = 50\Omega$, $r_\pi = 950\Omega$, $C_\pi = 50\ pF$, $C\mu = 1\ pF$, $r_o = 50\ k\Omega$ y $g_m = 0{,}1\mho$. Determinar, con los terminales c y e cortocircuitados:

(*a*) La relación I_c/I_b como función de la frecuencia.

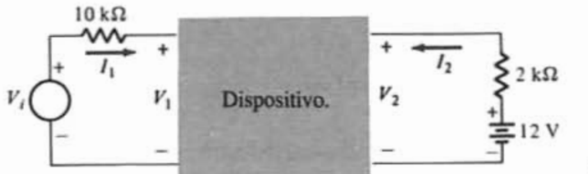
(*b*) A qué frecuencia la relación en (*a*) es igual a la unidad.

(*c*) La impedancia $Z_{in}(s)$ vista entre los terminales b y e.

CAPÍTULO 4

4-1. El dispositivo del circuito representado es una fuente ideal de corriente gobernada por tensión definida por $I_2 = 3\times10^{-3}V_1 mA$.

(*a*) Esbozar la característica de salida (I_2 en función de V_1) para $0 \leq V_1 \leq 3V$ con incrementos de 0,5*V*.
(*b*) Siendo $V_i = 1{,}5V$. determinar I_2 y V_2.
(*c*) Si V_i es un impulso positivo ¿cuál ha de ser su amplitud para que este circuito actúe como un interruptor gobernado?



Prob. 4-1

4-2. Con relación al dispositivo y circuito del Prob. 4-1, ·
(*a*) Esbozar la característica de transferencia V_2 en función de V_i.
(*b*) Siendo $V_i = 1{,}5 + 1{,}0$ sen ωt esbozar un ciclo de la onda de V_2.
(*c*) En las condiciones de (*b*) esbozar un ciclo de la tensión a través de la resistencia de 2 *k*Ω.
(*d*) Si se observa V_2 en un osciloscopio con el selector en *AC* (en alterna), esbozar un ciclo de la onda que se verá.

4-3. Una fuente de corriente gobernada por tensión, definida por $I_2 = 2{,}5 \times 10^{-3}\, V_i + 5 \times 10^{-5}\, V_2$ se emplea en el circuito del Prob. 4-1. Repetir el Prob. 4-2.

4-4. Consideremos un dispositivo de canal *n* con una concentración de donadores de N_D átomos/cm³ y una puerta fuertemente dopada con una concentración de aceptadores de N_A átomos/cm³ siendo $N_A \gg N_D$, con una unión canal-puerta abrupta. Supongamos que $V_{DS} = 0$ y que el potencial de contacto de la unión es muy inferior a $|V_p|$. Demostrar que con la geometría de la Fig. 4-6 $|V_p| = qN_p a^2/2\varepsilon$, siendo ε la constante dieléctrica del material del canal, y *q* la magnitud de la carga electrónica. Hallar V_p para un JFET de silicio de canal *n* con $a = 2$ μ*m*, $N_p = 7{\times}10^{14}$ átomos/cm³ y $\varepsilon_r = 12$.

4-5. Deducir la Ec. (4-1)

4-6. (*a*) Calcular $r_{DS(ON)}$ a $V_{GS} = 0\ V$ para el JFET cuyas características sean las dadas en la Fig. 4-7.
(*b*) Un JFET de silicio de canal *n* tiene la estructura mostrada en la Fig. 4-6. Hallar $r_{DS(ON)}$ para $V_{GS} = 0$, siendo $L = 10$ μ*m*, $a = 2$ μ*m*, $W = 8$ μ*m* y $V_p = -4V$. (*Sugerencia:* Emplear la expresión de V_p en el Prob. 4-4.)

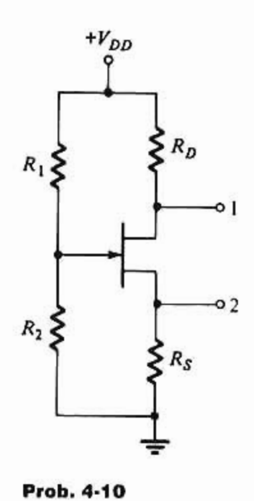
4-7. El JFET cuyas características se dan en la Fig. 4-7 se emplea en el circuito de la Fig. 3-19. Los valores de los elementos son: $V_{DD} = 24\ V$, $R_D = 4\ k\Omega$, $R_s = 1\ k\Omega$ y $R_G \geq 100\ k\Omega$. Determinar V_{DS}, I_D y V_{GS}.

4-8. El circuito de la Fig. 4-19 emplea el JFET de la Fig. 4-7.
La tensión suministro es de 30*V* y se desea tener $V_{DS} = 17{,}5V$ e $I_D = 2{,}5\ mA$. Determinar R_D y R_S.

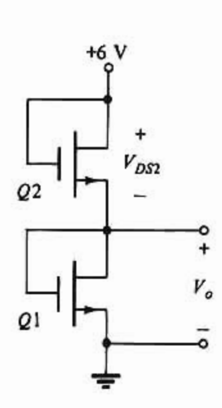
4-9. Un JFET de canal *p* tiene $V_p = 5V$ e $I_{DSS} = -12\ mA$. La tensión de alimentación disponible es de 12*V*. Empleando un circuito análogo al de la Fig. 4-19 para un elemento de canal *p* determinar R_D y R_S para que $I_D = -4\ mA$. y $V_{DS} = -6V$.

4-10. Un JFET de canal *n* tiene $V_p = -5V$ e $I_{DS} = 12\ mA$ y se emplea en el circuito representado. Los valores de los parámetros son $V_{DD} = 18\ V$, $R_S = 2\ k\Omega$, $R_D = 2\ k\Omega$, $R_1 = 400\ k\Omega$, y $R_2 = 90\ k\Omega$. Determinar V_{DS} e I_D.

4-11. (*a*) Se cambia la resistencia R_2 del Prob. 4-10. ¿Cuál debe ser el nuevo valor de R_2 si $I_D = 8\ mA$?
(*b*) Con los mismos valores dados para el Prob. 4-10, pero cambiando el de V_{DD}, hallar el nuevo valor de éste para que $I_D = 8\ mA$.
(*c*) En las condiciones de (*b*) ¿Cuál es el nuevo valor de V_{DS}?



Prob. 4-10



Prob. 4-16

4-12. Se emplea el circuito del Prob. 4-10 para tener $I_D = 2{,}5\ mA$, y $V_{DS} = 17{,}5V$ con un suministro de $30V$ para el JFET de la Fig. 4-7. La resistencia $R_G = R_1 \| R_2 \geq 100\ k\Omega$ y $R_S = 1{,}2\ k\Omega$. Determinar R_1, R_2 y R_G.

4-13. El MOSFET descrito por la característica de transferencia de la Fig. 4-13 se emplea en el circuito de la Fig. 4-21(*a*). Los valores de los parámetros son: $V_{DD} = 18\ V$, $R_D = 50\ k\Omega$ y $R_S = 10\ k\Omega$.
(*a*) Determinar la relación R_1/R_2 que hace $I_D = 0{,}1\ mA$.
(*b*) ¿Cuál es el valor de V_{DS}?

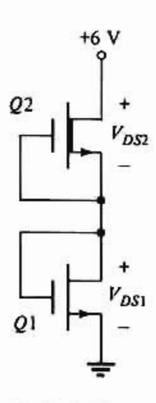
4-14. En el circuito de la Fig. 4-21 se emplea un transistor de acumulación NMOS con $k = 1\ mA/V^2$, $W/L = 2$ y $V_T = 4V$. La tensión de suministro es de $12V$, $R_D = R_S = 2\ k\Omega$, $R_1 = 100\ k\Omega$, y $R_2 = 300\ k\Omega$. Determinar:
(*a*) I_D y V_{DS}.
(*b*) El nuevo valor de R_S necesario para mantener el valor de I_D del apartado (*a*) si $W/L = 4$.

4-15. Un transistor de acumulación PMOS con $V_T = -1V$, $W/L = 1$, y $k = 0{,}2\ mA/V^2$ se emplea en un circuito análogo al de la Fig. 4-21(*a*). La tensión de suministro es de $9V$, $R_1 = 240\ k\Omega$, y $R_2 = 120\ k\Omega$.
(*a*) Determinar R_S para que $V_{GS} = -2V$.
(*b*) Determinar el valor de R_D necesario para que $V_{DS} = 3V$.
(*c*) Hallar el nuevo valor de R_2 que mantiene el valor de I_D en (*a*) y (*b*) con V_D cambiada a $-1{,}5V$. Supóngase que todos los demás parámetros conservan los valores dados o calculados en (*a*) y en (*b*).

4-16. Los transistores $Q1$ y $Q2$ del circuito representado son idénticos, con las características dadas en la Fig. 4-24(*b*).
(*a*) Determinar la corriente de drenaje en $Q1$ y la tensión V_o.
(*b*) ¿Cuál es el valor de V_{DS2}?

4-17. (*a*) Repetir el problema anterior, parte (*a*) suponiendo que la relación de aspecto W/L de $Q2$ disminuye en un factor 4 sin cambiar $Q1$.
(*b*) Repetir lo anterior suponiendo que la relación W/L de $Q1$ disminuye en un factor 4 sin variar $Q2$.

4-18. Las características de $Q1$ y $Q2$ empleados en el circuito representado son las dadas en las Figs. 4-24(*b*) y 4-26 respectivamente. Determinar V_{DS1} y V_{DS2}.

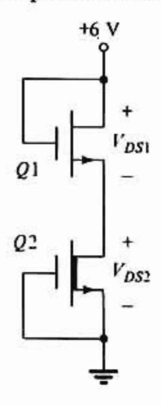


Prob. 4-18

4-19. Repetir el Prob. 4-18 suponiendo que la relación de aspecto W/L de $Q2$ disminuye en un factor 5 sin variar $Q1$.

4-20. Repetir el Prob. 4-18 suponiendo que la relación W/L de $Q1$ disminuye en un factor 5 sin variar $Q2$.

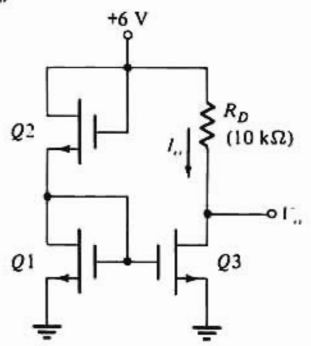
4-21. Repetir el Prob. 4-18 para el circuito representado.



Prob. 4-21

4-22. Repetir el Prob. 4-21 suponiendo que:
(*a*) La relación W/L de $Q1$ disminuye en un factor 5 sin variar $Q2$
(*b*) La relación W/L de $Q2$ disminuye en un factor 5 sin variar $Q1$.
(*c*) Las relaciones W/L tanto de $Q1$ como de $Q2$ aumentan en un factor 3.

4-23. En el circuito representado, $Q1$, $Q2$ y $Q3$ son transistores idénticos, de las características de la Fig. 4-12. Determinar I_o y V_o.



Prob. 4-23

4-24. Repetir el Prob. 4-23 suponiendo que se intercambian las conexiones de la resistencia de 10 $k\Omega$ y de $Q2$.

4-25. Repetir el Prob. 4-23 suponiendo que se sustituye $Q2$ por un transistor de deflexión conectado como resistencia y con las características de la Fig. 4-26.

4-26. En el circuito del Prob. 4-23, $Q1$, $Q2$, y $Q3$ son transistores idénticos con $k = 40\ \mu A/V^2$, $W/L = 5$ y $V_T = 1{,}0\ V$. Determinar R_D para que $V_o = 3{,}5V$.

4-27. Esbozar la función de transferencia V_o en función de V_i del circuito de la Fig. 4-24(a) con $V_{DD} = 6V$. El transistor $Q1$ tiene las características dadas en la Fig. 4-26(b) y $Q2$ es un transistor idéntico con una relación W/L de 0,4 veces la de $Q1$.

4-28. Los transistores del circuito de la Fig. 4-24(a) tienen $k = 50\ \mu A/V^2$ y $V_T = 1V$. Las dimensiones de la puerta de $Q1$ son $W = 50\ \mu m$ y $L = 5 \mu m$. $Q2$ tiene $W = 10\ \mu m$ y $L = 5\mu m$. Esbozar la función de transferencia V_o en función de V_i para $V_{DD} = 5V$.

4-29. (a) Un circuito NMOS tiene la característica de transferencia dada en la Fig. 4-30. Siendo $v_i = 3{,}0 + 0{,}25$ sen ωt, esbozar la onda de V_o en un ciclo, vista en un osciloscopio con el selector en DC (continua)

(b) Repetir lo anterior con el selector del osciloscopio en AC (alterna)

4-30. (a) Repetir el Prob. 4-29 para la característica de transferencia de la Fig. 4-25.

(b) La amplitud de la entrada senoidal se eleva a 1,25 V. Describir la onda de salida.

4-31. EL FET usado en el circuito de la Fig. 4-31 tiene $V_p = -6V$, $I_{DSS} = 15\ mA$ y $\lambda = 0{,}02\ V^{-1}$ polarizándose a $I_D = 6mA$ y $V_{DS} = 10V$.

(a) Dibujar el modelo de pequeña señal del circuito a baja frecuencia.

(b) ¿Qué valor de R_D se necesita si la amplitud de la componente de señal de v_o debe ser de 10 veces la amplitud de v_s?

4-32. (a) Dibujar el equivalente de pequeña señal del circuito del Prob. 4-10.

(b) Determinar la resistencia de salida vista entre el terminal 1 y tierra.

(c) Si $R_S = 0$, la resistencia en (a) ¿aumenta, disminuye o se mantiene la misma?

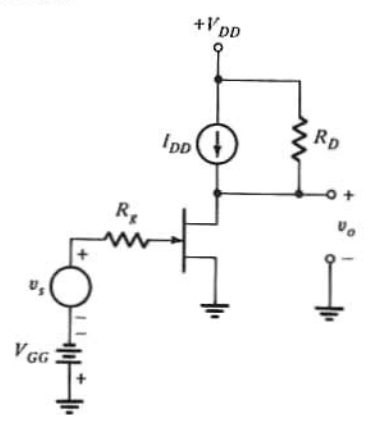
4-33. En el circuito del Prob. 4-10:

(a) Determinar la resistencia vista mirando al circuito entre el terminal 2 y tierra, a baja frecuencia.

(b) Calcular la resistencia en (a) para $R_D = 5\ k\Omega$, $R_s = 3\ k\Omega$, $R_1 = 240\ k\Omega$, $R_2 = 80\ k\Omega$, $g_m = 2m℧$, y $r_d = 50\ k\Omega$.

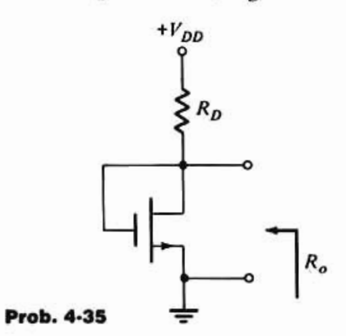
(c) Repetir (b) para $R_D = 0$.

4-34. El JFET del circuito representado tiene las características indicadas en la Fig. 4-32. Determinar para $I_{DD} = 2{,}5\ mA$ la componente de señal de v_o debida a una señal de entrada v_s=2 sen ωt mV. Los valores de los parámetros son: $R_D = 100\ k\Omega$, y $r_d = 100\ k\Omega$. Se supone que la corriente en continua de R_D es despreciable y que la frecuencia de la señal es suficientemente baja para que sea válido el modelo FET de baja frecuencia.



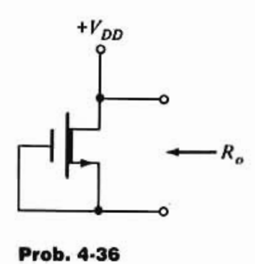
Prob. 4-34

4-35. (*a*) Dibujar el modelo de pequeña señal y baja frecuencia del circuito representado.
(*b*) Determinar R_o.
(*c*) Calcular R_o para $g_m = 1{,}0\ m\mho$, $r_d = 50\ k\Omega$ y $R_D = 10\ k\Omega$.



Prob. 4-35

4-36. Repetir el Prob. 4-35, partes (*a*) y (*b*) con la resistencia de deflexión representada.



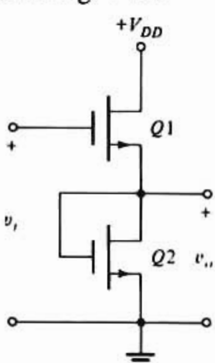
Prob. 4-36

4-37. (*a*) Dibujar el modelo incremental del circuito del Prob. 4- 35, válido para altas frecuencias.
(*b*) ¿Cuál es la capacidad equivalente vista entre drenaje y tierra?

4-38. (*a*) Dibujar el modelo de alta frecuencia del circuito del Prob. 4-36.
(*b*) Determinar la capacidad equivalente vista entre fuente y tierra.

4-39. (*a*) Dibujar el equivalente de pequeña señal de la etapa MOSFET representada en la Fig. 4-29*a*.
(*b*) Deducir la Ecuación (4-19).
(*c*) Deducir una expresión válida a baja frecuencia que relacione las amplitudes de las señales de salida y de entrada. (*Sugerencia*: Pueden resultar útiles los resultados del Prob. 4-36.)

4-40. Esbozar la característica de transferencia del circuito representado con $V_{DD} = 6V$ y siendo $Q1$ y $Q2$ transistores idénticos descritos por la Fig. 4-12.



Prob. 4-40

4-41. (*a*) Dibujar el modelo de pequeña señal y baja frecuencia del circuito del Prob. 4-40.
(*b*) Deducir una expresión de la componente de señal de v_o debida a la señal de entrada v_i.

4-42. Los transistores NMOS y PMOS de la Fig. 4-38 son complementarios y tienen $K = 20\ \mu A/V^2$, $W/L = 1$ y $V_T = 1V$. Esbozar la característica de transferencia v_o en función de v_i para $V_{DD} = 5V$.

4-43. En la Fig. 4-38 el transistor NMOS tiene $k = 15\ \mu A/V^2$, $W/L = 10$ y $V_T = 2\ V$, y el PMOS tiene $V_T = -1{,}0\ V$, $W/L = 10$ y $k = 15\ \mu A/V^2$. Esbozar la característica de transferencia v_o en función de v_i para $V_{DD} = 6\ V$.

4-44. Los transistores de la Fig. 4-38 son elementos complementarios cuyos parámetros se dan en el Prob. 4-42. La relación de aspecto W/L se cambia a 2. Esbozar la característica de transferencia del circuito.

CAPÍTULO 5

5-1. Citar por orden los pasos requeridos en la fabricación de un transistor integrado de silicio por el método de difusión epitaxial. Esbozar la sección transversal después de cada crecimiento de óxido.

5-2. (*a*) Consideremos un transistor *npn* integrado *Q*1 construido sobre un sustrato *S* de tipo *p*. Demostrar que entre los cuatro terminales *E*, *B*, *C* y *S* existe un transistor *pnp* *Q*2 además del *Q*1.
(*b*) Si *Q*1 está en su región activa, ¿en qué modo trabaja *Q*2? Explíquese.
(*c*) Repítase la parte (*b*) con *Q*1 en saturación.
(*d*) Repítase la parte (*b*) con *Q*1 en corte.

5-3. Esbozar (en forma de circuito) las cinco conexiones básicas de diodo para circuitos integrados. ¿Cuál de ellas tiene la menor caída de tensión directa? y ¿cuál la máxima tensión de ruptura?

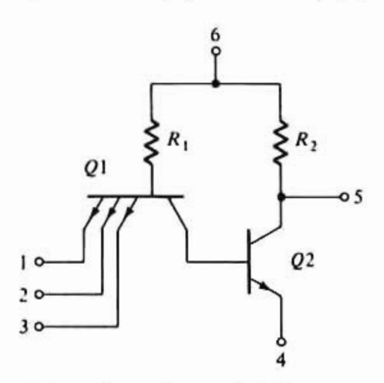
5-4. Una oblea de 25μ*m*. de espesor ha sido dopada uniformemente con fósforo a la concentración de $10^7\ cm^{-3}$, más boro a la de $5 \times 10^{16}\ cm^{-3}$. Hallar su resistencia pelicular.

5-5. (*a*) ¿Cuál es la longitud total requerida para fabricar una resistencia de 20 *k*Ω de 25μ*m* de anchura si $R_s = 200\ \Omega$/cuadro?
(*b*) ¿Qué ancho es necesario para construir una resistencia de 5 *k* Ω cuya longitud sea de 25 μm?

5-6. Un condensador de película fina tiene una capacidad de 0,4 $pF/(\mu m)^2$. El espesor de la capa de SiO_2 es de 500 Å. Calcular la constante dieléctrica relativa ε_r del SiO_2.

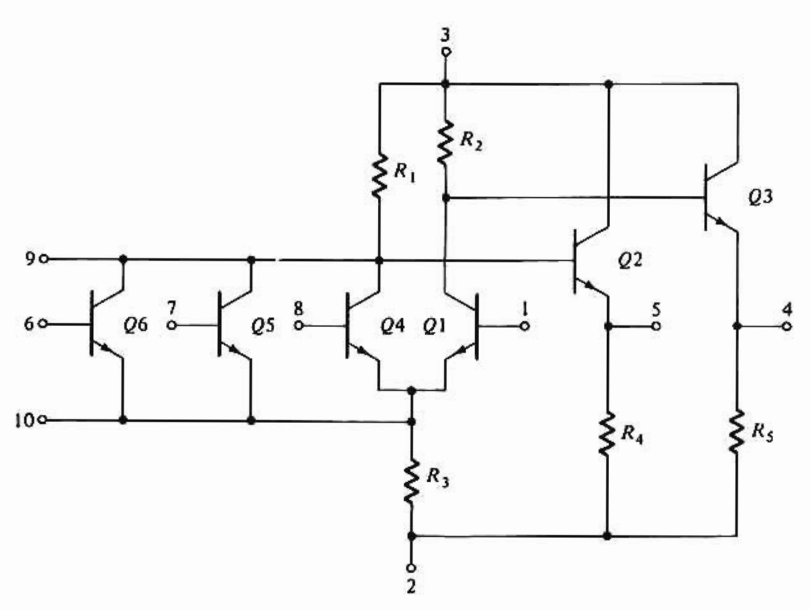
5-7. Se fabrica un condensador MOS con un espesor de óxido de 500 Å. ¿Qué superficie de chip se necesita para tener una capacidad de 200 *pF* ? La constante dieléctrica relativa ε_r del SiO_2 es de 3,5.

5-8. Hallar, para el circuito representado: (*a*) el mínimo y (*b*) el máximo número de regiones aisladas.



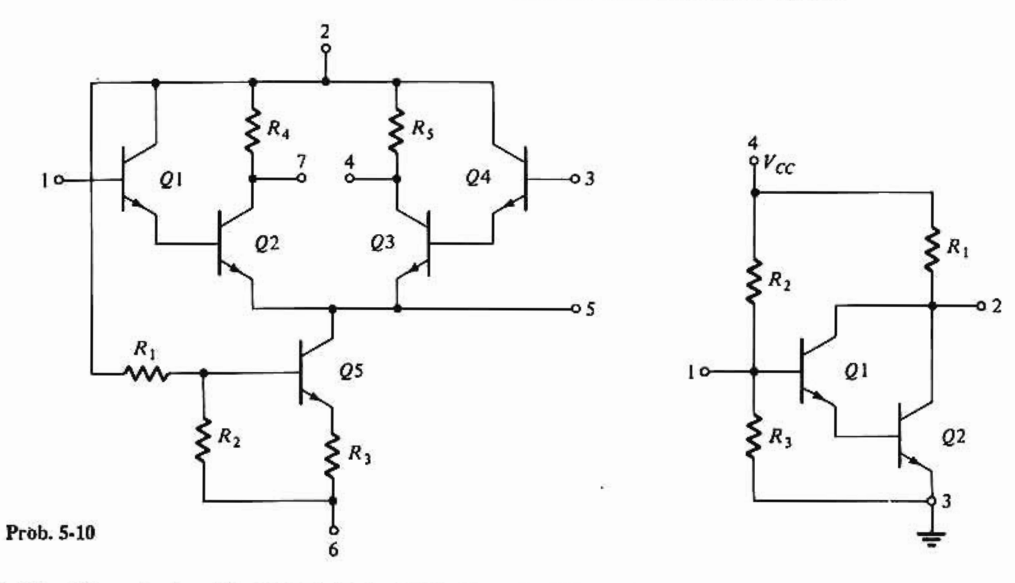
Prob. 5-8

5-9. (*a*) ¿Cuál es el número mínimo de regiones aisladas necesarias para conseguir en forma monolítica la puerta lógica representada?
(*b*) Dibujar una disposición monolítica de la puerta en la forma de la Fig. 5-1.



Prob. 5-9

5-10. Repetir el Prob. anterior para el amplificador diferencial representado.



Prob. 5-10

Prob. 5-11

5-11. Para el circuito representado: (*a*) hallar el mínimo número de regiones aisladas, y (*b*) dibujar una disposición monolítica.

(*Nota*: En los problemas 5-12 a 5-22 señalar la letra de la premisa que se considere correcta.)

5-12. El número típico de difusiones empleadas para construir un circuito integrado de silicio con difusión epitaxial es: (*a*)6, (*b*)3, (*c*)4, (*d*)5, (*e*)2.

5-13. La «capa enterrada» en un transistor *npn* fabricado sobre un sustrato tipo *p* de un circuito integrado:

(*a*) Se usa para reducir la capacidad parásita,

(*b*) está dopada p^+,

(*c*) está localizada en la región de emisor,

(*d*) está dopada n^+.

5-14. Se emplea en los circuitos integrados el crecimiento epitaxial:

(*a*) Porque origina capacidades parásitas pequeñas,
(*b*) porque forma uniones *pn* en oposición, aisladoras,
(*c*) para crecer un cristal de silicio dopado *n* sobre un sustrato de cristal tipo *p*,
(*d*) para crecer selectivamente un cristal de silicio dopado *p* de resistividad dada sobre un sustrato de distinta resistividad.

5-15. En los circuitos integrados se utiliza el SiO_2:
(*a*) Para controlar la localización de la difusión y para proteger y aislar la superficie de silicio,
(*b*) porque facilita la penetración de los difusores,
(*c*) para controlar la concentración de los difusores,
(*d*) por su elevada conducción térmica.

5-16. Cuando se practica una abertura en el SiO_2 y se introducen impurezas, éstas se difundirán verticalmente:
(*a*) A mayor distancia que lateralmente,
(*b*) a la misma distancia que lateralmente,
(*c*) a menor distancia que lateralmente,
(*d*) a doble distancia que lateralmente.

5-17. El sustrato tipo *p* en un circuito monolítico debe conectarse:
(*a*) A cualquier punto a tierra en continua,
(*b*) a ningún sitio; se deja flotante,
(*c*) a la tensión más positiva del circuito,
(*d*) a la tensión más negativa del circuito.

5-18. La resistencia pelicular de un semiconductor es:
(*a*) Un parámetro cuyo valor importa en una resistencia de película delgada,
(*b*) una característica cuyo valor determina el área requerida para un valor dado, de una capacidad integrada,
(*c*) una característica importante de una región de difusión, especialmente si se usa para formar resistencias difundidas,
(*d*) un elemento parásito indeseable.

5-19. En los circuitos integrados se requiere un aislamiento para:
(*a*) Minimizar la interacción eléctrica entre los componentes del circuito,
(*b*) simplificar las interconexiones entre dispositivos,
(*c*) proteger los componentes frente a daños mecánicos,
(*d*) proteger el transistor de posibles elevaciones térmicas.

5-20. La mayor parte de las resistencias de un circuito integrado monolítico se forman:
(*a*) Durante la metalización,
(*b*) durante la difusión de emisor,
(*c*) mientras crece la capa epitaxial,
(*d*) durante la difusión de base.

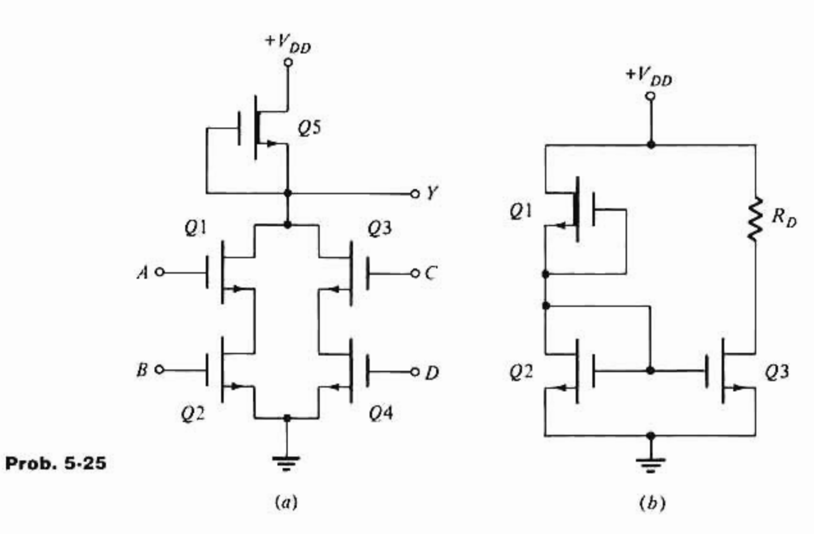
5-21. En un circuito integrado monolítico:
(*a*) Cada transistor se difunde en una región de aislamiento separada,
(*b*) pueden construirse resistencias y condensadores de cualquier valor,
(*c*) se eliminan todos los problemas de aislamiento,
(*d*) todos los componentes se fabrican sobre un solo cristal de silicio.

5-22. Repetir el Prob. 5-16 suponiendo que las impurezas se han introducido por implantación de iones.

5-23. Citar, por su orden, los pasos necesarios para la fabricación de un transistor de acumulación NMOS. Esbozar la sección transversal después de cada paso de oxidación.

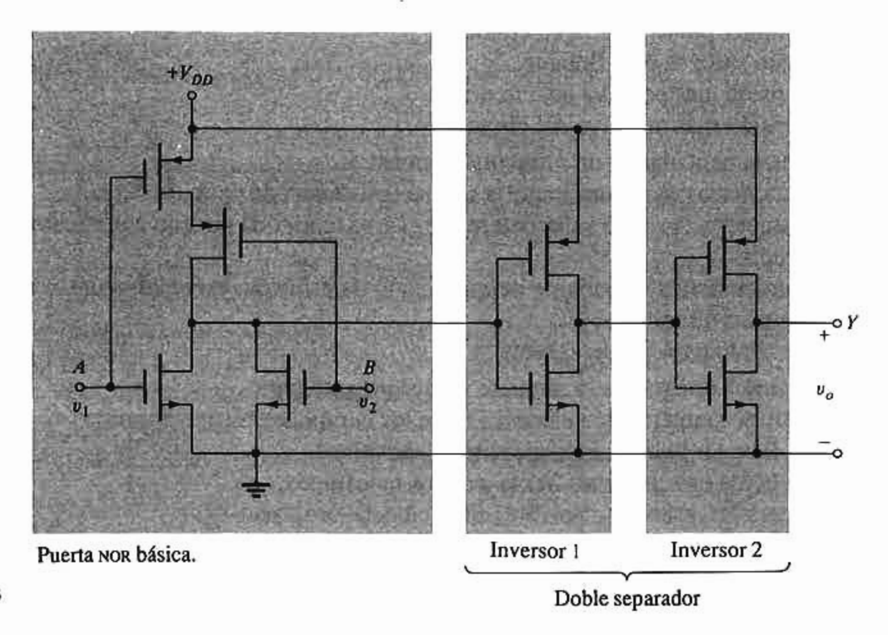
5-24. Repetir el Prob. 5-23 para un transistor de deplexión.

5-25. Dibujar la disposición de los circuitos representados.



Prob. 5-25

5-26. Citar por su orden los pasos necesarios para la fabricación del circuito CMOS representado.



Prob. 5-26

CAPÍTULO 6

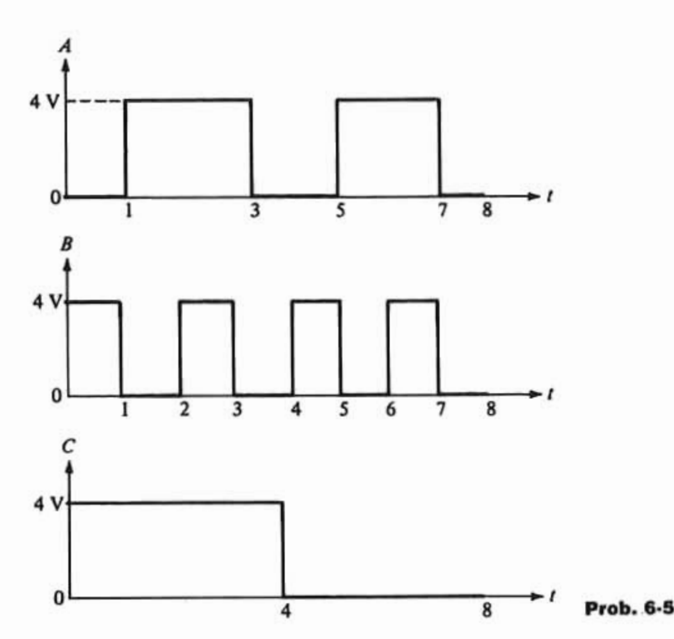
6-1. Convertir los siguientes números decimales a binarios:
(*a*) 127, (*b*) 360, (*c*) 1066.

6-2. Repetir el Prob. anterior para:
(*a*) 222, (*b*) 302, (*c*) 1776.

6-3. Convertir los números decimales del Prob. 6-1 a números del sistema de base 8.

6-4. Convertir los números decimales del Prob. 6-2 a números del sistema de base 16.

6-5. Expresar, para las ondas representadas, A, B y C como números binarios, suponiendo que:
(*a*) se emplea un sistema de lógica positiva,
(*b*) se emplea un sistema de lógica negativa.



Prob. 6-5

6-6. Supongamos que el interruptor de la Fig. 6-1 está gobernado por una tensión v, estando cerrado si $v = V(1)$ y abierto si $v = V(0)$. Cuando está cerrado, el interruptor tiene $R_{ON} = 50\Omega$, y cuando está abierto se puede representar por $R_{OFF} = 50\ k\Omega$, Determinar el campo de valores de R que garantice que $V(0) \leq 0{,}2V$ y $V(1) \geq 4{,}5V$.

6-7. Repetir el Prob. anterior para $V(0) \leq 0{,}3V$ y $V(1) \geq 4{,}7V$.

6-8. El circuito de la Fig. 6-1 se emplea tal como está descrito en el Prob. 6-6. El valor empleado para R es de 5 $k\Omega$. Determinar:

(*a*) el valor mínimo de R_{OFF} con el que $V(1) \geq 4{,}8V$.

(*b*) el valor máximo de R_{ON} con el que $V(0) \leq 0{,}2V$.

6-9. Las ondas del Prob. 6-5 son las tres entradas a una puerta OR de lógica positiva.

(*a*) Esbozar la onda de la tensión de salida de la puerta.

(*b*) Escribir la tabla de la verdad de la puerta.

6-10 Repetir el Prob. 6-9 para una puerta de lógica negativa.

6-11. Las ondas del Prob. 6-5 son las tres entradas a una puerta NAND de lógica positiva:

(*a*) Escribir la tabla de la verdad de una puerta AND de tres entradas.

(*b*) Esbozar la onda de tensión de salida con las entradas dadas.

6-12. Repetir el Prob. 6-11 para una puerta AND de lógica negativa.

6-13. Las tres entradas mostradas en el Prob. 6-5 alimentan un inversor (puerta NOT). Las salidas del inversor se emplean como entradas a una puerta AND de lógica positiva:

(*a*) Esbozar las ondas de salida de la puerta AND

(*b*) ¿Qué operación lógica se cumple en las entradas A, B y C?

6-14. Repetir el Prob. anterior suponiendo que las salidas del inversor son las entradas a una puerta OR.

6-15. La onda C del Prob. 6-5 se introduce en un inversor. La salida del inversor y A y B son las tres entradas de una puerta AND.

(*a*) Esbozar la onda de salida de la puerta AND

(*b*) ¿Qué operación lógica se realiza?

6-16. Las ondas dadas en el Prob. 6-5 se aplican a una puerta NOR de tres entradas. Esbozar la onda de salida de la puerta.

6-17. Repetir el Prob. anterior si las ondas se aplican a una puerta NAND.

6-18. Construir puertas AND, OR y NOT empleando sólo puertas NAND de dos entradas.

6-19. Mediante el álgebra de Boole, comprobar:
(*a*) $(A + B)(A + C)(B + C) = AB + AC + BC$
(*b*) $(A + B)(\bar{A} + C) = AC + \bar{A}B$
(*c*) $(AB + \overline{BC} + AC) = AB + \overline{BC}$

6-20. (*a*) Empleando sólo puertas NOR construir un circuito lógico que cumplan los dos miembros de la Ecuación de Boole del Prob. 6-19(*b*).
(*b*) Repetir el punto anterior usando sólo puertas NAND.
(*c*) ¿Cuál de los dos circuitos (*a*) o (*b*) emplea menor número de puertas?

6-21. Repetir el Prob. 6-20 para la ecuación de Boole del Prob. 6-19(*c*).

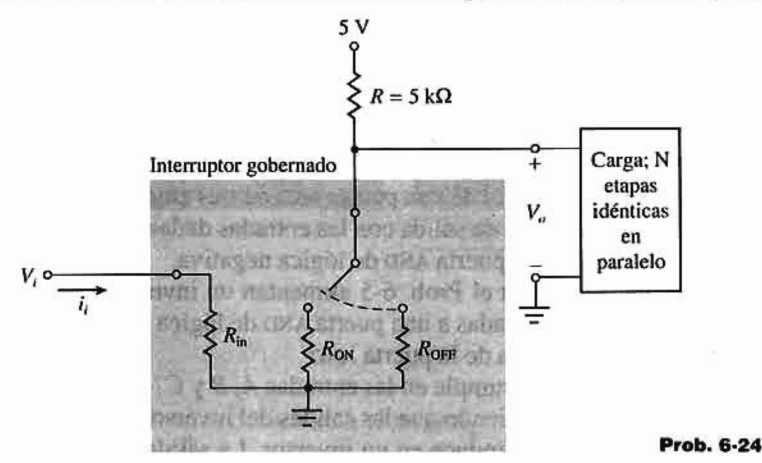
6-22. (*a*) Usando sólo puertas NOR construir un circuito Exclusivo-OR
(*b*) Repetir el punto anterior empleando puertas NAND.

6-23. Un semisumador es un circuito lógico de dos entradas y dos salidas con la siguiente tabla de la verdad:

Entr. 1	Entr. 2	Salida 1	Salida 2
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Formar este circuito empleando:
(*a*) puertas NAND,
(*b*) puertas NOR.

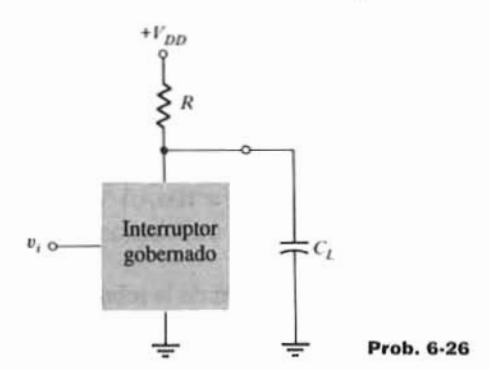
6-24. El circuito representado es un inversor de lógica positiva que excita N circuitos idénticos en paralelo. El interruptor gobernado tiene $R_{ON} = 100\Omega$, $R_{OFF} = 50\ k\Omega$ y $R_{in} = 200\ k\Omega$. Determinar el fan-out (número de salidas en abanico). Los niveles lógicos son $V(0) \leq 0{,}5V$ y $V(1) \geq 3V$.



Prob. 6-24

6-25. En el circuito del problema anterior $R_{ON} = 0{,}5\ k\Omega$ Y $R_{OFF} = 100\ k\Omega$, siendo los niveles lógicos $V(0) \leq 0{,}5V$ y $V(1) \geq 2{,}5V$.
(*a*) ¿Cuál es el mínimo valor de R_{in} para que el fan-out sea 10?
(*b*) Dado el valor de R_{in} hallado en (*a*), ¿qué efecto tiene la disminución de R_{OFF} sobre el fan-out y los niveles lógicos?
(*c*) Repetir (*b*) si R aumenta.

6-26. En el interruptor gobernado del circuito representado está cerrado con $v_i = V(1)$ y abierto con $v_i = (0)$. Cuando está cerrado, el interruptor se caracteriza por R_{ON}, y por R_{OFF} si está abierto. La tensión de entrada ha estado en $V(1)$ durante un largo rato. En el instante $t = 0$, v_i pasa a $V(0)$. Deducir una expresión para el retardo de propagación t_{pLH}



Prob. 6-26

6-27. La tensión v_i en el circuito del problema anterior ha sido de $V(0)$ durante un rato largo. En el instante $t = 0$ pasa a $V(1)$. Deducir una expresión para t_{pHL}.

6-28. Los valores de los parámetros del circuito descrito en el Prob. 6-26 son $v_{DD} = 5\ V$, $R = 10\ k\Omega$, $C = 50pF$, $R_{ON} = 417\Omega$ y $R_{OFF} = 40\ k\Omega$. En el instante $t = 0$, V_i pasa de $V(0)$ a $V(1)$ y en el instante $t = 0{,}2\ \mu s$, vuelve a $V(0)$.
(*a*) Determinar el retardo de propagación (promedio).
(*b*) ¿Cuál es la corriente instantánea máxima que el interruptor es capaz de soportar?
(*c*) ¿Cuál es el mínimo tiempo de ciclo de este circuito?

6-29. Supongamos que el interruptor del Prob. 6-28 esté cerrado la mitad del tiempo y abierto la otra mitad.
(*a*) Determinar la potencia media disipada por el circuito durante un ciclo.
(*b*) Calcular el producto retardo-potencia.

6-30. En el circuito de la Fig. 6-20(*b*), tanto $Q1$ como $Q2$ tienen $k = 25\mu A/V^2$ y $V_T = 1{,}5V$. Las relaciones de aspecto son $W/L = 5$ para $Q1$ y $W/L = 1$ para $Q2$. La tensión de suministro es $V_{DD} = 5V$.
(*a*) Esbozar la característica de transferencia de la puerta.
(*b*) Determinar V_{OL}, V_{OH}, V_{IL}, y V_{IH} y el margen de ruido.

6-31. El inversor del Prob. 6-30 está sujeto a variaciones de fabricación.
Repetir el Prob. anterior dado que k varía en $\pm$ 20%. Señalar los cambios de actuación.

6-32. Los transistores de la Fig. 6-20(*b*) son idénticos, con $V_T = 1{,}25V$, siendo kW/L de $100\mu A/V^2$ para $Q1$ y de $50\ \mu A/V^2$ para $Q2$, y la tensión de suministro $V_{DD} = 5V$.
(*a*) Esbozar la característica de transferencia de tensión.
(*b*) Calcular el margen de ruido.

6-33. Debido a variaciones en la fabricación V_T varía en $\pm 0{,}25V$. Repetir el Prob. 6-32 con estas variaciones de V_T
y señalar las diferencias en el comportamiento del circuito.

6-34. Las tensiones de alimentación de la Fig. 6-23(*a*) son: $V_{DD} = 5V$ y $V_{GG} = 10V$. $Q1$ y $Q2$ son idénticos teniendo $kW/L = 1\ mA/V^2$ y $V_T = 5V$. Esbozar las características del circuito y calcular el margen de ruido.

6-35. (*a*) La relación de aspecto de $Q2$ en el circuito del Prob. 6-34 aumenta en un 10%. ¿Cuál es el porcentaje de variación del margen de ruido?
(*b*) Repetir el punto anterior en el supuesto de que varíe sólo la relación de aspecto de $Q1$ en un 10%.

6-36. La polarización de puerta V_{GG} del circuito de las Fig. 6-23 varía de 7 a 12*V*. Trazar las curvas del margen de ruido en función de V_{GG}.

6-37. En el circuito de la Fig. 6-24(*a*) el transistor de acumulación tiene $kW/L = 0{,}1\ mA/V^2$ y $V_T = 1{,}5V$. El MOSFET de deflexión tiene $kW/L = 20\mu A/V^2$ y $V_T = -1{,}5V$. Siendo $V_{DD} = 5V$:

(*a*) Esbozar la característica de transferencia de tensión.

(*b*) Calcular el margen de ruido.

6-38. El circuito de la Fig. 6-24(*a*) emplea el *Q*1 descrito en el Prob. 6-37, teniendo $V_{DD} = 5V$. El transistor de deplexión tiene $kW/L = 25\mu A/V^2$ y su tensión umbral varía entre - 0,5 y - 2,5*V*. Trazar las curvas del margen de ruido en función de V_T de *Q*2. Tomar incrementos de 0,5*V*.

6-39 El circuito de la Fig. 6-24(*a*) emplea el *Q*1 descrito en el Prob. 6-37 y una alimentación $V_{DD} = 5V$. El MOSFET de deplexión tiene $V_T = -1{,}5V$. y $k = 10\mu A/V^2$.

(*a*) Esbozar las características de transferencia con relaciones de aspecto de *Q*2 de 1, 2,5, 5, 7,5, y 10.

(*b*) Trazar curvas del margen de ruido en función de la relación entre *kW*/*L* de *Q*1 y *kW*/*L* de *Q*2.

6-40. Determinar t_{pLH} del circuito del Ejemplo 6-5.

6-41. Calcular el retardo de propagación medio del circuito descrito en el Prob. 6-37.

6-42. Calcular, para el circuito del Prob. 6-38 con $V_T = -1{,}0V$ el producto retardo-potencia. Supóngase que la salida es alta durante el 50% del tiempo.

6-43. Calcular el producto retardo-potencia del circuito del Prob. 6- 30. Supóngase que la salida es alta durante el 25% del tiempo.

6-44. Consideremos que en la puerta NOR de la Fig. 6-28(*a*) los dos excitadores tienen *V*(1) = 5*V*. En efecto, los MOSFETs están en paralelo. Los MOSFETs utilizados quedan descritos en el Prob. 6-37, y $V_{DD} = 5V$. Determinar la corriente de drenaje de cada transistor. (*Sugerencia*: ya que los excitadores están en paralelo dibujar una característica compuesta del conjunto y construir la recta de carga.)

6-45. (*a*) Consideremos dos inversores NMOS aislados. La entrada de uno de ellos es *A*, y la del otro es *B*. Se conectan entre sí las dos salidas, y la salida común es *Y*. ¿Cuál es la relación lógica entre *A*, *B* e *Y*?

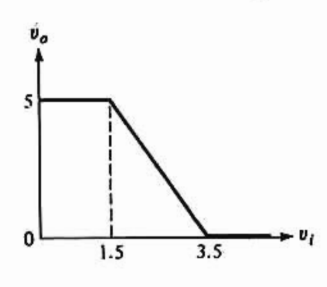
(*b*) Dibujar el circuito y demostrar que la lógica en (*a*) queda satisfecha. Prescindir de una carga FET ya que las cargas están en paralelo.

6-46. Repetir el Prob. anterior empleando puertas NAND de dos entradas en lugar de los inversores.

6-47. (*a*) Se conectan en cascada tres inversores teniendo cada uno de ellos la característica de transferencia de tensión representada. Esbozar la característica de transferencia de la cascada. (*Sugerencia*: se necesita tomar varios valores entre $2{,}45 < v_i < 2{,}55V$.)

(*b*) Comparar la pendiente de la característica de transferencia en la región lineal de la cascada con la de un inversor solo.

(*c*) Comparar los margenes de ruido del inversor solo y de la cascada.



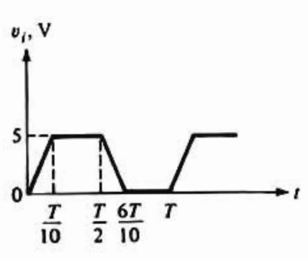
Prob. 6-47

6-48. Dibujar el esquema del circuito de una puerta NAND CMOS de dos entradas.

6-49. Si los inversores del Prob. 6-45 han sido fabricados con tecnología CMOS ¿pueden conectarse entre sí las salidas para tener la misma relación lógica entre *A*, *B* e *Y*? Explíquese.

6-50. Consideremos el circuito de la Fig. 6-30(*a*) para el que se han descrito los MOSFETs en la Sección 6-8. La tensión de entrada v_i varía linealmente con el tiempo alcanzando los $5V$ en $100\mu s$.
(*a*) Esbozar la corriente en el circuito en función del tiempo.
(*b*) ¿Cuál es la potencia media disipada durante cada intervalo de $100\mu s$?

6-51. Tenemos la representación de la entrada al inversor CMOS de la Fig. 6-30(*a*) descrito en la Sección 6-8.
(*a*) Determinar la potencia media disipada en un ciclo.
(*b*) Al disminuir *T* (aumentar la frecuencia) el resultado de (*a*) ¿aumenta, disminuye o se mantiene igual?



Prob. 6-51

+5 V
2.4 kΩ
v_o
20 kΩ
v_s

Prob. 6-56

6-52. Dibujar el circuito CMOS que cumpla la operación lógica aplicada en el Prob. 6-46.

6-53. Consideremos la puerta de transmisión de la Fig. 6-32 con tensiones de control $V(0) = -5V$, $V(1) = 5V$, y una senoide con pico de $5V$. Supóngase que la tensión umbral es $V_T = 0$.
(*a*) Comprobar que a la salida, con $C = V(1)$ aparece la senoide completa.
(*b*) Demostrar que la transmisión queda inhibida si $C = V(0)$
(*c*) Repetir (*a*) y (*b*) dado $V_T = 2{,}5V$. Señalar el campo de las tensiones de entrada con las que *Q*1 y *Q*2 conducen.
(*d*) Supóngase una tensión senoidal de entrada de $7{,}5V$. de pico. Esbozar la tensión de salida si la tensión gobierno es $V(1)$.
(*e*) Repetir (*d*) dado que la tensión de gobierno sea $V(0)$ y $V_T = 2{,}5V$.

6-54. El BJT inversor de la Fig. 6-34(*a*) está diseñado con $R_B = 12k\Omega$, $R_C = 3k\Omega$ y $V_{CC} = 6V$. La corriente de saturación inversa es despreciable.
(*a*) Determinar el valor mínimo de β_F para saturar justamente el transistor cuando $v_s = V(1) = 6V$.
(*b*) Suponiendo que la salida del transistor es $V(1)$ durante el 50% del tiempo, calcular la potencia media disipada.

6-55. El transistor empleado en la Fig. 6-34(*a*) tiene $50 \leq \beta_F \leq 150$. La tensión de suministro es de $5V$, $V(0) = 0{,}3V$, y $V(1) = 4{,}8V$. Un impulso de corriente de salida debe ser de $10\ mA$.
(*a*) Determinar R_C y R_B de forma que el transistor quede justamente saturado al β_F mínimo.
(*b*) Suponiendo que el transistor conduce durante el 5% del tiempo, determinar la potencia media disipada por la puerta. Tómese $\beta_F = 150$.
(*c*) La respuesta a (*b*) ¿es significativamente distinta si $\beta_F = 50$? Justificar la respuesta (sin resolver nuevamente el problema).

6-56. El inversor representado debe excitar *N* puertas idénticas.
(*a*) Siendo $\beta_F = 40$ ¿qué valor de $v_o = V(1)$ satura justamente el transistor?
(*b*) Dado $v_i = V(0) = 0{,}3V$, calcular *N* suponiendo que cada una de estas etapas esté justamente saturada.

6-57. El inversor del Prob. 6-55 debe excitar *N* puertas idénticas.
(*a*) Calcular el mínimo valor de β_F del transistor si un transistor en conducción está justamente

saturado.

(*b*) Hallar el valor de $v_o = V(1)$

(*c*) ¿Cuál es, aproximadamente, el margen de ruido?

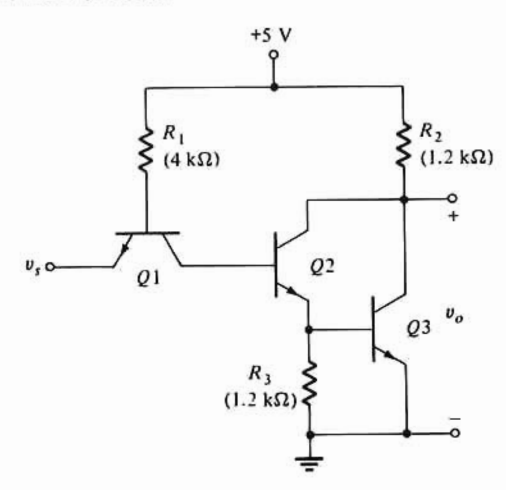
6-58. En el inversor de la Fig. 6-34(*a*) se emplea un transistor 2N2222A con $C_{CC} = 10V$, $R_C = 500\Omega$ y $R_B = 50k\Omega$. Trazar la característica de transferencia de tensión de la puerta para $0 \le v_i \le 10V$.

6-59. El circuito representado se emplea a veces como inversor en chips de lógica TTL. Los transistores empleados son idénticos, con $\beta_F = 25$ y $\beta_R = 0{,}5$. Con $V(0) = 0{,}2V$ y $V(1) = 3{,}5V$:

(*a*) Comprobar que el circuito se comporta como un inversor.

(*b*) Determinar las corrientes de base y de colector en cada transistor para $v_s = V(0)$ y $v_s = V(1)$.

(*c*) ¿Cuál es el fan-out del circuito?

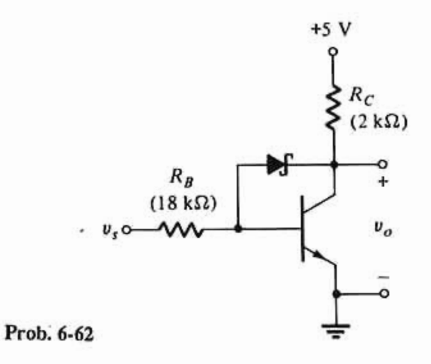


Prob. 6-59

6-60. Hallar la característica de transferencia de tensión del circuito del Prob. 6-59.

6-61. Entre el colector y la base del circuito del Prob. 6-56 se conecta un diodo Schottky. Esbozar la característica de transferencia de tensión para $0 \le v_s \le 5V$, e indicar a estima el margen de ruido.

6-62. El transistor del circuito representado tiene $\beta_F = 50$. Determinar v_o y las corrientes de colector, base y diodo para $v_s = V(1) = 4V$.



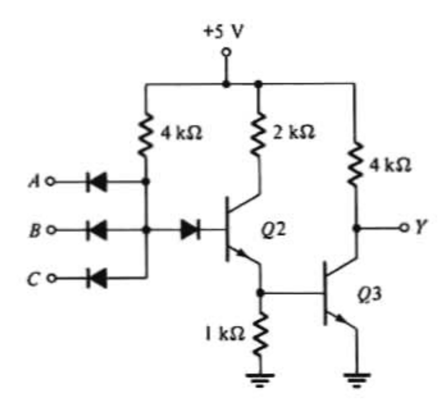
Prob. 6-62

6-63. Dado $V(0)$=0,3V. en el circuito del Prob. 6-62, determinar el fan-out.

6-64. (*a*) Comprobar que con el circuito representado $Y = \overline{ABC}$

(*b*) Si $\beta_F = 25$ ¿cuál es el fan-out?

(*c*) ¿Cuál es la potencia media disipada por la puerta suponiendo $Y = V(1)$ durante el 50% del tiempo?



Prob. 6-64

6-65. (*a*) Calcular $\beta_{F(min)}$ para la puerta NAND TTL de la Fig. 6-37 para un funcionamiento apropiado. Supóngase que $Q2$ y $Q3$ se saturan si todas las entradas son $V(1)$ y que $\beta_R = 0{,}1$ para $Q1$.

(*b*) Repetir (*a*) suponiendo que $Q2$ se mantiene en la región activa y $Q3$ se satura cuando todas las entradas son $V(1)$.

6-66. (*a*) Esbozar la función de transferencia de tensión de la puerta NAND TTL de la Fig. 6-37. Indicar cuidadosamente el estado de cada transistor en cada una de las partes de la característica. Tomar para todos los transistores $\beta_F = 25$ y $\beta_R = 0{,}2$

(*b*) Determinar el margen de ruido.

(*c*) Determinar el fan-out.

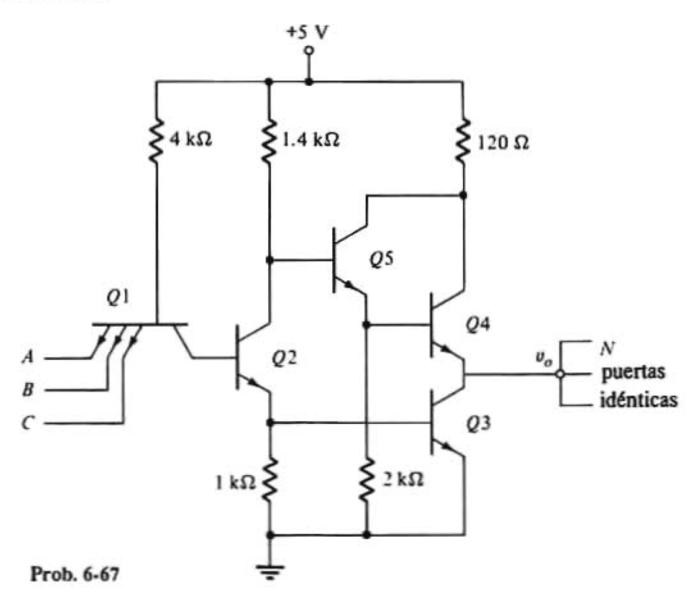
6-67. La puerta NAND TTL representada emplea una etapa en totem modificada. Supóngase que las entradas proceden de las salidas de puertas idénticas y que $\beta_F = 20$ y $\beta_R = 0{,}5$.

(*a*) Dado $A = B = C = V(1)$, determinar la corriente en cada resistencia, en cada colector y en cada base. Calcular la tensión respecto a tierra de cada base y de cada colector. Comprobar que $Q5$ está en la región activa directa.

(*b*) Repetir (*a*) para el caso en que por lo menos un nivel lógico sea $V(0)$. Comprobar que $Q5$ está en saturación.

(*c*) Determinar los niveles lógicos.

(*d*) Determinar el fan-out.

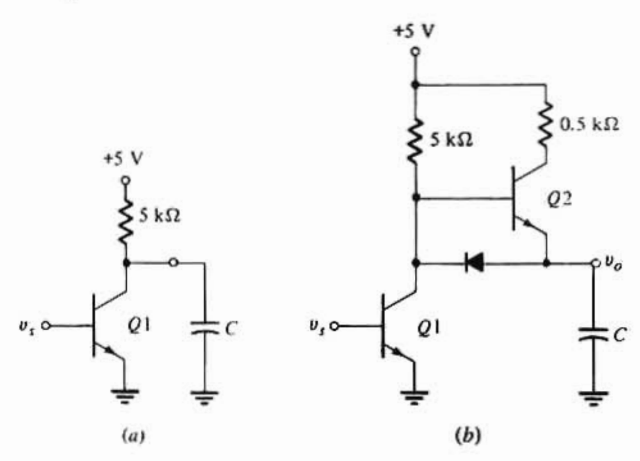


Prob. 6-67

6-68. (*a*) En el circuito representado en la parte (*a*) de la figura, $v_s = V(1) = 5V$ durante un rato largo En el instante $t = 0$, $v_s = V(1) = 0{,}2V$. Determinar el tiempo de subida de v_o.

(*b*) Para reducir el tiempo de subida de (*a*) se añade en paralelo con la resistencia de $5k\Omega$ el circuitc señalado con trazo mas débil en la parte (*b*) de la figura. Explicar cómo trabaja el circuito y por qué es deseable reducir el tiempo de subida.

(*c*) ¿Por qué la simple sustitución de la resistencia de $5k\Omega$ por otra de $0{,}5k\Omega$ es una forma eficaz de reducir el tiempo de subida?



Prob. 6-68 (*a*) (*b*)

6-69. La salida de la puerta TTL de la Fig. 6-38 queda accidentalmente cortocircuitada a tierra. Determinar la corriente de cortocircuito, dado que $\beta_F = 20$ y que:

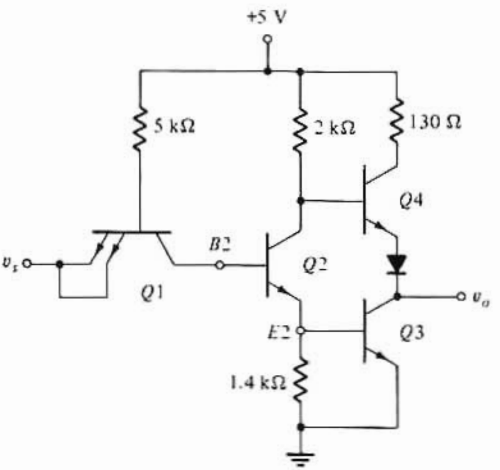
(*a*) Todas las entradas están a $V(1)$.

(*b*) Por lo menos una entrada está a $V(0)$.

6-70. Las dos entradas de la puerta TTL están unidas entre sí tal como queda representado. Los transistores son idénticos con $\beta_R = 0{,}5$.

(*a*) Determinar $\beta_{F(min)}$ para tener un funcionamiento correcto. Supóngase que $Q2$ y $Q3$ se saturan con $c_s = V(1)$.

(*b*) Repetir (*a*) suponiendo que $Q2$ no se satura.



Prob. 6-70

6-71. (*a*) Esbozar la característica de transferencia de tensión del circuito del Prob. 6-70. Supóngase $\beta_F = 25$.

(*b*) ¿Cuál es el fan-out?

(*c*) ¿Cuál es, aproximadamente, el margen de ruido?

6-72. (*a*) Deducir la característica de transferencia de tensión de la salida OR de la puerta ECL de la Fig. 6-47.

(*b*) Calcular el margen de ruido.

6-73. Repetir el Prob. anterior para la salida NOR.

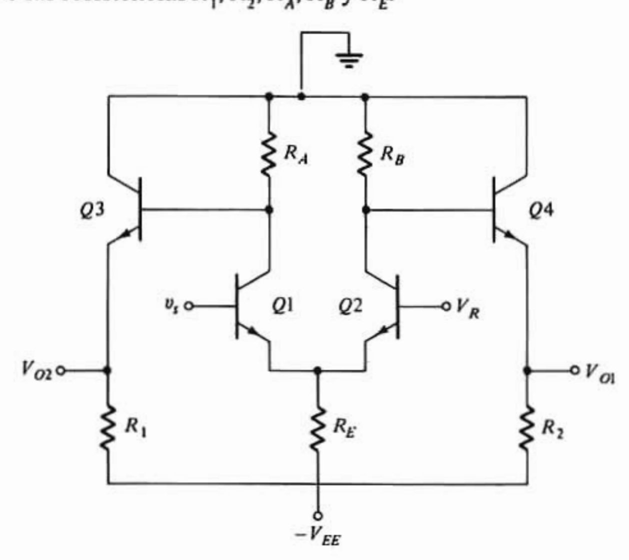
6-74. Deducir los márgenes de ruido correspondientes a los puntos de pendiente unidad de la corriente del interruptor. (*Sugerencia*: Esto se puede dar analíticamente empleando la relación exponencial de I_{C1} e I_{C2}.)

6-75. (*a*) Para la puerta ECL básica de la Fig. 6-47 determinar $V(0)$ y $V(1)$ teniendo en cuenta las corrientes de base. Tómese $\beta_F = 50$.

(*b*) ¿Cuáles son los márgenes de ruido?

6-76. Demostrar que cuando $Q2$ está en conducción, L_{C2} de la Fig. 6-45(*a*) es mayor que I_{C1} (con $Q1$ en conducción)

6-77. Para el circuito representado, $V_{EE} = 5V$, $V_R = -1{,}2V$ y v_s es la salida de una puerta idéntica. Los niveles lógicos son $V(1) = -0{,}8V$, y $V(0) = -1{,}6V$. La corriente máxima en cualquier transistor es de 6 mA. Supóngase que $\beta_F \gg 1$, con lo que se pueden despreciar las corrientes de base. Determinar los valores de las resistencias R_1, R_2, R_A, R_B y R_E.



Prob. 6-77

CAPÍTULO 7

7-1. (*a*) Indicar cómo llegar a S_n de la Ec. (7-1) con puertas AND, OR y NOT.

(*b*) Comprobar que la suma S_n de la Ec. (7-1) para un sumador completo puede ponerse en la forma

$$S_n = A_n \oplus B_n \oplus C_{n-1}$$

7-2. (*a*) Hagamos, por conveniencia $A_n = A$, $B_n = B$, $C_{n-1} = C$ y $C_n = C'$. Mediante la Ec. (7-4) para C' demostrar que

$$\overline{C'} = \overline{BC} + \overline{CA} + \overline{AB}$$

(*b*) Calcular $D \equiv (A + B + C)\,\overline{C'}$ y demostrar que S_n de la Ec. (7- 1) viene dado por

$$S_n = D + ABC.$$

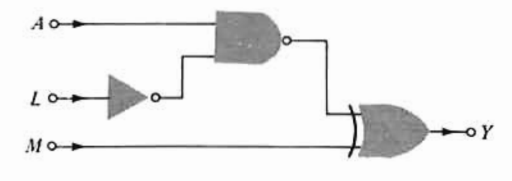
7-3. Consideremos un sistema digital de lógica mayoritaria. Hay tres entradas A, B y C. La salida Y es igual a uno si dos o tres entradas son 1.
(*a*) Escribir la tabla de la verdad.
(*b*) A partir de esta tabla obtener la expresión de Boole de Y.
(*c*) Minimizar Y y mostrar el diagrama de bloques lógico.

7-4. El tiempo empleado para sumar dos números en paralelo está limitado por el tiempo necesario para propagar el arrastre a través de la información. Este tiempo de propagación se puede evitar generando una señal de arrastre apropiada. Demostrar que si se suman dos informaciones de 4 bit (A_3, A_2, A_1, A_0 y B_3, B_2, B_1, B_0, siendo A_3 el bit más significativo) el arrastre C_3 viene dado por

$$\overline{C}_3 = \overline{C}_{-1}(\overline{B_0A_0})(\overline{B_1A_1})(\overline{B_2A_2})(\overline{B_3A_3}) + (\overline{A_0 + B_0})(\overline{B_1A_1})(\overline{B_2A_2})(\overline{B_3A_3})$$
$$+ (\overline{A_1 + B_1})(\overline{B_2A_2})(\overline{B_3A_3}) + (\overline{A_2 + B_2})(\overline{B_3A_3}) + (\overline{A_3 + B_3})$$

donde C_{-1} es el arrastre de entrada. Obsérvese que la salida de arrastre viene dada únicamente en función de variables de entrada y no involucra arrastres intermedios. [*Sugerencia*: Aplicar repetitivamente la Ec. (7-5) cuatro veces (n = 0, 1, 2 y 3). Partir de la Ec. (7-5) en la forma $\overline{C}_n = \overline{C}_{n1}\ (\overline{B}_n\overline{A}_n) + (\overline{A}_n + \overline{B}_n]$

7-5. El sistema representado se denomina unidad verdadera complementaria. Comprobar la tabla de la verdad.



Entradas de control		Salida
L	M	Y
0	0	$\overline{A}$
0	1	A
1	0	1
1	1	0

Prob. 7-5

7-6. (*a*) Comprobar que una puerta OR-Exclusiva es una unidad verdadera complementaria.
(*b*) Una entrada es A, la otra (de control) es C y la salida es Y. ¿Y será igual a A cuando $C = 1$ o cuando $C = 0$?

7-7. (*a*) Construir la tabla de la verdad de un semirrestador binario, A menos B (correspondiente al semisumador de la Fig. 7-4. En lugar del arrastre C introducir el auxiliar P.
(*b*) Comprobar que el dígito D se satisface con una puerta OR-Exclusiva, y que P sigue la lógica «B pero no A».

7-8. Consideremos un comprobador de 8 bit. Justificar las conexiones $C'=C_L$, $D'=D_L$ y $E'=E_L$ para el chip que manipula los bit más significativos. *Sugerencia:* Sumar 4 a cada subíndice de la Fig. (7-13). Extender la Ec. (7-12) para E y la Ec. (7-13) para C, para tener en cuenta los 8 bit.

7-9. Consideremos un comparador que tenga como entrada dos informaciones de n bit y como salidas E, C y D como en la Fig. 7-13, pero los terminales de entrada E', C' y D' no son accesibles. ¿Qué lógica adicional se necesitará para comparar dos números de $2n$ bit empleando dos comparadores de n bit?

7-10. Consideremos dos informaciones de 5 bit, $S_AA_3A_2A_1A_0$ y $S_BB_3B_2B_1B_0$, siendo S_A y S_B los bit de signo, mientras que los demás indican la magnitud de la información. S_A (o S_B) = 0 indica que la información correspondiente es positiva y S_A (o S_B) = 1 indica que es negativa. Diseñar un sistema para comparar ambas informaciones, empleando un comparador de 4 bit para comparar las magnitudes y un comparador de 1 bit para los signos.

7-11. (*a*) Comprobar la siguiente identidad de Boole mediante una tabla de la verdad

$$Y = (A \oplus B) \oplus C = A \oplus (B \oplus C)$$

(*b*) Comprobar que $Y = 1$ (0) si un número impar (par) de variables son iguales a 1. Este resultado

no está limitado a tres entradas sino que es válido para cualquier número de ellas. En la Sec. 7-5 se ha empleado para construir un comprobador de paridad.

7-12. Construir la tabla de la verdad para la OR-Exclusiva de la Fig. 7-14 para todas las entradas A, B, C y D posibles. Incluir $A \oplus B$ y $C \oplus D$ así como la salida Z. Comprobar que $Z = 1$ (0) para paridad impar (par).

7-13. (*a*) Dibujar el diagrama de un circuito lógico para un comprobador generador de paridad de 8 bit.
(*b*) Comprobar que la salida es 0 (1) para paridad impar (par).

7-14. (*a*) Indicar un comprobador de paridad de 8 bit como un bloque con 8 bit de entrada (designados colectivamente A_1), una salida P_1 y una entrada de control P'_1. Consideremos una segunda unidad de 8 bit con entradas A_2, salida P_2 y control P'_2. Mostrar cómo conectar en cascada ambos bloques para comprobar la paridad impar de una información de 16 bit. Comprobar que el sistema funciona correctamente si $P'_1 = 1$. Tomar en consideración las cuatro combinaciones posibles de paridad de A_1 y A_2.
(*b*) Mostrar cómo conectar en cascada tres unidades para obtener la paridad de una información de 24 bit. Con paridad impar ¿P'_1 será igual a cero o a uno?
(*c*) Indicar cómo conectar varias unidades en cascada para obtener la paridad de una información de 10 bit.

7-15. (*a*) Dibujar un decodificador de 4 a 10 líneas.
(*b*) Mostrar cómo convertirlo en decodificador de 3 a 8 líneas.

7-16. (*a*) Dibujar el diagrama de bloques de un demultíplex con 32 salidas, empleando $N_1 = 8$ y $N_2 = 4$. Explicar el funcionamiento referido a la línea 25.

7-17. (*a*) Dibujar el diagrama de bloques de un demultíplex con 1.024 salidas. Obsérvese que $1.024 = 16 \times 8 \times 8$, por lo que se requieren dos niveles de ramificación.
(*b*) ¿Cuántos encapsulados equivalentes se emplean?
(*c*) Si se subdivide 1.024 en el producto $16 \times 16 \times 4$, indíquese el nuevo sistema y fíjese el número de encapsulados requeridos.

7-18. (*a*) ¿Cuántas entradas de puertas NAND debe tener un demultíplex de 1 a 16?
(*b*) ¿Cuántas entradas de puertas tiene un demultíplex ramificado de 1 a 16 formado sólo a base de demultiplexes de 1 a 4?

7-19. (*a*) Dibujar el diagrama lógico de un multíplex de 6 a 1 líneas.
(*b*) ¿Cómo debe ampliarse el sistema anterior para convertirlo en un multíplex de 8 a 1 líneas?

7-20. Diseñar un sistema para convertir dos chips selectores de 1 entre 16 datos, en un selector de 1 entre 32. Explíquese el funcionamiento del sistema. (*Sugerencia:* La entrada de habilitación S_2 al chip de orden superior es el complenento de S_1 al de orden inferior. Asimismo las salidas Y_1 e Y_2 de los dos chips son las entradas a una puerta OR cuya salida Y es la salida del sistema.)

7-21. (*a*) Dibujar el diagrama de bloques de un selector de 32 a 1 línea como el de la Fig. 7-21, pero con $N_2 = 4$ y $N_1 = 8$. Explíquese el funcionamiento respecto a la entrada X_{25}.
(*b*) ¿Cuántos encapsulados equivalentes se necesitan?

7-22. Repetir el problema 7-21 para un multíplex de 64 a 1 empleando chips idénticos.

7-23. (*a*) Dibujar el diagrama de bloques de un multíplex con 2.048 entradas, observando el hecho de que $2.048 = 16 \times 16 \times 8$.
(*b*) ¿Cuántos chips se necesitan?

7-24. (*a*) Determinar la Ec. (7-1) para la suma S_n de un sumador completo empleando un multíplex. Hallar las X en función de C, $\bar{C}$, 0 y 1. *Nota:* Para simplificar, prescindir de los subíndices de A, B y C y hacer $Y \equiv S_n$.
(*b*) Determinar la Ec. (7-2) para el arrastre C_n empleando un multíplex. *Nota:* hacer $C_{n-1} \equiv C$ y $C_n \equiv Y$.
(*c*) ¿Puede emplearse el mismo multíplex para S_n y para C_n? Explíquese.

7-25. Emplear un multíplex para establecer la siguiente ecuación lógica combinacional

$$Y \equiv \overline{D}\,\overline{C}\,\overline{B}\,\overline{A} + D\,\overline{C}\,\overline{B}\,A + D\,\overline{C}\,B\,\overline{A} + \overline{D}\,\overline{C}\,B\,\overline{A} + D\,C\,\overline{B}\,\overline{A} + \overline{D}\,C\,\overline{B}\,A + D\,C\,B\,\overline{A} + \overline{D}\,C\,B\,\overline{A}.$$

¿Cuántas entradas de datos se necesitan? Hállense los valores de las entradas de datos X.

7-26. Consideremos un sistema digital con cuatro entradas A, B, C y D. La salida vale 1 si tres o cuatro entradas valen 1.

(*a*) Escribir la expresión de Boole para Y.

(*b*) Empléese un multíplex selector para satisfacer esta lógica. ¿Cuáles son los valores de las entradas de datos X?

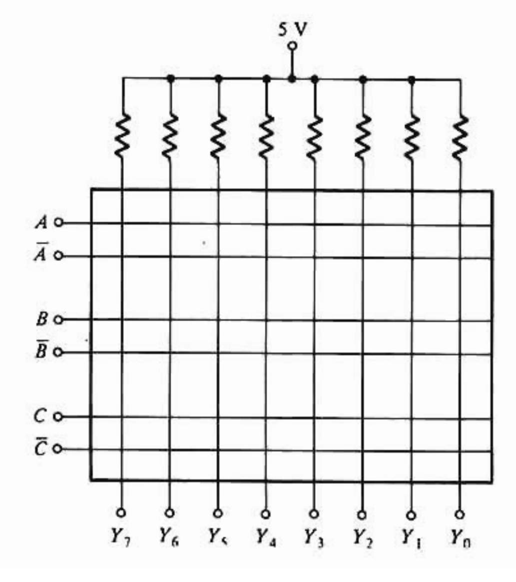
7-27. Diseñar un codificador que satisfaga la siguiente tabla de la verdad, empleando una matriz de diodos.

Entradas				*Salidas*			
W_3	W_2	W_1	W_0	Y_3	Y_2	Y_1	Y_0
0	0	0	1	0	1	1	1
0	0	1	0	1	1	0	0
0	1	0	0	1	1	0	1
1	0	0	0	0	0	1	0

7-28. (*a*) Diseñar, empleando transistores de emisores múltiples, un codificador que satisfaga la siguiente tabla de la verdad.

(*b*) ¿Cuántos transistores se necesitan, y con cuántos emisores cada uno?

Entradas			*Salidas*				
W_2	W_1	W_0	Y_4	Y_3	Y_2	Y_1	Y_0
0	0	1	1	0	1	1	0
0	1	0	1	1	1	0	0
1	0	0	0	1	0	1	1



Prob. 7-29

7-29. La figura representa en diagrama de bloques una matriz decodificadora de tres entradas (*A*, *B* y *C*) y ocho salidas (Y_0 a Y_7). El bit Y_5 debe ser 1 (5 V) si el código de entrada es 101, correspondiente al decimal 5.

(*a*) Indicar cómo se deben conectar los diodos a la línea 5.

(*b*) Repítase para Y_2, Y_3 e Y_4.

7-30. Comprobar que para el codificador de prioridad de la Tabla 7-3 se cumple:

(*a*) $Y_3 = W_9 + W_8$.

(*b*) $Y_2 = (\overline{W_9 + W_8})(W_7 + W_6 + W_5 + W_4)$.

7-31. Comprobar que en un codificador de prioridad de 10 líneas decimales a 4 líneas BCD se cumple:

$$Y_0 = W_9 + \overline{W}_8 (W_7 + \overline{W}_6 W_5 + \overline{W}_6 \overline{W}_4 W_3 + \overline{W}_6 \overline{W}_4 \overline{W}_2 W_1)$$

7-32. (*a*) Escribir la tabla de la verdad de un codificador de prioridad de 8 líneas de datos a 3 líneas binarias, indicando con *X* el estado indiferente.

(*b*) Hallar la expresión para Y_0.

7-33. Repetir el problema 7-32 para Y_1.

7-34. (*a*) Llevar a cabo la conversión de código indicada más abajo, utilizando una memoria de solo lectura (ROM). Indicar *todas* las conexiones entre las entradas *X* y las salidas *Y*. Empléense los símbolos normalizados de inversores, puertas AND y puertas OR.

Entradas		Salidas			
X_1	X_0	Y_3	Y_2	Y_1	Y_0
0	0	1	0	1	1
0	1	0	1	0	1
1	0	0	1	1	1
1	1	1	1	0	0

(*b*) Dibujar las puertas OR como transistores de emisores múltiples.

7-35. (*a*) Dibujar el diagrama de bloques de un ROM de 1.024 × 4 bit, utilizando direccionado bidimensional.

(*b*) ¿Cuántas puertas NAND se necesitan?

(*c*) ¿Cuántos transistores deben emplearse en la matriz de la memoria y cuántos emisores debe tener cada uno de ellos?

7-36. Consideremos un ROM de 1.024 × 8 bit utilizando direccionamiento bidimensional con selectores de 8 a 1.

(*a*) ¿Cuántos bit se necesitan para el direccionamiento del ROM?

(*b*) ¿Cuántos bit se precisan para el direccionado de *X*?

(*c*) ¿Cuántas puertas NAND se requieren?

(*d*) Especifíquese el número de transistores en la matriz y el número de emisores en cada uno de ellos.

7-37. (*a*) Escribir las expresiones para Y_0 e Y_2 en el convertidor de código binario a Gray.

(*b*) Indicar cómo establecer con diodos la relación para Y_0.

7-38. (*a*) Dar la relación entre los bit de salida y de entrada para Y_3 e Y_2 en el convertidor de código Gray a binario.

(*b*) Indicar cómo cumplimentar con transistores la ecuación para Y_3.

7-39. (*a*) Escribir en forma canónica la suma de productos para Y_5 de la Tabla 7-5, para el código del indicador de siete segmentos.

(*b*) Comprobar que esta expresión puede reducirse a $Y_5 = \overline{D}\,\overline{C}\,\overline{A} + \overline{C}\,B\,\overline{A} + B\,A$.

7-40. Minimizar el número de términos de la Ec. (7-33) para obtener la Ec. (7-34).

7-41. Consideremos un ROM de 4 *kb* de salida. Si el codificador es cuadrado ¿cuántos bit se necesitan para: (*a*) direccionar *X*, (*b*) direccionar *Y*? Esbozar el diagrama de bloques del sistema.

7-42. Consideremos un ROM de 8 *kb* con 8 bit de salida. Si la matriz de memoria tiene 128 filas, ¿cuántos bit se necesitan para: (*a*) direccionar *X*, (*b*) direccionar *Y*?
(*c*) Repetir (*a*) y (*b*) suponiendo que en el codificador hay 64 filas.
(*d*) ¿Cuántas informaciones tiene este ROM y cuántos bit se necesitan para decodificar estas informaciones? Buscar la respuesta para la suma de bits de los direccionados *X* e *Y* de cada una de las dos ROM consideradas en este problema.

7-43. Se dispone de dos ROMs de 16 *kb* (2048×8). Mostrar cómo conectarlos para tener: (*a*) un ROM de 32 *kb* (2048×16), y (*b*) un ROM de 32 *kb* (4096×8)

7-44. Indicar en forma de diagrama de bloques cómo montar 32 ROM de 16 *kb* (2048×8) para tener un ROM equivalente con 16 líneas de direccionado y 8 líneas de salida.

7-45. Hay que convertir un ROM de 32×8 en otro de 64×4. Las ocho salidas son $0_0 \ldots 0_7$ y los direccionados $A_0 \ldots A_4$. Añadamos un direccionado más $X = A_5$ para controlar las puertas AND-OR de forma que con $X = 1$ se emplean las cuatro salidas $0_0 \ldots 0_3$ y cuando $X = 0$ se emplean las otras cuatro $0_4 \ldots 0_7$. Mostrar este sistema ROM de 64×4.
(*b*) Indicar cómo convertir dos chips ROM 32×8 en un ROM 128×4.

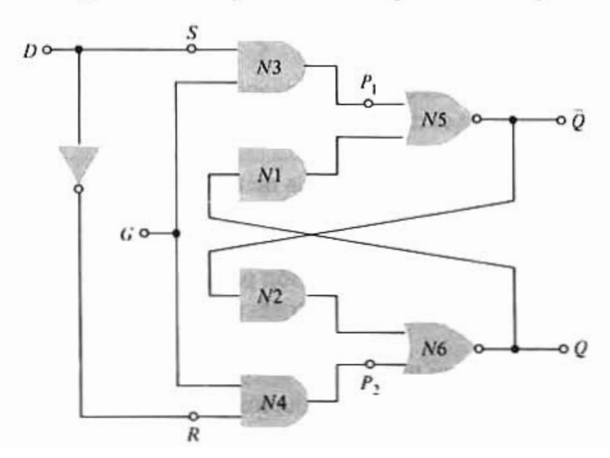
7-46. (*a*) Mostrar el diagrama de bloques de un sistema para convertir un ROM de 64×8 en uno de 512×1 empleando un multíplex selector.
(*b*) Repetir (*a*) para convertir de 64×8 a 256×2.

CAPÍTULO 8

8-1. (*a*) Comprobar que no es posible que las dos salidas de la Fig. 8-1 estén en el mismo estado.
(*b*) Comprobar que no es posible que en la Fig. 8-1(*b*), $B_1 = B_2 = 0$.

8-2. Consideremos el interruptor de la Fig. 8-2. En el instante $t'_1 > t_6$ se pulsa la llave de forma que el contacto pasa de 1 a 2 alcanzando éste en el instante t'_2 rebotando seguidamente tres veces. Indicar las formas de onda de B_2, B_1 y Q razonando la respuesta.

8-3. (*a*) Comprobar que la topología AOI representada da la misma lógica que el biestable de fijación de la Fig. 8-3.
(*b*) Transformar el diagrama de bloques de forma que resulte equivalente al de la Fig. 8-3.



8-4. Las puertas NOR de la Fig. 8-4 se han fabricado con tecnología NMOS. Los excitadores tienen $kW/L = 400\ \mu A/V^2$ y $V_T = 1V$. La carga de deflexión tiene $kW/L = 100\ \mu A/V^2$. Haciendo $V_{DD} = 5\ V$, determinar los niveles de salida del circuito biestable.

8-5. Las puertas NAND de la Fig. 8-1 se han fabricado con tecnología TTL con $V_{CC} = -5\ V$. Las puertas TTL tienen $V(1) = 2{,}7\ V$, $V(0) = 0{,}3\ V$ y $NM_H = NM_L = 0{,}2\ V$. Suponiendo que la puertaTTL NAND tenga una característica de transferencia de tensión como la dada en la Fig. 8-5(*a*) determinar los niveles de salida del biestabic y la señal de disparo mínima necesaria para cambiar de estado.

8-6. Las puertas NOR de la Fig. 8-4 están construidas con tecnología CMOS. El dispositivo NMOS tiene $kW/L = 200\ \mu A/V^2$ y $V_T = 2V$, y el dispositivo PMOS tiene $kW/L = 200\ \mu A/V^2$, y $V_T = -2V$. Siendo $V_{DD} = 5V$, determinar, (*a*) los niveles de salida del biestable y (*b*) la señal de entrada mínima necesaria para provocar que la salida cambie de estado.

8-7 Mostrar cómo se puede construir el biestable de la Fig. 8-3 empleando la configuración AOI.

8-8. La tabla indicada es la de excitación de un FLIP-FLOP *J- K*. Una *X* en la tabla debe interpretarse como que no importa que esa entrada sea 1 ó 0, condición denominada «indiferente». La segunda línea indica que para que la salida cambie de 0 a 1, la entrada *J* deberá ser 1 mientras que no importa que *K* sea 1 ó 0. Comprobar esta tabla de excitación con referencia a la tabla de la verdad de la Fig. 8-11.

Q_n	Q_{n+1}	J_n	K_n
0	0	0	*X*
0	1	1	*X*
1	0	*X*	1
1	1	*X*	0

8-9. Comprobar que la tabla de la verdad de un FLIP-FLOP *J-K* se cumplimenta con la ecuación

$$Q_{n+1} = J_n\overline{Q}_n + \overline{K}_nQ_n.$$

8-10. (*a*) Demostrar que el FLIP-FLOP *J-K* de la Fig. 7-7 quedará dispuesto correctamente ($Pr = 0, Cr = 1$) sólo si $\overline{K} + \overline{Ck} = 1$.

(*b*) Demostrar que dicho FLIP-FLOP borrará correctamente ($Pr = 1, Cr = 0$) únicamente si $\overline{J} + \overline{Ck} = 1$.

(*c*) Demostrar que $Cr = Pr = Ck = 0$ conducen a un estado indeterminado.

(*d*) Mostrar que $Pr = 1$ y $Cr = 1$ habilitan el FLIP-FLOP.

8-11. (*a*) Comprobar que no hay dificultad respecto a las condiciones de auto-oscilación en el circuito *J-K* de la Fig. 8-12 para cualquier combinación de los datos de entrada, excepto para $J = K = 1$.

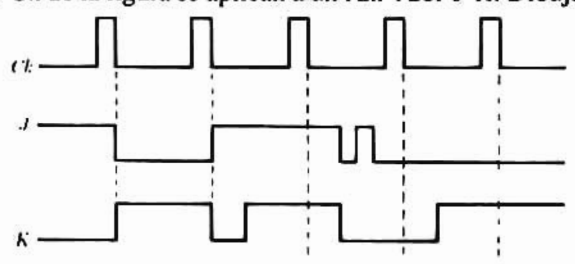
(*b*) Explicar por qué no existen condiciones de auto-oscilación ni aun con $J = K = 1$, siempre que $t_p < \Delta t < T$.

8-12. (*a*) Supóngase que en el FLIP-FLOP *J-K* ordenador-seguidor de la Fig. 8-13, $Q = 0$, $\overline{Q} = 1$, $Ck = 1$, $J = 0$ y *K* arbitrario. ¿Cuál será Q_M?

(*b*) Si *J* pasa a 1, ¿cuál será Q_M?

(*c*) Si *J* vuelve a 0, ¿cuál será Q_M? Obsérvese que Q_M no retorna a su valor primitivo y por tanto ni *J* ni *K* deben variar durante el impulso.

8-13. Las ondas *J*, *K* y *Ck* de la figura se aplican a un FLIP-FLOP *J-K*. Dibujar las ondas de salida de *Q* y



Prob. 8-13

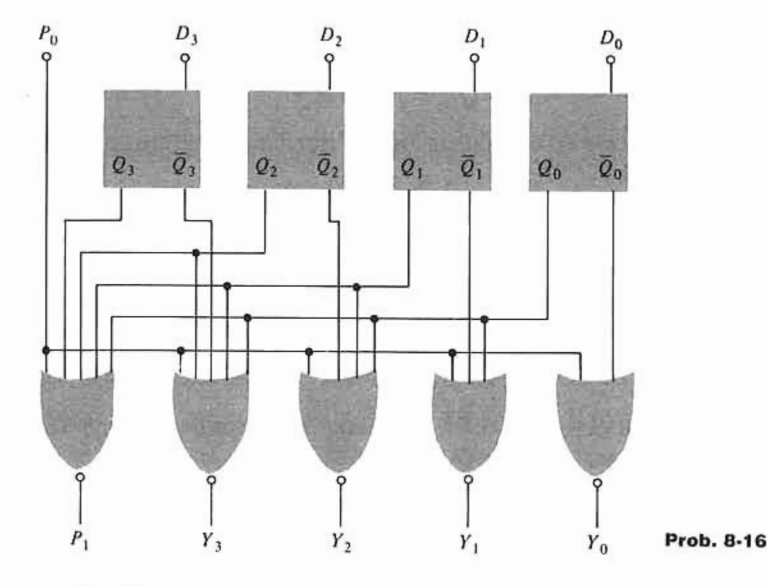
$\overline{Q}$ alineadas respecto a los impulsos del reloj. *Nota:* Supóngase que cuando se aplica el primer impulso del reloj $Q = 0$ y que $Pr = Cr = 1$.

8-14. (*a*) Comprobar que un FLIP-FLOP *S-R* se convierte en tipo *T* si *S* se conecta a $\overline{Q}$ y *R* a *Q*.
(*b*) Comprobar que un FLIP-FLOP tipo *D* se convierte en tipo *T* si *D* se une a $\overline{Q}$.

8-15. Mostrar cómo construir un FLIP-FLOP *A-B* con la tabla de la verdad expuesta a continuación, a partir de un FLIP-FLOP *J-K* y cualquier otra lógica adicional que se requiera.

A_n	B_n	Q_{n+1}
0	0	$\overline{Q}_n$
1	0	Q_n
0	1	1
1	1	0

8-16. La figura representa un registrador de prioridad de 4 bit formado por biestables tipo *D*.
(*a*) Hagamos $P_0 = 0$, $D_0 = D_1 = D_3 = 0$ y $D_2 = 1$ y todas las demás salidas son 0.
(*b*) Hagamos $P_0 = 0$, $D_0 = D_1 = 0$ y $D_2 = D_3 = 1$. Comprobar que sólo $Y_2 = 1$.
(*c*) Generalizar los resultados anteriores demostrando que el D_n de menor orden de entre los que están en estado alto (1) se transfiere para hacer alta la correspondiente Y_n.
(*d*) Poner en cascada dos de estos chips de 4 bit. Hagamos $P_0 = 0$ para el chip de orden inferior. En el chip de orden superior unir P_0 al complemento de la salida P_1 del de orden inferior. Demostrar que este sistema en cascada funciona como un registrador de prioridad de 8 bit.



Prob. 8-16

8-17. Comprobar, para el registrador bidireccional de desplazamiento de la Fig. 8-17, la modalidad de operación representada en la Tabla 7-4 en su (*a*) segunda línea, (*b*) tercera línea y (*c*) cuarta línea.

8-18. Aumentemos el registrador de desplazamiento de la Fig. 8-16 con puna puerta NOR de cuatro entradas cuya salida se conecta al terminal de *entrada en serie*. Las entradas de la puerta NOR son Q_4, Q_3, Q_2 y Q_1.
(*a*) Comprobar que independientemente del estado inicial de cada FLIP-FLOP, al aplicarle la alimentación, el registrador funcionará como un contador de anillo después de *P* impulsos de reloj, siendo $P \leq 4$.

(*b*) Si inicialmente $Q_4 = 0, Q_3 = 1, Q_2 = 1, Q_1 = 0, Q_0 = 1$, esbozar la forma de onda de Q_0 durante los 16 primeros impulsos.

(*c*) Repetir el apartado *b* si $Q_4 = 1, Q_3 = 1, Q_2 = 0, Q_1 = 1$ y $Q_0 = 0$.

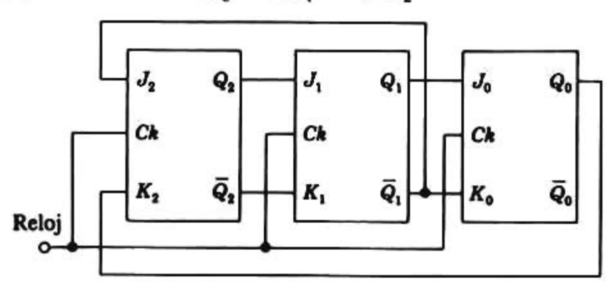
8-19. (*a*) Dibujar las formas de onda de un contador de anillo de Johnson, es decir, dibujar las ondas de Q_4, Q_3, Q_2, Q_1 y Q_0 en, por ejemplo, 12 impulsos. Supóngase que inicialmente Q_0, Q_1, Q_2, Q_3 y Q_4 valen todos 0.

(*b*) Escribir la tabla de la verdad después de cada impulso.

(*c*) De la observación de la tabla demostrar que se pueden emplear puertas AND de dos entradas para decodificar. Por ejemplo, el impulso 1 se decodifica por $Q_4\overline{Q}_3$. ¿Por qué?

8-20. (*a*) Supóngase que en el contador de anillo modificado de la figura se tiene inicialmente $Q_0 = 0$, $Q_1 = 0$ y $Q_2 = 1$. Hágase una tabla de lecturas de Q_0, Q_1, Q_2, J_2 y K_2 después de cada impulso del reloj. ¿Cuántos impulsos se necesitan antes de que el sistema empiece a funcionar como contador divisor por *N*? ¿Qué es *N*?

(*b*) Repetir (*a*) si inicialmente $Q_0 = 0, Q_1 = 1$ y $Q_2 = 0$.



Prob. 8-20

8-21. Se desea un contador asíncrono de 25:1.

(*a*) ¿Cuántos FLIP-FLOPS se precisan?

(*b*) Si se dispone de chips con FLIP-FLOPS de 4 bit, ¿cuántos chips se necesitan? ¿Cómo deberán interconectarse?

(*c*) Indicar las conexiones de realimentación a los terminales de borrado.

8-22. (*a*) Trazar el diagrama de bloques de un contador asíncrono divisor por 20. Inclúyase un biestable en la entrada de borrado.

(*b*) ¿Cuáles son las entradas a la puerta NAND de realimentación, para un contador asíncrono de 125:1?

8-23. Consideremos el funcionamiento del biestable de la Fig. 8-21. Hacer una tabla de los valores de $Ck, Q_1, Q_3, P_1, \overline{Ck}$ y $P_2 = Cr$ en las siguientes condiciones:

(*a*) Inmediatamente después del décimo impulso.

(*b*) Después del décimo impulso suponiendo que Q_1 se reponga antes que Q_3.

(*c*) Durante el undécimo impulso.

(*d*) Después del undécimo impulso.

Esta tabla deberá demostrar que:

(*a*) El décimo impulso prepara el biestable para borrar el contador.

(*b*) El biestable permanece fijo hasta que se hayan borrado todos los FLIP-FLOP.

(*c*) El flanco positivo del undécimo impulso repone el biestable de forma que $Cr = 1$.

(*d*) El flanco negativo del undécimo impulso inicia un nuevo ciclo de cuenta.

8-24. Dibujar en forma de diagrama de bloques un sistema contador que se pueda emplear para generar señales desde 0,1 s, a 1 h. con incrementos de 0,1 s.
Se dispone de una señal de reloj de 1,8 MHz.

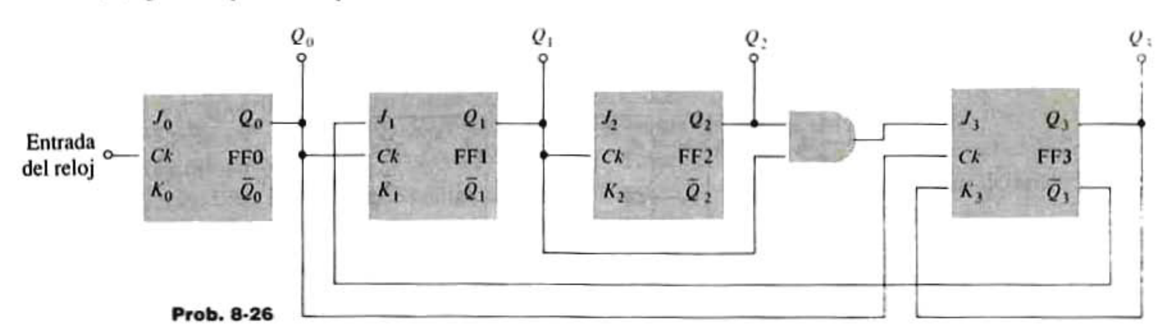
8-25. (*a*) Indicar en forma de diagrama de bloques un contador asíncrono divisor por 11. Señalar las

conexiones a J, K y Ck de cada FLIP-FLOP así como las entradas a la puerta de realimentación a las entradas de borrado (puede omitirse el biestable). Las entradas de habilitación se mantienen al nivel 1.

(*b*) Existe un segundo procedimiento para obtener un contador asíncrono 11:1. Las entradas de borrado se mantienen al nivel 1 y la puerta de realimentación excita las entradas de habilitación. Dibujar el diagrama de bloques de un contador asíncrono programable de este tipo señalando cuidadosamente las conexiones.

8-26. (*a*) Para el diagrama lógico del contador de décadas de la figura establecer la tabla de Q_0, Q_1, Q_2 y Q_3 después de cada impulso (partiendo de 0000). Si no se señala ninguna conexión a las entradas J o K se sobreentiende que tal terminal está alto (1). Comprobar que este sistema es un contador de 10:1.

(*b*) ¿Cómo puede emplearse este sistema a manera de contador 5:1?

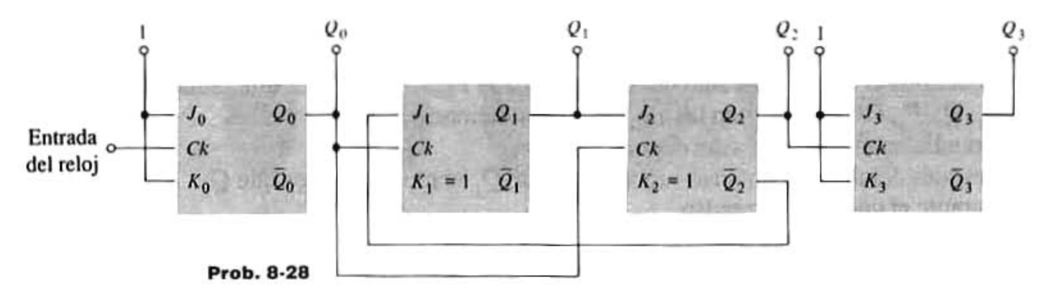


Prob. 8-26

8-27. Modificar el diagrama lógico del problema 8-26 de la siguiente forma: Suprimir el reloj de la entrada a $FF0$ y aplicar a esta entrada la salida Q_3. Suprimir Q_0 del terminal Ck de $FF1$ y aplicar a este terminal la entrada del reloj, no variando ninguna otra conexión. Escribir la tabla de la verdad para Q_0, Q_1, Q_2 y Q_3 (partiendo de 0000) después de cada impulso. Comprobar que este sistema es un contador 10:1. Este contador da en Q_0 una onda cuadrada simétrica. La tabla de la verdad debe confirmar que esto es cierto.

8-28. (*a*) Para el diagrama de bloques de la figura escribir la tabla de la verdad para Q_0, Q_1, Q_2 y Q_3 después de cada impulso (empezando con 0000). Demostrar que se trata de un contador 12:1.

(*b*) ¿Cómo puede emplearse este sistema como contador 6:1?

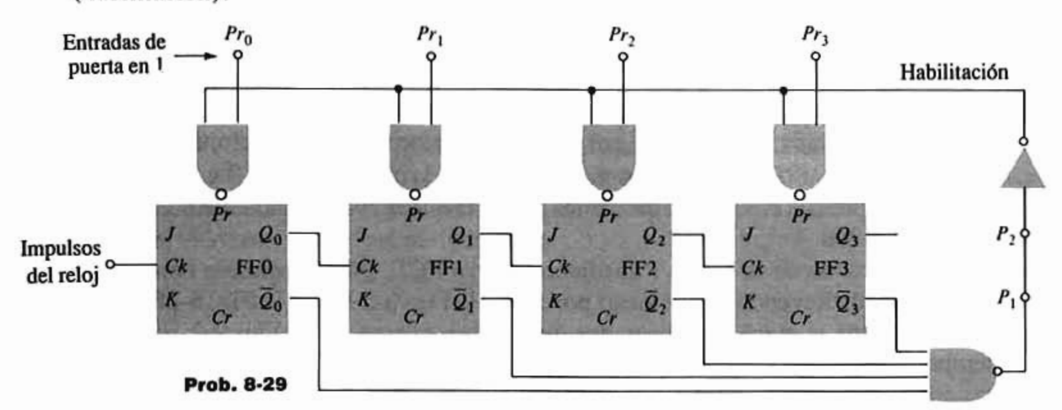


Prob. 8-28

8-29. (*a*) El circuito de la figura es un contador asíncrono *programable*. Inicialmente $Ck = 0$ y se borra el contador poniendo momentáneamente $Cr = 0$. Se sobreentiende que a continuación $J = K = Cr = 1$ y que el biestable de la Fig. 8-21 está situado entre P_1 y P_2. Si $Pr_0 = Pr_1 = 0$ y $Pr_2 = Pr_3 = 1$ y si se aplica un impulso procedente de una *fuente exterior* (no representada) a la entrada de habilitación ¿en qué estado quedará situado cada FLIP-FLOP? Si ahora se aplica a la entrada del contador un tren de impulsos del reloj, ¿cuál será la cuenta N? Explíquese cuidadosamente el funcionamiento.

(*b*) ¿Por qué se necesita el biestable?

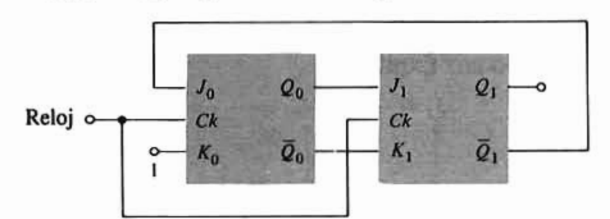
(*c*) Generalizar el resultado del apartado (*a*) de la siguiente forma: el contador tiene n etapas y debe dividir por N siendo $2^n > N > 2^{n-1}$. ¿Cómo deben programarse las entradas de puesta en 1 (habilitación)?



Prob. 8-29

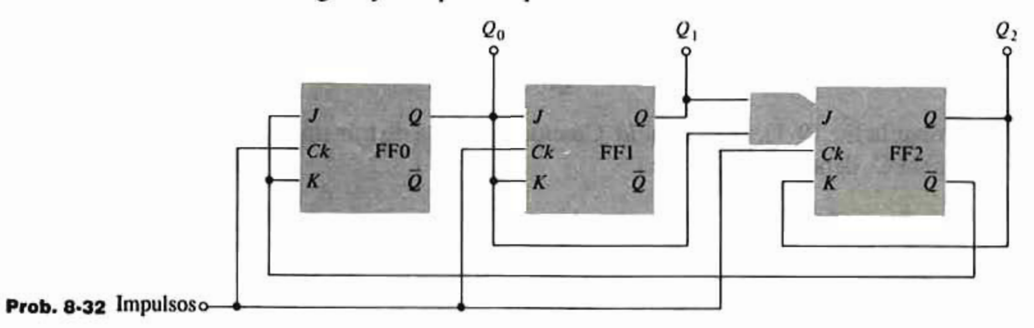
8-30. Dibujar el diagrama lógico de un contador síncrono reversible de 5 bit con arrastre en serie.

8-31. Comprobar que el sistema de la figura es un contador síncrono 3:1. Partir de $Q_0 = Q_1 = 0$ y señalar el estado de Q_0 y de Q_1 después de cada impulso.



Prob. 8-31

8-32. Escribir la tabla de la verdad de Q_0, Q_1 y Q_2 después de cada impulso, para el diagrama lógico del contador síncrono de la figura y comprobar que se trata de un contador 5:1.



Prob. 8-32

8-33. Considérese un contador síncrono de dos etapas (ambas etapas reciben los impulsos en la entrada *Ck*). En cada contador $K = 1$. Si $J_0 = \overline{Q}_1$ y $J_1 = Q_0$, dibújese el circuito. A partir de la tabla de la verdad de Q_0 y Q_1 después de cada impulso, demuéstrese que se trata de un contador 3:1.

8-34. Dibujar las formas de onda de un divisor 6:1 de la Fig. 8-19 y deducir las conexiones para un contador síncrono. Dibujar el diagrama de bloques lógico.

8-35. Resolver el problema 8-34 para un divisor 5:1.

8-36. Supongamos que se tiene un circuito oscilador de cristal que suministra una serie de impulsos de reloj a la frecuencia de 131 kHz. Construir un sistema cuya salida sea un diodo emisor de luz que

parpadee aproximadamente una vez cada segundo, empleando como entrada los impulsos del cristal. ¿Cuántos segundos pierde el sistema a lo largo de una hora? (*Sugerencia:* 2^{17} = 131.072.)

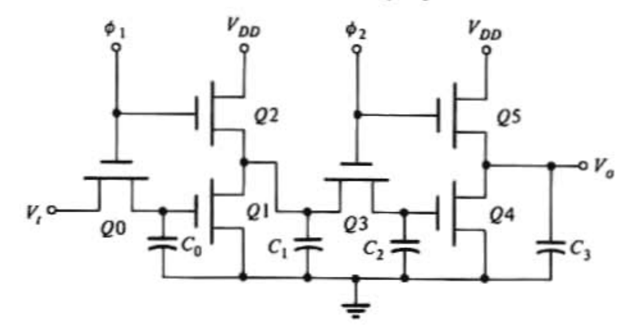
CAPÍTULO 9

9-1. (*a*) Modificar el inversor MOS dinámico de la Fig. 9-1 añadiendo otro FET, $Q4$, en serie con $Q1$. Designar la entrada a $Q4$ (y a $Q1$) por V_4 (o V_1). Comprobar que este circuito cumple la función de una puerta NAND dinámica. Los niveles de entrada de V_1 y V_4 son 0 y 10 V.
(*b*) Demostrar que este circuito disipa menos potencia que la correspondiente puerta NAND estática de la Fig. 6-29*a*.

9-2. Modificar el circuito de la Fig. 9-1 añadienmdo otro FET, $Q4$, en paralelo con $Q1$. Repítase el problema 9-1 (sustituyendo la voz NAND por NOR y la Fig. 6-29*a* por la Fig. 6-28*a*).

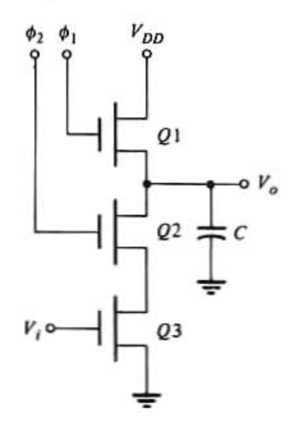
9-3. (*a*) Consideremos la etapa de registrador de desplazamiento de la Fig. 9-2 pero con carga no temporizada, es decir, que las puertas de $Q2$ y $Q5$ se unen a V_{DD} en lugar de ser excitadas por las ondas de reloj. Explíquese el funcionamiento de este circuito.
(*b*) Demostrar que en esta célula hay mayor disipación de potencia que en la versión de carga tenporizada de la Fig. 9-2.

9-4. (*a*) La figura representa una etapa de registrador de desplazamiento dinámico NMOS. Las dos ondas $Ø_1$ y $Ø_2$ pueden verse en la Figura 9-2*b*. Explíquese cuidadosamente el funcionamiento de este circuito. Supóngase $C_1 \gg C_2$.
(*b*) ¿Son los inversores de relación o no? Explíquese.



Prob. 9-4

9-5. Comprobar la Ec. (9-1). (*Sugerencia.* Cuando la puerta de transmisión $Q3$ cierra, la misma carga que aligera C_1 debe añadirse a C_2.)



Prob. 9-6

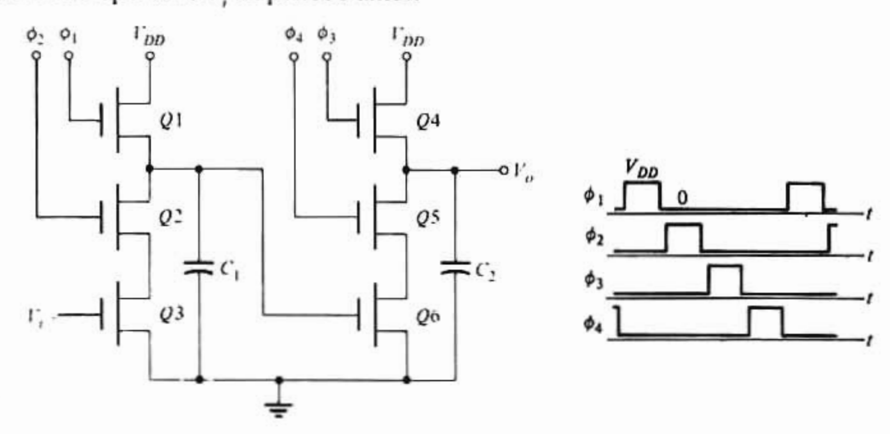
9-6. (*a*) Consideremos el inversor NMOS de dos fases de la figura, que emplea las ondas mostradas en la Fig. 9-5*b*. Explicar el funcionamiento del circuito considerando primeramente el intervalo t_1-t_2, luego el t_2-t_3, etc.

(*b*) ¿Es éste un inversor de relación o no? Explíquese.

(*c*) Esbozar una etapa de registrador de desplazamiento empleando dos inversores como los anteriormente citados y dos puertas bidireccionales. (*Sugerencia*. Intercambiar $Ø_1$ y $Ø_2$ en el segundo inversor y tomar la salida durante $Ø_1$.)

(*d*) Explicar el funcionamiento de esta célula de registrador de desplazamiento.

9-7. Consideremos la célula de registrador de desplazamiento dinámico NMOS de cuatro fases representada en la figura. Obsérvese que los cuatro impulsos de reloj no se superponen, de forma que si una fase está alta, las otras estarán bajas. Explicar el funcionamiento y comprobar que V_o es igual al valor que tuvo V_i un período antes.



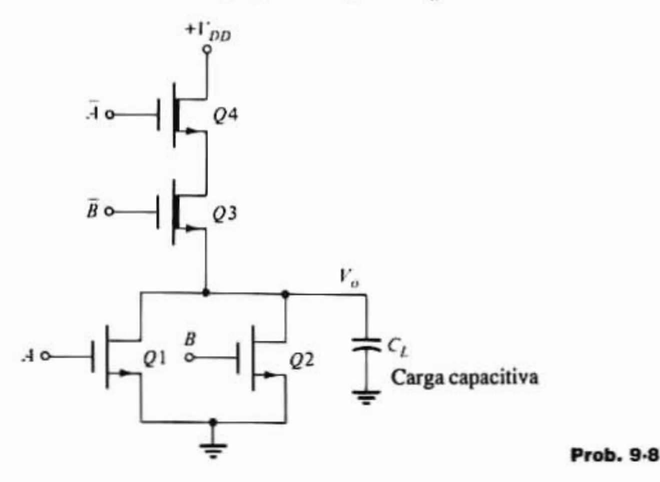
Prob. 9-7

9-8. El circuito de la figura se conoce a veces como puerta NOR NMOS a contrafase (push-pull) y se emplea para mejorar el producto retardo-potencia respecto a las puertas NMOS convencionales.

(*a*) Comprobar que se cumple una lógica NOR

(*b*) Comparar las tensiones V_{GS3} y V_{GS4} con V_{GS} del transistor de carga en una puerta NOR NMOS normal durante una transición de la entrada de $V(0)$ a $V(1)$.

(*c*) ¿Cómo afectan estos niveles a la carga y descarga de C_L durante una transición?

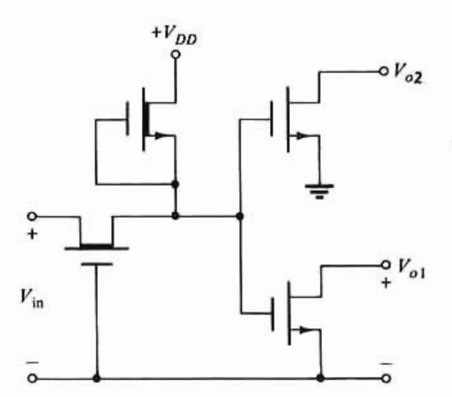


Prob. 9-8

9-9. (*a*) En el circuito representado, ¿cuál es la relación lógica entre V_{in} y V_{o1}?

(*b*) ¿Qué cambio del nivel de entrada se necesita para provocar una transición de $V(0)$ a $V(1)$?

(*c*) Repetir (*b*) de $V(1)$ a $V(0)$.
(*d*) ¿Pueden usarse los resultados de (*b*) y (*c*) para mejorar el producto retardo-potencia?



Prob. 9-9

9-10. Un RAM de 1024 bit consta de 128 informaciones de 8 bit cada una. Si se emplea selección lineal mostrar el diagrama de bloques de la organización del sistema. (*Nota*: Emplear un rectángulo para representar la célula de lectura-escritura de 1 bit de la Fig. 9-8 con tres terminales: *X* para la entrada de direccionado, *W* para la de escritura y *R* para la salida de lectura).

9-11. (*a*) Si se emplea selección lineal ¿Cuántas puertas NAND y de cuántas entradas cada una hay en el decodificador (o decodificadores) de un RAM 4096×1?
(*b*) Repetir (*a*) suponiendo que se emplea un direccionado bidimensional para tener una disposición de memoria cuadrada.
(*c*) Repetir (*a*) suponiendo que se emplea un direccionado bidimensional para disponer una memoria de 256×16.

9-12. En la Fig. 9-19 el chip (0) contiene las informaciones 0 a 1023, el chip (1) las 1024 a 2047, y así sucesivamente. ¿Qué información es decodificada por $A_{11} ... A_{o}$ a:
(*a*) 011100101011,
(*b*) 111000010110?
(*c*) ¿Qué direccionado se debe aplicar para tener la información 2600?

9-13. Dibujar el diagrama de bloques de un sistema RAM de 4096×16 construido a base de RAMs de 1024×1

9-14. Dibujar el diagrama de bloques de un sistema de lectura-escritura de 128×4 bit formado a abase de RAMs de 16 kb×1bit.

9-15. Consideremos la estructura CCD de la Fig. 9-23(*a*) accionada por las ondas de la Fig. 9-27. Todos los electrodos de numeración impar están unidos a $Ø_1$, y todos los pares están excitados por $Ø_2$: Dibujar los perfiles de tensión como en la Fig. 9-23 y demostrar que este sistema no resulta satisfactorio porque queda indeterminado el sentido de transferencia de la carga.

9-16. Consideremos un CCD de dos fases. La longitud efectiva de cada electrodo es de 8 μm. y su ancho también de 8 μm. Asimismo la separación entre filas de electrodos es de 8μm.
(*a*) Calcular, en mm^2 la superficie ocupada por una célula de memoria.
(*b*) La «Mnemonics Inc.» ha construido una memoria de 64 kb (65536 bit) empleando la célula descrita en (*a*). El tamaño del chip es de 5,54×5,97 mm. ¿Qué fracción del área del chip está ocupada por los circuitos auxiliares (entrada, salida, reloj, etc.)?

9-17. Mostrar la organización del RAM del Prob. 9-10 dada la célula empleada como se ve en la Fig. 9-20.

9-18. Consideremos la estructura CCD de dos fases de la Fig. 9-26(*a*) excitada por los impulsos positivos del reloj. Supongamos que $V_2 = V$ y $V_1 = V/2$. Dibujar los perfiles de energía potencial bajo los cuatro primeros electrodos en los instantes de tiempo $t_1 ... t_5$ indicados. Empezar con carga bajo E_1

en el instante $t = t_1$ y demostrar que se desplaza a E_2 en el momento $t = t_5$. Emplear papel cuadriculado.

9-19. Consideremos la estructura CCD de dos fases de la Fig. 9-26(*a*) excitada por los impulsos negativos del reloj representados. Tómese $V_2 = V$ y $V_1 = 0$. Dibujar los perfiles de energía potencial bajo los cuatro primeros electrodos en los instantes $t_1...t_5$ indicados. Empezar con un bit almacenado debajo de E_1 en el momento t_1 y demostrar que la información se transfiere al depósito debajo de E_2 en el instante $t = t_5$. Emplear papel cuadriculado.

9-20. (*a*) Consideremos una estructura CCD de una fase. Los electrodos impares están polarizados a una tensión constante $V/2$. Los electrodos pares se excitan por los impulsos positivos de la onda $Ø_2$ de la Fig. 9-27 con $V_1 = 0$ y $V_2 = V$. Dibujar los perfiles de energía potencial bajo los cuatro primeros electrodos en los tiempos t_2, t_3 y t_4. Partir con electrones almacenados bajo E_1 en el instante t_2 y demostrar que la carga queda retenida en el depósito debajo E_2 en $t = t_4$. Emplear papel cuadriculado.

(*b*) Dibujar los perfiles de energía potencial en el momento t'_4 (donde $Ø_2 = 0{,}25\ V$) en t_5 o t_6 (donde $Ø_2 = 0$) y en t_7 (donde $Ø_2 = 0{,}5\ V$). Demostrar que la información bajo E_1 se ha transferido a E_3 en un periodo del reloj.

9-21. Consideremos tres variables lógicas *A*, *B* y *C* en los colectores de tres inversores de lógica integrada inyectada (I^2L). Conectar entre sí estas tres salidas. Demostrar con argumentos físicos que en el nudo común la variable lógica es $Y = ABC$. En otras palabras, justificar el funcionamiento AND-conectado en la lógica inyectada.

9-22. Dadas las cuatro variables externas *A*, *B*, *C* y *D*, dibujar un diagrama de conexiones I^2L para la salida *AOI*, $Y = AB + CD$.

9-23. Las tres entradas a un decodificador son *A*, *B*, y *C*. Dibujar un diagrama de conexiones I^2L para tener las ocho salidas.

9-24. Consideremos un multíplex de 2 a 1 líneas, sin entradas de habilitación. Dibujar un diagrama de conexiones I^2L para este selector de datos.

9-25. El arrastre en un sumador completo es de la forma:
$C' = AB + BC + CA$. Dibujar el diagrama de conexiones I^2L para C'.

9-26. Dibujar un diagrama de conexiones I^2L para el FLIP-FLOP *J-K* temporizado.

CAPÍTULO 10

NOTA: A lo largo de los problemas de este capítulo se emplean los siguientes transistores:

	Transistor				
Cantidad	*A*	*B*	*C*	*D*	*E*
Tipo	*npn*	*npn*	*npn*	*pnp*	*pnp*
β_F	125	150	200	150	50
β_o	125	150	200	150	50
V_A, V	∞	100	∞	∞	50

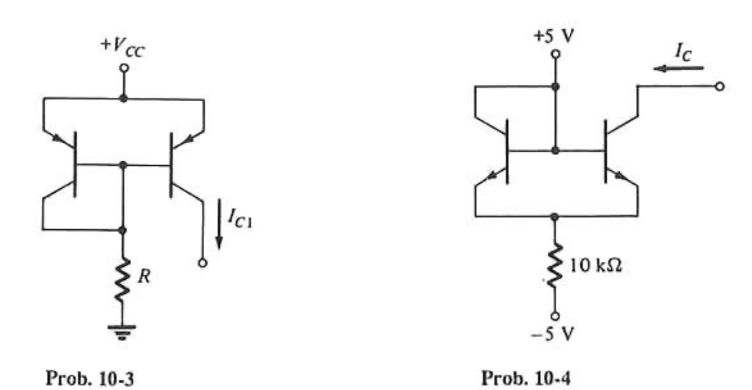
Se supone que para estos transistores $r_b = 0$ y que trabajan a $T = 25\ °C$, salvo que se indique otra cosa.

10-1. La fuente de corriente de la Fig. 10-5(*a*) está diseñada con transistor *A*, y debe dar una corriente de 0,5 *mA* con $V_{CC} = 10\ V$.

(*a*) Determinar el valor de *R*.
(*b*) Suponiendo que todos los demás parámetros se mantengan constantes y que la variación de V_{BE} es de - 2,2 *mV*/°C. ¿Qué variación de temperatura se puede admitir si se ha de mantener I_{C1} dentro del 1% de su valor nominal de diseño?

10-2. En el circuito de la Fig. 10-5(*a*) se emplea un transistor *C* con $V_{CC} = 5\ V$ y $R = 5$ kΩ.
(*a*) Determinar I_{C1}.
(*b*) ¿Cuáles son los valores mínimos y máximos de β_F si la variación de I_{C1} no debe ser mayor del 1% del valor en (*a*)?

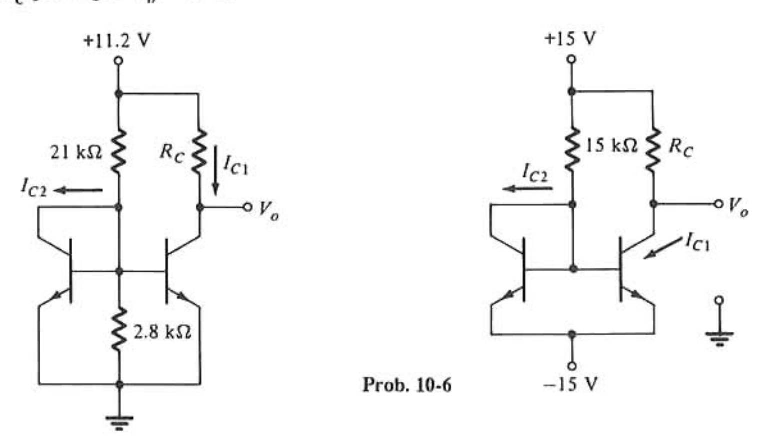
10-3. La fuente de corriente *pnp* representada utiliza transistores *D*. Con $I_{C1} = 1\ mA$ y $V_{CC} = 15\ V$.
(*a*) Determinar *R*.
(*b*) Determinar en tanto por ciento el cambio en I_{C1} para un cambio de temperatura de 50 °C si V_{BE} varía 2,2 *mV*/°C manteniéndose invariables todos los demás parámetros.



Prob. 10-3 **Prob. 10-4**

10-4. Los transistores del circuito representado son idénticos. ¿Cuáles son los valores mínimos y máximos de I_C si $75 \leq \beta_F \leq 175$?

10-5. En el circuito representado se emplea el transistor *C*.
(*a*) Determinar I_{C1} e I_{C2}.
(*b*) Hallar R_C para que $V_o = 6\ V$.



Prob. 10-5 **Prob. 10-6**

10-6. En el circuito representado se usa el transistor *B*.
(*a*) Considérese que V_A tiende a infinito y hallar R_C para que $V_o = 0$.
(*b*) Utilícese el valor de R_C hallado en (*a*) para determinar V_o cuando $V_A = 100\ V$. [*Sugerencia*: $I_C = (I_{CS}\ \varepsilon V_{BE}/V_T)\ (1 + V_{CE}/V_A)$ da razón de la tensión Early]

10-7. Hay que convertir la fuente de corriente del Prob. 10-1 en el circuito de la Fig. 10-8 haciendo $I_{C1} = 50\ \mu A$. Determinar R_E.

10-8. El circuito de la Fig. 10-8 se ha diseñado con $V_{CC} = 15\ V$, $R = 30\ k\Omega$ y $R_E = 1\ k\Omega$. Se emplean transistores *C*:
(*a*) Determinar I_{C1}.
(*b*) ¿Cuál es, en porcentaje, la variación de I_{C1} si V_{CC} aumenta 0,3 *V*?

10-9. El circuito de la Fig. 10-9 está diseñado con transistores idénticos. Deducir una ecuación para I_{C1}/I_{C2} y demostrar que esta relación es proporcional a R_2/R_1.

10-10. Demostrar que en el circuito de la Fig. 10-8, $\Delta I_R/I_R$ es inversamente proporcional a $[(V_{CC}/V_{BE}) - 1]$ si V_{BE} varía en ΔV_{BE}. Supóngase que todos los demás parámetros se mantienen constantes.

10-11. Hay que diseñar una fuente Widlar usando transistores *pnp* (transistor *D*). Se dispone de un suministro de tensión negativa de 9 *V*, empleándose una $R = 25\ k\Omega$. Determinar R_E de forma que la corriente de fuente sea de 40 μA.

10-12. (*a*) Repetir el problema anterior con una tensión de suministro positiva de 9 *V*.
(*b*) Dibujar el diagrama del circuito de la fuente de corriente.

10-13. Deducir la Ecuación (10-15).

10-14. Deducir la Ecuación (10-16).

10-15. Se emplea el circuito de la Fig. 10-10*a* para obtener una corriente de 1 *mA* con un suministro de 12 *V* con transistor *A*.
(*a*) Determinar el valor de *R*.
(*b*) Si β_F disminuye un 60% ¿Cuál será la variación en porcentaje de I_{C1}?

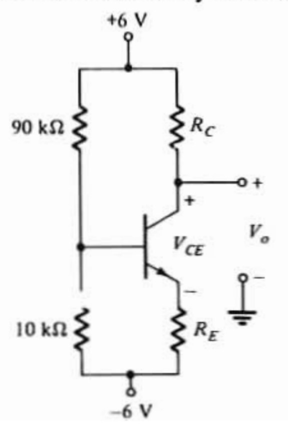
10-16. Repetir el Prob. anterior para el circuito de la Fig. 10-10*b*.

10-17. Los transistores de la Fig. 10-11 son idénticos y tienen V_A tendiendo a infinito.
(*a*) Deducir la expresión de I_{C1} en función de β_F, V_{BE}, *R* y V_{CC}.
(*b*) Con $V_{CC} = 15\ V$ y $\beta_F = 150$ determinar *R* de forma que $I_{C1} = 300\ \mu A$.
(*c*) Suponiendo que todos los demás parámetros se mantienen inalterados, ¿qué cambio de temperatura es admisible si $|\Delta I_{C1}| \leq 30\ \mu A$ y V_{BE} cambia a razón de $-2,2\ mV/°C$?

10-18. En el circuito de la Fig. 10-12 se usa el transistor *C*. Los valores de los parámetros son: $V_{CC} = 11,2\ V$, $R_C = 1,2\ k\Omega$, $R_E = 0,3\ k\Omega$, $R_1 = 90\ k\Omega$ y $R_2 = 10\ k\Omega$.
(*a*) Determinar el punto de trabajo.
(*b*) Si β_F decrece un 50%, ¿cuáles serán los nuevos valores de I_{CQ} y V_{CEQ}?

10-19. El circuito de la Fig. 10-12 se ha diseñado con $V_{CC} = 15\ V$, $R_1 = 72\ k\Omega$, $R_2 = 18\ k\Omega$, $R_E = 1,4\ k\Omega$ y $R_C = 4,0\ k\Omega$. Se emplea el transistor *A*.
(*a*) Determinar el punto de trabajo.
(*b*) Determinar el nuevo punto de trabajo duplicando β_F.
(*c*) Coméntese la eficiencia del circuito.

10-20. El circuito representado emplea transistores *C* y está diseñado para hacer $V_o = 0$ y $V_{CEQ} = 3\ V$.
(*a*) Determinar R_C y R_E.



Proh. 10-20

(*b*) Valiéndose de los valores obtenidos en (*a*) hallar la variación de V_o dado que β_F se reduce a la mitad.

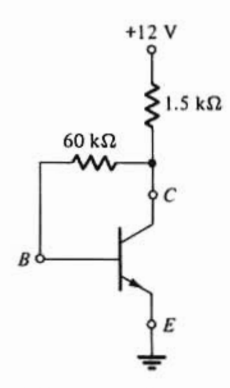
(*c*) Las tensiones de alimentación varían en un 5% cada una. Determinar la máxima variación en V. Usense los valores de los parámetros hallados en (*a*).

10-21. El circuito representado utiliza un transistor *B* (considerar que V_A tiende a infinito).

(*a*) Determinar I_{CQ} y V_{CEQ}.

(*b*) Se añade una resistencia *R* al circuito entre la base y tierra. ¿Qué valor de *R* se necesita para hacer $V_{CEQ} = 6{,}7\ V$?

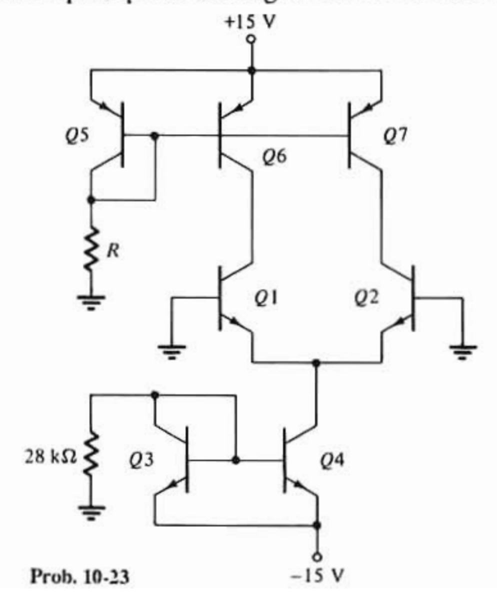
(*c*) Si β_F cambia en ±100 ¿Cuál es el campo de valores de V_{CEQ} en el circuito de (*b*)?



Prob. 10-21

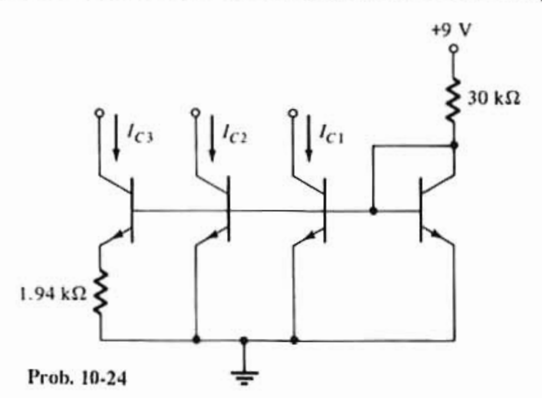
10-22. Hay que diseñar el circuito de la Fig. 10-12 empleando un suministro de 28 *V*. El transistor tiene $50 \leq \beta_F \leq 200$ y debe trabajar entre $T = 0\ °C$ y $T = 100\ °C$. El punto de reposo nominal es $I_{CQ} = 1{,}5\ mA$ y $V_{CEQ} = 13\ V$. En el peor de los casos se requiere que I_C sea de 150 μ*A*. Despréciese I_{CO} y supóngase que tanto las variaciones de β_F como las de V_{BE} motivan desviaciones iguales. Determinar R_1, R_2, R_C y R_E.

10-23. El circuito representado es un par acoplado en emisor en el que *Q*3 y *Q*4 se emplean para polarizar *Q*1 y *Q*2. Los transistores *Q*5, *Q*6 y *Q*7 forman un repetidor de corriente y *Q*6 y *Q*7 forman la carga para *Q*1 y *Q*2. Todos los transistores *pnp* tienen $\beta_F = 50$ y los *npn*, $\beta_F = 150$. Supóngase V_A tendiendo a infinito. Hallar *R* para que se satisfagan las relaciones de corriente.



Prob. 10-23

10-24. Con el repetidor representado se emplea el transistor *A*. Determinar I_{C1}, I_{C2} e I_{C3}.



Prob. 10-24

10-25. Los MOSFETs de la Fig. 10-15*a* quedan definidos en saturación por:

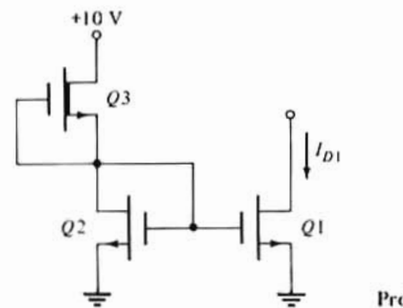
$$I_D = 25\left(\frac{W}{L}\right)(V_{GS} - 1.5)^2\ \mu A$$

(*a*) Hallar *R* con $W/L = 4$, de forma que $I_D = 400\ \mu A$ con $V_{DD} = 9\ V$.
(*b*) Empleando el valor de *R* hallado en (*a*) determinar la variación en I_{D1} si W/L de *Q*1 se hace = 2.
(*c*) Repetir (*b*) para $W/L = 8$.

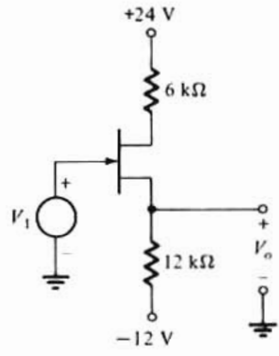
10-26. El circuito de la Fig. 10-15*a* emplea MOSFETs de las características dadas en la Fig. 10-15*b*. La tensión de alimentación es de 5 *V*. Determinar *R* de forma que $I_D = 100\ \mu A$.

10-27. Los MOSFETs de la Fig. 10-15*a* tienen $k(W/L) = 200\ \mu A$ y $V_T = 2\ V$. Están alimentados por una fuente de 12 *V*. Determinar *R* para que $I_D = 0{,}5\ mA$.

10-28. Los transistores de acumulación del circuito representado tienen $I_D = 100(V_{GS} - 3)^2\ \mu A$. El transistor de deflexión tiene $I_D = 100(V_{GS} + 1)^2\ \mu A$. Determinar I_{D1}.



Prob. 10-28



Prob. 10-29

10-29. El FET de la figura tiene $I_{DSS} = 4\ mA$ y $V_P = -4\ V$.
(*a*) Hallar V_o para $V_1 = 0$.
(*b*) Hallar V_o para $V_1 = 15\ V$.
(*c*) Hallar V_i para $V_o = 0$.

10-30. El FET del circuito de la Fig. 10-18*a* tiene $I_{DSS} = 3\ mA$ y $V_P = -3\ V$. Determinar I_{DQ}, V_{DSQ}, V_{GSQ} para $R_1 = 1{,}5\ m\Omega$, $R_2 = 0{,}3\ M\Omega$, $R_D = 20\ k\Omega$, $R_S = 5\ k\Omega$ y $V_{DD} = 60\ V$.

10-31. La variación de V_P en el FET del Prob. 10-30 es de ±0,5 *V*. Determinar el campo de valores de I_{DQ} y V_{DSQ}.

10-32. El FET cuya característica de transferencia se muestra en la Fig. 10-19 se emplea en el circuito de

la Fig. 10-18*a*. La corriente de drenaje está restringida a valer entre 4,0 y 5,0 *mA* y $V_{DS} \geq 6\ V$. La tensión de suministro es de 24 *V* y $R_G \geq 100\ k\Omega$. Determinar R_1, R_2, R_C y R_S.

10-33. El fabricante de un JFET de canal *p* facilita los siguientes datos:
$V_p = 5\ V$ mínimo y 6 *V* máximo.
$I_{DSS} = -2{,}5\ mA$ mínimo y 4,5 *mA* máximo.
Hay que diseñar un circuito análogo al de la Fig. 10-18*a* para dispositivos de canal *p* de forma que I_{EQ} esté entre -1,6 y -2 *mA*. Con $V_{DD} = -30\ V$ y $R_G \geq 100\ k\Omega$.
(*a*) Determinar R_1, R_2 y R_S.
(*b*) Dado $R_L = 10\ k\Omega$ ¿Cuáles son los valores mínimos y máximos de V_{DSQ}?

10-34. Deducir la Ecuación (10-29).

10-35. En el circuito de la Fig. 10-21*a* se usa el transistor *A*, y está polarizado a $I_{CQ} = 1\ mA$. Determinar A_v y R_i para $R_S = 300\Omega$ y $R_C = 1{,}2\ k\Omega$.

10-36. El transistor *C* polarizado a $I_C = 0{,}5\ mA$ se emplea en el circuito de la Fig. 10-21*a*.

10-37. En el circuito de la Fig. 10-22*b* se emplea el transistor *B*. La corriente I_o, que es de 50 μ*A*, se obtiene de una fuente que emplea el transistor *E*. Siendo $R_S = 5\ k\Omega$, determinar A_V, R_i y R_o.

10-38. Para la fuente de corriente de la Fig. 10-22*b* se emplea el transistor *E*. El transistor *B* se excita por una fuente de señal con $R_s = 20\ k\Omega$ y debe polarizarse de forma que $R_s = R_i$.
(*a*) Hallar I_o.
(*b*) Determinar el valor de A_V.

10-39. El circuito de la Fig. 10-22*a* se excita con una fuente de señal que tiene $R_s = 10\ k\Omega$. Se emplea el transistor *C* polarizado a $I_{CQ} = 1{,}5\ mA$. Siendo $R_E = 2\ k\Omega$, determinar:
(*a*) A_V.
(*b*) R_i.
(*c*) R_o y R'_o.

10-40. Una etapa en colector común emplea el transistor *D* polarizado a $I_{CQ} = -0{,}25\ mA$ y excitado por una fuente de 3 $k\Omega$.
(*a*) ¿Qué valor de R_E se necesita para hacer que $R'_o = 110\ \Omega$?
(*b*) Con el valor de R_E hallado en (*a*), determinar A_V y R_i.

10-41. Un seguidor de emisor emplea el transistor *A* polarizado a $I_{CQ} = 2\ mA$, y se pide que tenga $R_i \geq 500\ k\Omega$.
(*a*) Hallar R_E.
(*b*) Determinar A_V, R_o, y R'_o, para $R_s = 5\ k\Omega$.

10-42. Comprobar las ecuaciones aproximadas de la etapa en base común de la Tabla 10-3*A*.

10-43. El circuito de la Fig. 10-25*a* emplea el transistor *A* polarizado a 0,2 *mA*. Con $R_s = 2\ k\Omega$, $R_E = 100\ \Omega$ y $R_C = 5\ k\Omega$, hallar:
(*a*) A_V y R_i.
(*b*) El campo de valores de A_V, variando β_o en un 60%.

10-44. (*a*) Repetir el Prob. anterior suponiendo que se emplea el transistor *B*.
(*b*) Determinar R_o y R'_o para el amplificador.

10-45. (*a*) Suponiendo $\beta_o \gg 1$ deducir una expresión para $\Delta A_V/A_V$, con una variación $\Delta\beta$ de β_o en el circuito de la Fig. 10-25*a*.
(*b*) Empleando el transistor *C* y considerando un cambio en β_o del 50%, deducir una ecuación para R_E que limite $|\Delta A_V/A_V| \leq 0{,}1$.
(*c*) Hallar R_{EE} para $R_s = 0{,}6\ k\Omega$ y el transistor polarizado a $I_{CQ} = 0{,}5\ mA$.
(*d*) Suponiendo que el valor nominal de A_V es 10, hallar R_C.

10-46. Comprobar los resultados de la Tabla 10-3*B* para la etapa en colector común.

10-47. Comprobar los resultados de la Tabla 10-3*B* para la etapa en emisor común con una resistencia de emisor.

10-48. Comprobar los resultados de la Tabla 10-3*B* para la etapa en base común.

10-49. Comprobar los valores numéricos aproximados de la Tabla 10-4

10-50. Repetir el Prob. anterior para el caso de que $r_o = 50\ k\Omega$.

10-51. Para cada una de las configuraciones de la Tabla 10-4 determinar A_V suponiendo $r_b = 50\ \Omega$ y $r_o = 50\ k\Omega$.

10-52. Deducir una expresión de la resistencia de salida en una fuente Widlar.

10-53. Un JFET con $I_{DSS} = 5\ mA$ y $V_p = -4\ V$, está polarizado a $V_{GSQ} = -1\ V$. Se utiliza en el circuito de la Fig. 10-27*a* para el que los parámetros son $R_D = 16\ k\Omega$ y R_S=1 $k\Omega$,

(*a*) Hallar $A_V = V_{o1}/V_s$.

(*b*) Hallar R_o y R'_o vistos entre v_{o1} y tierra. Tómese $1/\lambda = 90\ V$.

10-54. Hallar, para el circuito JFET del Prob. 10-53:

(*a*) $A_V = V_{o2}/Vs$.

(*b*) R_o y R'_o vista entre v_{o2} y tierra.

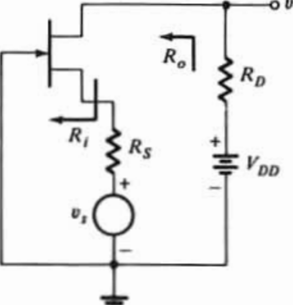
10-55. El JFET del prob. 10-53 se polariza a $V_{GSQ} = -2\ V$.

(*a*) Determinar R_D de forma que en una etapa en fuente común $|A_V| = 20$.

(*b*) Suponiendo que I_{DSS} se mantenga constante y empleando la R_D de (*a*) hallar el nuevo valor de A_V para $V_p = -5\ V$.

(*c*) Repetir (*b*) para $V_p = -3\ V$.

10-56. El circuito representado es el de una etapa en puerta común o a tierra. Deducir las expresiones de A_V, R_i, y R_O.



Prob. 10-56

10-57 En el circuito de la Fig. 10-27*a* se emplea un JFET con $R_D = 20\ k\Omega$ y $R_S = 1{,}5\ k\Omega$. Los parámetros del JFET son: $g_m = 1\ m℧$ y $r_d = 40\ k\Omega$.

(*a*) Determinar $A_V = V_{01}/V_S$.

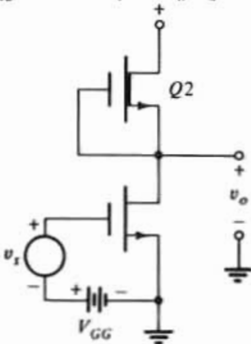
(*b*) Suponiendo que V_{DSS} varíe en un 20%, determinar el nuevo valor de A_V si V_p y V_{GS} se mantienen constantes.

10-58. El JFET del Prob. 10-57 se utiliza como seguidor de fuente.

(*a*) Hallar R_S de forma que $A_V = 0{,}95$

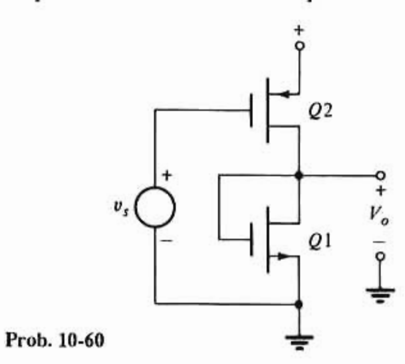
(*b*) Con el valor de R_S en (*a*) hallar R_O y R'_O.

10-59. El circuito representado es una etapa MOSFET en fuente común en la que $Q1$ tiene los parámetros g_{m1}, r_{d1}, y $Q2$ tiene los g_{m2} y r_{d2}. Hallar $A_V = V_o/V_s$ comentando la eficiencia de la etapa.



Prob. 10-59

10-60. Repetir el Prob. 10-59 para el circuito CMOS representado.



Prob. 10-60

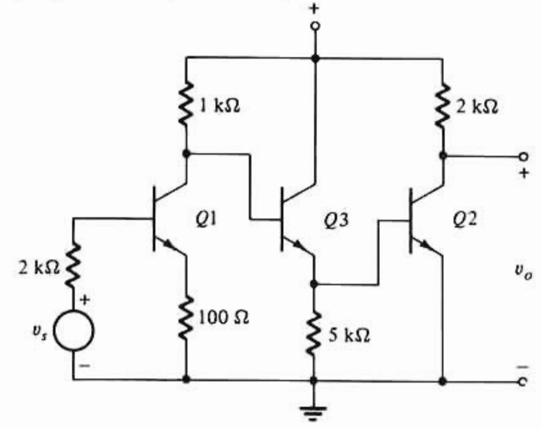
10-61. Cada etapa de una cascada en Emisor común-Emisor común emplea el transistor A y está polarizada a $I_{CQ} = 1\ mA$. Los valores de los componentes son $R_s = 0{,}6\ k\Omega$ y $R_{C1} = R_{C2} = 1{,}2\ k\Omega$. Determinar A_{V1}, A_{V2}, y A_V.

10-62. A la cascada del Prob. 10-61 se le añade una tercera etapa, y emplea el transistor A polarizado a $I_{CQ} = 2\ mA$. La resistencia del colector es $0{,}6\ k\Omega$.

(*a*) Determinar A_V del amplificador suponiendo que esta etapa sigue a las dos etapas anteriores.

(*b*) Repetir (*a*) suponiendo que esta etapa preceda a las dos del Prob. 10-61.

(*c*) Repetir (*a*) suponiendo que esta etapa se sitúe entre las dos etapas del Prob. 10-61.



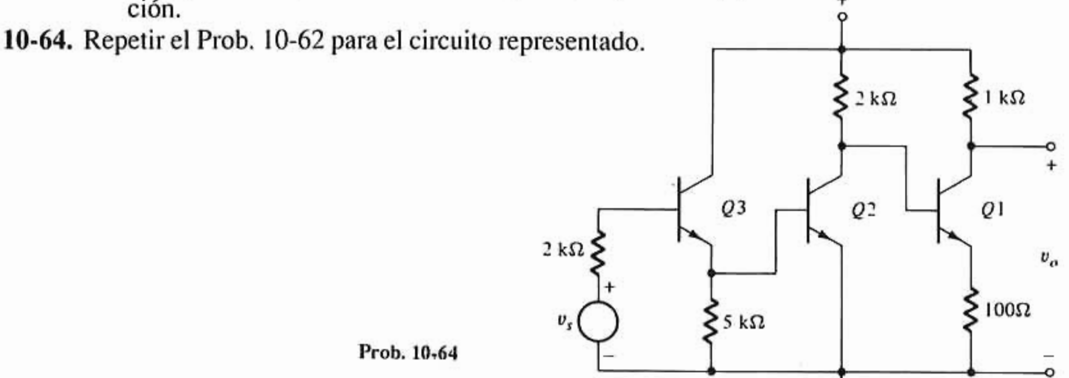
Prob. 10-62

10-63. Las etapas del amplificador del Ejemplo 10-7 se conectan como queda indicado.

(*a*) Determinar la ganancia global A_V.

(*b*) Comparar la respuesta de (*a*) con A_V del ejemplo 10-7 y justificar verbalmente esta comparación.

10-64. Repetir el Prob. 10-62 para el circuito representado.



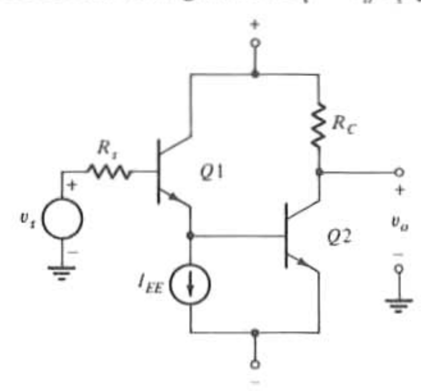
Prob. 10-64

10-65. La fuente de señal y la resistencia de fuente del Ejemplo 10-7 excitan una sola etapa en emisor común empleando $Q2$.

(*a*) Determinar el valor de R_C necesario para tener la misma ganancia global que en el Ejemplo 10-7.

(*b*) ¿Cuál es la tensión de alimentación mínima necesaria si se emplea el valor de R_C de (*a*)?

10-66. En el amplificador representado se emplea la combinación Colector común-Emisor común de la Fig. 10-34*b*. Tanto $Q1$ como $Q2$ tienen $\beta_F = 150$ y $V_A = 130\ V$, estando polarizados a $I_{C1Q} = 100$ μA e $I_{C2Q} = 100\ \mu A$. Determinar la ganancia $A_V = V_o/V_s$, para $R_s = 50\ k\Omega$ y $R_C = 250\ k\Omega$.



Prob. 10-66

10-67. Se conectan en cascada dos etapas en base común, usando ambas el transistor C polarizado a I_{CQ} = 0,5 mA. El circuito está excitado por una fuente de señal de 50Ω y $R_{C1} = R_{C2} = 5\ k\Omega$. Determinar:

(*a*) Las ganancias de las etapas individuales.

(*b*) La ganancia de la cascada.

10-68. Para cada transistor de un amplificador cascodo se usa un transistor C, polarizado cada una a 0,2 mA, estando el conjunto excitado por una fuente con $R_s = 1\ k\Omega$, siendo $R_C = 5\ k\Omega$.

(*a*) Determinar A_V.

(*b*) ¿Cuál es la variación en porcentaje de A_V si R_C varía en ±20%?

(*c*) Repetir (*b*) suponiendo que R_s varíe en ±10%.

10-69. Comprobar que en el circuito representado:

$$(a)\quad A_{V1} = \frac{V_{o1}}{V_s} \simeq \frac{g_{m1}\,\beta_o\,R_S}{1 + g_{m1}\,\beta_o\,R_S}$$

$$(b)\quad A_{V2} = \frac{V_{o2}}{V_s} \simeq \frac{g_{m1}\,\beta_o(R_S + R_C)}{1 + g_m\,\beta_o\,R_S}$$

Suponer $R_D \gg r_\pi$, $r_d \gg r_\pi$, $\beta_o \gg 1$, y $\mu \gg 1$.

Prob. 10-69

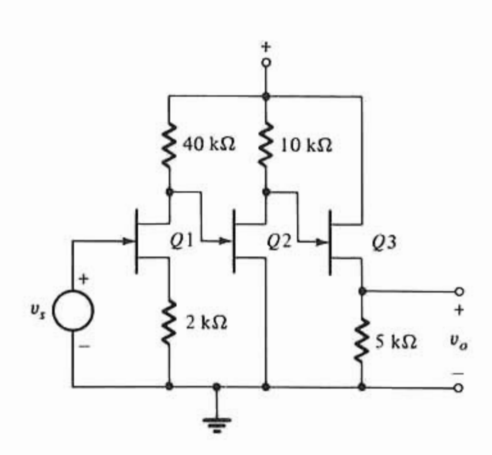
10-70. Se emplea un par Darlington (Fig. 10-34*a*) como seguidor de emisor, con $R_E = 500\Omega$ excitado por una fuente de 50 $k\Omega$. Se emplea el transistor *B*. *Q*2 está polarizado a 1,0 *mA* y *Q*1 a 15 μA. Hallar A_V, R_o y R_i.

10-71. Los FETs de unión *Q*1, *Q*2 y *Q*3 son idénticos y sus parámetros son los dados en el Prob. 10-57. Determinar:

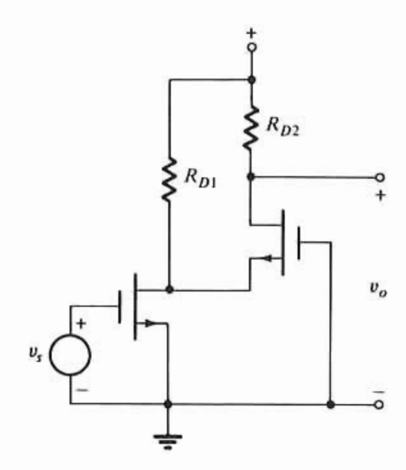
(*a*) La ganancia de cada etapa.

(*b*) La ganancia global V_o/V_s .

(*c*) Las resistencias de salida R_o y R'_o.



Prob. 10-71



Prob. 10-72

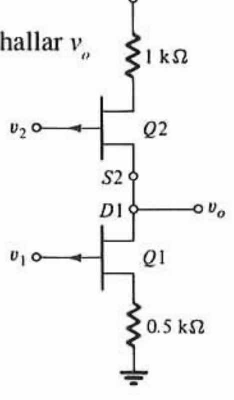
10-72. Deducir una expresión de V_o/V_s para el amplificador cascodo representado.

10-73. El transistor *Q*1 tiene $R_{d1} = 10\ k\Omega$ y $g_{m1} = 3\ m\Omega$. *Q*2 tiene $r_{d2} = 15\ k\Omega$ y $g_{m2} = 2\ m\mho$

(*a*) Hallar la ganancia V_O/V_2 para $V_1 = 0$

(*b*) Hallar la ganancia V_O/V_1 para $V_2 = 0$.

(*c*) Siendo $v_1 = 5$ sen ω*t*, y $v_2 = -\ 2{,}5$ sen ω*t*, hallar v_o



Prob. 10-73

10-74. El amplificador diferencial de la Fig. 10-36 usa el transistor *C* polarizado a $I_{CQ} = 100\ \mu A$. Determinar R_C y R_E de forma que $|A_{DM}| = 500$ y la Relación de Rechazo de Modo Común (CMRR) = 80 *dB*.

10-75. Las entradas al amplificador diferencial del Prob. 10-74 son:

$$v_1 = 15 \text{ sen } 120\ \pi t + 5 \text{ sen } 2\pi \times 10^3 t \text{ mV}$$

$$v_2 = 15 \text{ sen } 120\ \pi t - 5 \text{ sen } 2\pi \times 10^3 t \text{ mV}$$

La señal de 60 *Hz* representa una interferencia y la de 1 *kHz* es la que debe ser procesada:

(a) Determinar $v_{o1}(t)$.

(b) Determinar $v_{o2}(t)$.

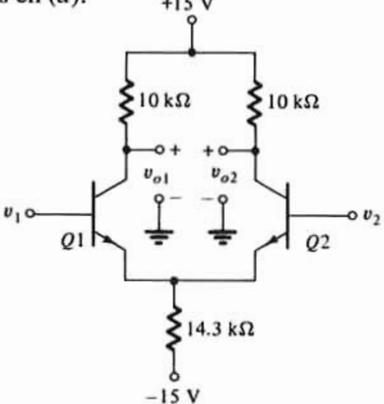
10-76. En el circuito representado, para $Q1$ y $Q2$ se emplea el transistor C.

(a) Siendo $v_1 = v_2 = 0$, determinar las corrientes de polarización I_{CQ} e I_{BQ}.

(b) Hallar v_{o1} y v_{o2} para las condiciones en (a).

(c) Calcular A_{DM}, A_{CM} y la CMRR.

(d) Determinar R_{id} y R_{ic}.



Prob. 10-76

10-77. La resistencia de 14,3 $k\Omega$ del Prob. 10-76 se sustituye por una fuente de corriente para establecer las mismas corrientes de polarización que en dicho problema. Para la fuente se emplea el transistor C salvo que $V_A = 130\ V$.

(a) Diseñar la fuente de corriente.

(b) ¿Cuáles son los nuevos valores de A_{DM} y de CMRR?

10-78. La etapa diferencial de la Fig. 10-3 tiene unos valores dados de A_{DM} y de CMRR.

(a) Determinar v_{o1} y v_{o2} para $v_1 = V_s$ y $v_2 = 0$.

(b) Determinar v_{o1} y v_{o2} para $v_1 = 0$ y $v_2 = V_s$.

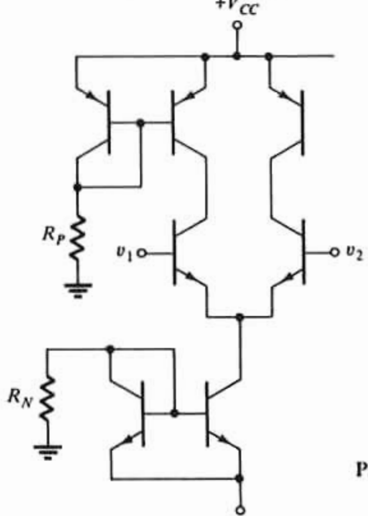
10-79. (a) Demostrar que para la etapa diferencial integrada representada

$$|A_{DM}| = \left(\frac{V_T}{V_{An}} + \frac{V_T}{V_{Ap}}\right)^{-1}$$

donde V_{An} y V_{Ap} son las tensiones Early de los transistores *npn* y *pnp* respectivamente.

(b) Dado $V_{An} = 120\ V$, y $V_{Ap} = 50\ V$, calcular $|A_{DM}|$.

(c) La variación de la corriente de polarización ¿Altera el valor de A_{DM}? Explíquese brevemente.



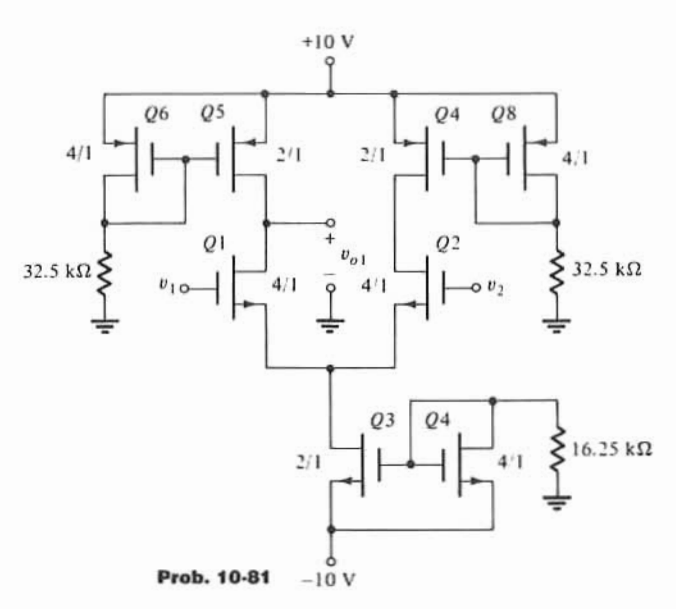
Prob. 10-79

10-80. En el circuito del Prob. 10-79 calcular su CMRR y A_{CM} dados $V_{CC} = 15\ V$, $R_p = 55{,}5\ k\Omega$, $V_{EE} = 15\ V$, y $R_N = 28\ k\Omega$. Los transistores *npn* tienen $\beta_F = \beta_o = 200$, y los *pnp* tienen $\beta_F = \beta_o = 50$. Las tensiones Early están dadas en el Prob. 10-79.

10-81. El circuito representado corresponde a una etapa diferencial CMOS en la que la relación de aspecto *W/L* está indicada en la figura junto a los elementos. Los NMOS tienen $k = 25\ \mu A/V^2$, $V_T = 1{,}5\ V$, y $V_A = 1/\lambda = 50\ V$, y los PMOS tienen $k = 12{,}5\ \mu A/V^2$, $V_T = -1{,}5\ V$, y $V_A = 1/\lambda = 100\ V$.

(*a*) Determinar las corrientes de drenaje de polarización en *Q*3, *Q*5 y *Q*7.

(*b*) Calcular A_D y la CMRR.



Prob. 10-81

10-82. Los FETs de un par acoplado en fuente tienen $g_m = 1\ m\mho$, y $r_d = 50\ k\Omega$. Están polarizados por una fuente de corriente con resistencia de salida de 40 $k\Omega$. Las resistencias de drenaje $R_D = 30\ k\Omega$. Determinar A_{DM}, A_{CM} y la CMRR.

10-83. Comprobar la Ecuación (10-110).

10-84. En el circuito de la Fig. 10-46, $v_1, v_2, \ldots v_n = 1\ V$, y $R_2 = 2R_1$, $R_3 = 2R_2, \ldots R_n = 2R_{n-1}$, y $R' = R_1/2$.

(*a*) Determinar v_o al tender *n* a infinito.

(*b*) Calcular v_o si $n = 4$

10-85. El circuito de la Fig. 10-46 se ha diseñado con $R_1 = R' = 1\ k\Omega$, y $R_2 = 2R_1$, $R_3 = 2R_2, \ldots R_n = 2R_{n-1}$. Las tensiones de entrada $v_1, v_2, \ldots v_n$ pueden ser 0 o 10 *V*.

(*a*) Para $n = 4$ ¿Cuál es la tensión de salida mínima si por lo menos una de las entradas no es cero?

(*b*) Para $n = 4$ ¿Cuál es la tensión de salida máxima?

10-86. (*a*) Determinar la tensión de salida mínima en el supuesto de que por lo menos una de las entradas no sea cero, y en las condiciones del Prob. 10-85. La máxima resistencia disponible es de 55 $k\Omega$.

(*b*) ¿Qué nuevo valor de *n* se puede tomar si R_1 se reduce a 100 Ω?

10-87. Deseamos emplear el circuito de la Fig. 10-46 para obtener el promedio de la clase en un examen. El número de alumnos es 25 y todas las calificaciones son números enteros comprendidos entre 1 y 10. La máxima tensión de salida es de 10 *V*, y la resistencia mínima que se puede utilizar es de 1 $k\Omega$. El valor mínimo de la tensión de entrada que se puede utilizar es de 250 μV.

(*a*) Diseñar el circuito.

(*b*) Comprobar el diseño con la siguiente distribución:

Número de estudiantes	0	1	0	2	1	4	7	4	3	3
Calificaciones del examen	1	2	3	4	5	6	7	8	9	10

10-88. El Amp-Op de la Fig. 10-46 tiene una ganancia finita A_v, pero por otra parte es ideal.
(*a*) Determinar la función de transferencia i_L/v_s.
(*b*) Si $R_1 = 10\ k\Omega$. ¿Qué valor de A_v se debe emplear si el resultado de (*a*) ha de estar dentro del porcentaje dado en la Ec. 10-115?

10-89. Repetir el Prob. 10-88 para el circuito de la Fig. 10-48*b*. Hacer $R_2 = 10\ k\Omega$ y comparar el resultado con la Ec. (10-116).

10-90. Repetir el Prob. 10-88 para el integrador de la Fig. 10-50 y descrito por la Ec. (10-117).

CAPÍTULO 11

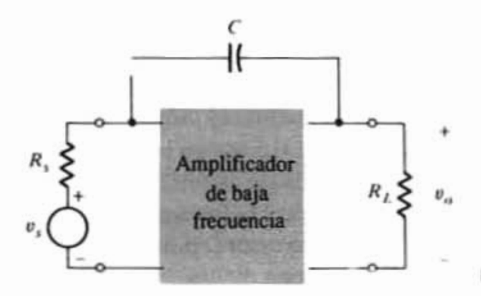
Nota: En muchos de los diagramas de circuitos correspondientes a los problemas de este capítulo no figuran las disposiciones de polarización. Se supone que los dispositivos están polarizados convenientemente y que los componentes empleados para tal polarización (no representados) tienen un efecto despreciable sobre el funcionamiento del circuito.

En los problemas que siguen se emplean frecuentemente los siguientes transistores

	Transistores				
	A	*B*	*C*	*D*	*E*
Tipo	*npn*	*npn*	*npn*	*pnp*	*pnp*
β_o	125	150	200	150	50
β_F	125	150	200	150	50
V_A, V	∞	100	∞	∞	50
f_T, MHz	300	400	400	100	10
C_μ, pF	0.5	0.3	0.3	0.5	0.5

11-1. Se excita un amplificador con una señal $v_i = 0{,}1$ sen $\omega_o t + 0{,}1$ sen $2\omega_o t$. La salida v_o sin distorsión en frecuencia viene dada en la Fig. 11-1 (curva 1)
(*a*) Si hay distorsión de amplitud y de fase, $v_o = 1{,}0$ sen $\omega_o t + 0{,}75$ sen $(2\omega_o t - 30^\circ)$. Dibujar un ciclo de v_o y compárese con la onda no distorsionada.
(*b*) Repetir (*a*) para $v_o = 1{,}0$ sen $(\omega_o t - 15^\circ) + 1{,}0$ sen $(2\omega_o t - 30^\circ)$ Coméntese el resultado.

11-2. Calcular, para el circuito representado, la frecuencia superior de media potencia suponiendo que el amplificador de baja frecuencia es una etapa en emisor común.



Prob. 11-2

11-3. Repetir el Prob. 11-2 suponiendo que el amplificador de baja frecuencia es un seguidor de emisor.

11-4. Determinar, para el circuito representado, la frecuencia inferior de media potencia suponiendo que el amplificador de baja frecuencia es un seguidor de fuente.



Prob. 11-4

11-5. Repetir el problema anterior para una etapa en fuente común con resistencia de fuente.

11-6. La entrada en el Prob. 11-5 es una onda cuadrada.

(*a*) Determinar la pendiente en la onda de salida.

(*b*) Repetir (*a*) para una etapa única en fuente común.

11-7. El constructor de un transistor facilita los siguientes datos: A baja frecuencia $\beta_o = 160$; a $f = 50$ MHz, $|\beta(j\omega)| = 8$. Hallar f_T y f_β.

11-8. Un fabricante de semiconductores indica que con una corriente de polarización $I_C = 1\ mA$, un transistor en particular tiene $\beta_o = 120$. Con la misma corriente de polarización y a la frecuencia de 25 MHz, $|\beta(j\omega)| = 10$. Determinar C_π en el modelo híbrido-π a $I_C = 1 mA$ suponiendo $C_\mu = 1\ pF$.

11-9. La función de transferencia de un amplificador es $(A_o/(1+s/\omega_o)$.

(*a*) Demostrar que la respuesta a un escalón unidad de dos de tales amplificadores en cascada (no interactiva) es

$$v_o(t) = A_o^2 [1 - (1 + x) \epsilon^{-x}]$$

donde $x \equiv \omega_o t$

(*b*) Demostrar que con $\omega_o t \ll 1$, la salida varía cuadráticamente con el tiempo.

11-10. Demostrar que la ganancia de corriente en cortocircuito y base común $\alpha(s)$ puede expresarse

$$\alpha(s) = \frac{\alpha_o}{1 + s/\omega_\alpha}$$

donde $\alpha_o = \beta_o/(1 + \beta_o)$ y $\omega_\alpha \simeq \omega_\beta/(1 - \alpha_o)$

11-11. Un amplificador de dos polos tiene la función de transferencia de la Ec. (11-22) con $a_3 = 0$.

(*a*) Estimar las frecuencias de polos.

(*b*) Definiendo $n \equiv a_1^2/a_2$ como factor de separación aproximada de los polos, demostrar que con $n>10$ la separación real de ellos es por lo menos de tres octavas.

11-12. (*a*) Determinar la impedancia de salida en alta frecuencia $Z_o(s)$ de una etapa en emisor común. Supóngase que r_o tiende a infinito, pero utilizar el modelo híbrido-π.

(*b*) Repetir (*a*) para $r_o<\infty$.

11-13. (*a*) En un circuito en emisor común y polarizado a $I_{CQ} = 1mA$, se emplea el transistor *A*. Siendo R_s=300 Ω y $R_C = 1{,}2\ k\Omega$ determinar la ganancia a mitad de la banda y la frecuencia superior ω_H a media potencia.

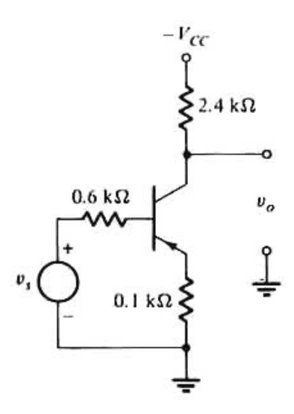
(*b*) ¿Cuál es la impedancia de entrada a $s = j\omega_H$?

(*Nota: Este es el circuito del Prob. 10-35.*)

11-14. Un transistor con $g_m = 4\ m℧$, $C_\pi = C_\mu = 1\ pF$ y $\beta_o = 120$ se emplea en la configuración en colector común. Demostrar que Z_o tiene un funcionamiento inductivo para $125\Omega<R_s<30k\Omega$.

11-15. Se utiliza un transistor *C* polarizado a $I_{CQ} = 0{,}5\ mA$ en la configuración en emisor común, excitado por una fuente de tensión con resistencia de fuente de 2 *k*Ω. La resistencia de colector es de 6 *k*Ω. Determinar la ganancia a mitad de la banda y la frecuencia superior a media potencia.

11-16. En el circuito representado se emplea el transistor *D* polarizado a - 2,5 *mA*. Determinar la ganancia a mitad de la banda y la frecuencia superior a media potencia.



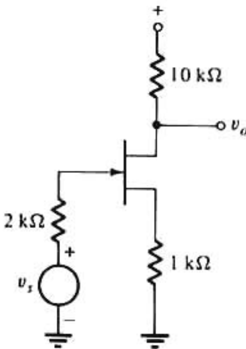
Prob. 11-16

11-17. Se emplea el transistor C polarizado a I_{CQ} = 1,0 mA, en la configuración en base común, con R_C = 5 $k\Omega$. La señal aplicada es $v_s(t)$ = 2,0 sen ωt mV y R_s = 50 Ω. Determinar A_{VO} y el valor aproximado de f_H.

11-18. Un JFET con $\mu = 50$ y $r_d = 10$ $k\Omega$ se emplea en un seguidor de fuente con $R_S = 1$ $k\Omega$. Las capacidades del JFET son: $C_{gs} = 5$ pF, $C_{gd} = 2$ pF y $C_{ds} = 2$ pF. Determinar A_{VO} y el valor aproximado de f_H siendo $R_s = 5$ $k\Omega$.

11-19. (*a*) Determinar Z_o del seguidor de fuente del Prob. 11-18 en función de R_s.
(*b*) ¿Puede Z_o mostrarse inductiva en alguna zona de frecuencias?

11-20. En el circuito representado se utiliza el JFET del Prob. 11-18. Determinar A_{Vo} y el valor aproximado de f_H.



Prob. 11-20

11-21. El transistor A polarizado a $I_{CQ} = 0{,}2$ mA, se emplea en la configuración en emisor común con resistencia de emisor. Teniendo $R_s = 2$ $k\Omega$, $R_E = 0{,}1$ $k\Omega$ y $R_C = 5$ $k\Omega$, determinar A_{VO} y f_H. (*Nota*: Este es el circuito del Prob. 10-43.)

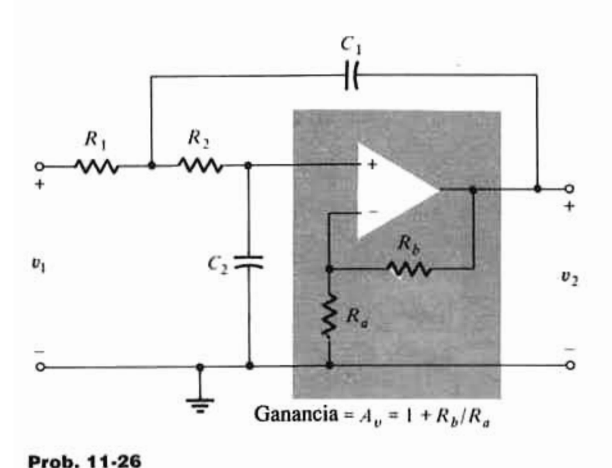
11-22. Una etapa en emisor común utiliza el transistor cuyos parámetros están dados en la Fig. 11-19. Determinar A_{VO} y f_H para $R_C = 1{,}5$ $k\Omega$ y $R_s = 0{,}6$ $k\Omega$.

11-23. Comprobar las Ecuaciones (11-47) y (11-48).

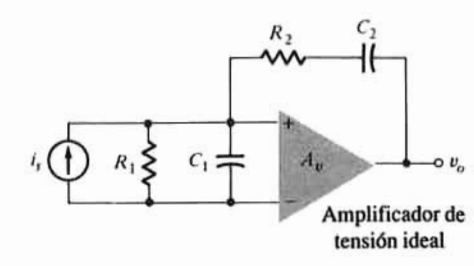
11-24. Comprobar las Ecuaciones (11-53), (11-54) y (11-55).

11-25. Comprobar las ecuaciones (11-56) y (11-57).

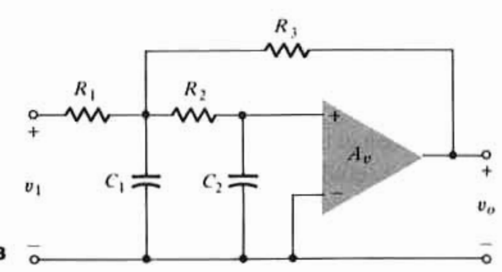
11-26. (*a*) Determinar los coeficientes a_1 y a_2 para el circuito representado, empleando el método de la constante de tiempo.
(*b*) Sugerir la posición de los polos si $R_1 = R_2 = R$, $C_1 = C_2 = C$, y $A_v = 2$.
(*c*) Comparar los resultados de (*b*) con los polos reales obtenidos de las raíces de la ecuación cuadrática.
(*d*) Comentar la validez de la aproximación de polo dominante.



Prob. 11-26



Prob. 11-27



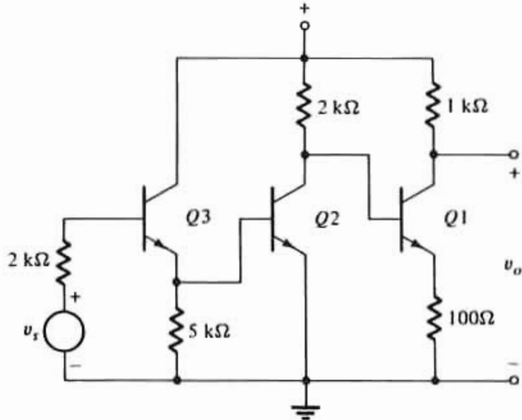
Prob. 11-28

11-27. Repetir el problema anterior para el circuito representado.

11-28. (*a*) Repetir el Prob. 11-26, parte (*a*) para el circuito representado. Supóngase que A_v es un amplificador de tensión ideal.
(*b*) Señalar a estima los polos para $R_1 = R_2 = R_3 = R$, $C_1 = C_2$, $A_v = 2$.
(*c*) Repetir el Prob. 11-26, partes (*c*) y (*d*).

11-29. Cada etapa de una configuración *CE-CE* emplea el transistor *A*, polarizada cada una a $I_{CQ} = 1\ mA$. Los valores de los componentes son $R_s = 0{,}6\ k\Omega$, $R_{C1} = R_{C2} = 1{,}2\ k\Omega$.
(*a*) Determinar V_{VO} y el valor aproximado de f_H.
(*b*) Estimar la localización del polo no dominante más próximo.

11-30. (*a*) El circuito representado usa los transistores descritos en el Ejemplo 10-7. Suponiendo que cada transistor tiene $f_T = 200$ MHz y $C_u = 1$ pF, determinar A_{VO} y el valor aproximado de f_H.
(*b*) Estimar la localización del polo no dominante más próximo. (*Nota*: Supóngase que la respuesta en frecuencia del seguidor de emisor es suficientemente alta para poder despreciar sus efectos sobre el valor de f_H de la cascada.)

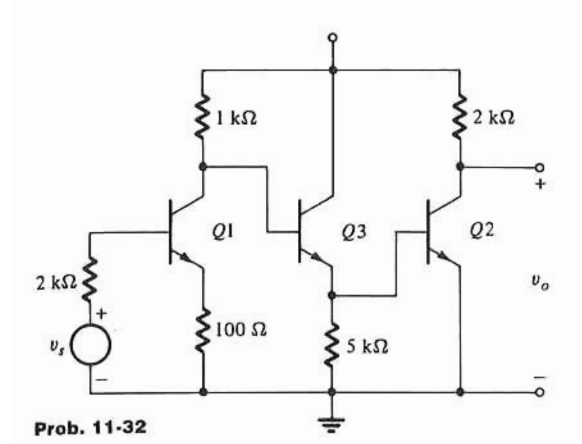


Prob. 11-30

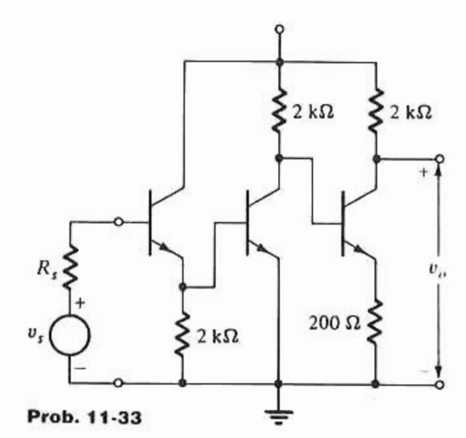
11-31. Los transistores del Ejemplo 10-7 tienen $f_T = 200$ MHz y $C_\mu = 1$ pF.
(*a*) Estimar el valor de f_H para la cascada.

(*b*) Compárese este resultado con los del amplificador del Prob. 10-30.
(*c*) Determinar la situación aproximada del polo no dominante más próximo. (*Nota*: Supóngase que la respuesta en frecuencia del seguidor de emisor ejerce un efecto despreciable en la respuesta en frecuencia de la cascada.)

11-32. Repetir el Prob. 11-31 para el circuito representado.



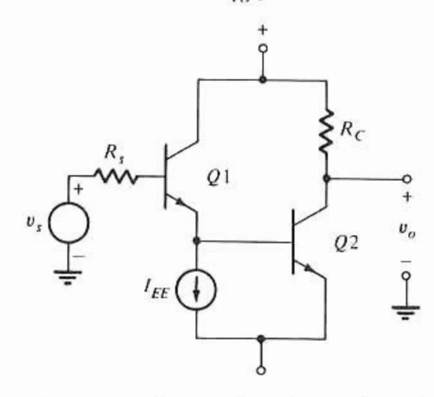
Prob. 11-32



Prob. 11-33

11-33. Los transistores del circuito representado son idénticos, con $r_\pi = 1{,}5\ k\Omega$, $\beta_o = 150$, $C_\pi = 50$ pF y $C_\mu = 1{,}0$ pF.
(*a*) Determinar A_{VO} y el valor aproximado de f_H, dado $R_s = 20\ k\Omega$. (*Nota*: Supóngase que la respuesta en frecuencia de la etapa en emisor común es bastante alta para que no ejerza ningún efecto sobre la respuesta en frecuencia de la cascada.)
(*b*) Estimar la situación del polo no dominante más próximo.

11-34. En el circuito representado $Q1$ y $Q2$ tienen $\beta_F = 150$, $V_A = 120\ V$, $f_T = 400$ MHz y $C_\mu = 0{,}5$ pF, a la corriente de polarización $I_{CQ} = 100\ \mu A$.
(*a*) Determinar el valor aproximado de f_H para $R_s = 50\ k\Omega$ y $R_C = 250\ k\Omega$.
(*b*) Estimar la situación del polo no dominante más próximo.
(*Nota*: En el Prob. 10-66 se calculó A_{VO} para este circuito.)



Prob. 11-34

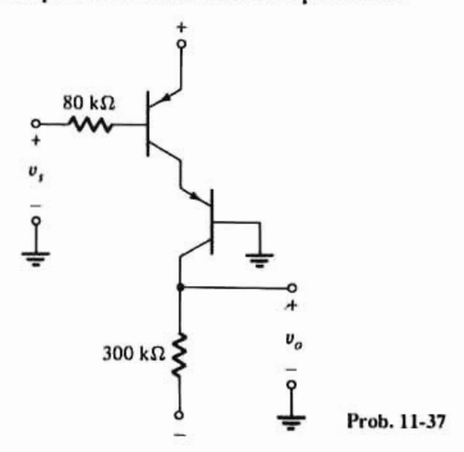
11-35. El circuito del problema anterior emplea el transistor *B*, con $Q1$ polarizado a $75\mu A$, y $Q2$ a 250 μA. Determinar A_{VO} y el valor aproximado de f_H para $R_s = 500\ k\Omega$ y $R_C = 500\ k\Omega$.

11-36. En cada etapa de un amplificador cascodo se emplea el transistor *C*, estando cada una polarizada a $I_{CQ} = 0{,}2\ mA$.
(*a*) Siendo $R_s = 1\ k\Omega$ y $R_{C1} = R_{C2} = 5\ k\Omega$ determinar el valor aproximado de f_H.

(*b*) Compárese el resultado de (*a*) con el de una etapa en emisor común con transistor *C* polarizado a $I_{CQ} = 0{,}2\ mA$ con $R_s = 1\ k\Omega$ y $R_C = 5\ k\Omega$.

11-37. (*a*) En el circuito cascodo integrdo representado, se usan transistores *B* y *E* polarizados a $|I_{CQ}| = 125\ \mu A$. Determinar A_{VO} y el valor aproximado de f_H.

(*b*) Estimar la frecuencia del polo no dominante más próximo.



Prob. 11-37

11-38. Una cascada Fuente común-Fuente común, emplea JFETs idénticos cuyos parámetros son: $g_m = 1\ m℧$, $R_d = 40\ k\Omega$, $C_{gs} = 5$ pF, $C_{gd} = 1$ pF y $C_{ds} = 1$ pF.

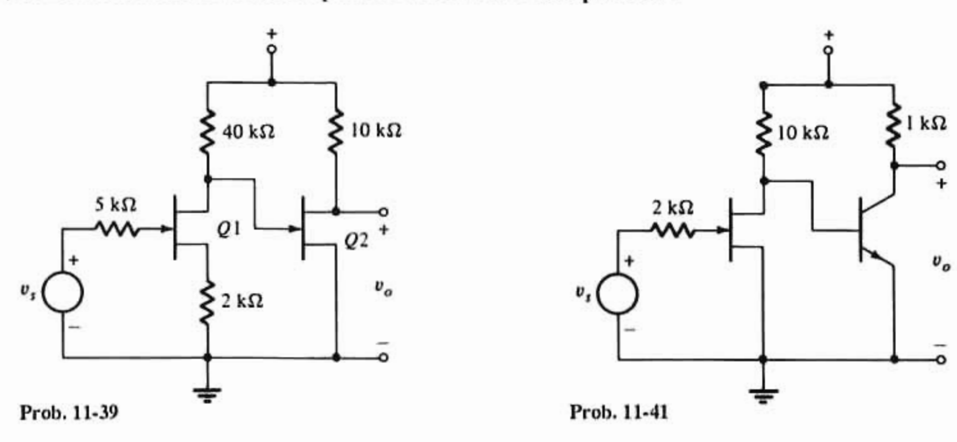
(*a*) Determinar A_{VO} y el valor aproximado de f_H con: $R_s = 5\ k\Omega$, $R_{D1} = 40\ k\Omega$ y $R_{D2} = 10\ k\Omega$.

(*b*) Estimar la frecuencia del polo no dominante más próximo.

11-39. Los FETs del circuito representado tienen los parámetros dados en el problema anterior.

(*a*) Determinar A_{VO} y el valor aproximado de f_H.

(*b*) Estimar la frecuencia del polo no dominante más próximo.



Prob. 11-39

Prob. 11-41

11-40. Se intercambian las etapas de la cascada del Prob. 11-39. Repetir el problema.

11-41. El JFET del circuito representado tiene $g_m = 2\ m℧$, $r_d = 30\ k\Omega$, $C_{gs} = 10$ pF, $C_{gd} = 5$ pF y $C_{ds} = 5$ pF. Los parámetros del BJT son: $R_\pi = 2{,}5\ k\Omega$, $\beta_o = 125$, $C_\pi = 100$ pF y $C_\mu = 1{,}5$ pF.

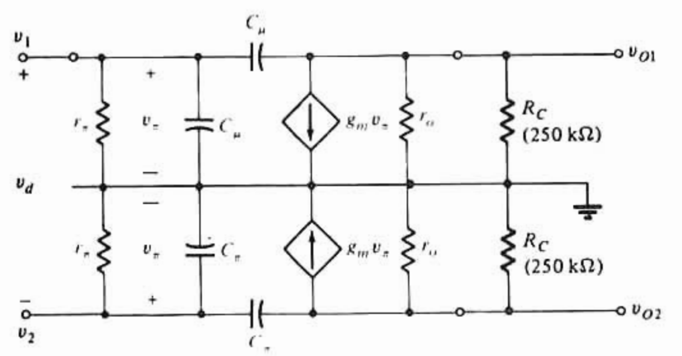
(*a*) Determinar A_{VO} y el valor aproximado de f_H.

(*b*) Estimar la frecuencia del polo no dominante más próximo.

11-42. Repetir el Prob. anterior para el caso en que se intercambien el BJT y el FET.

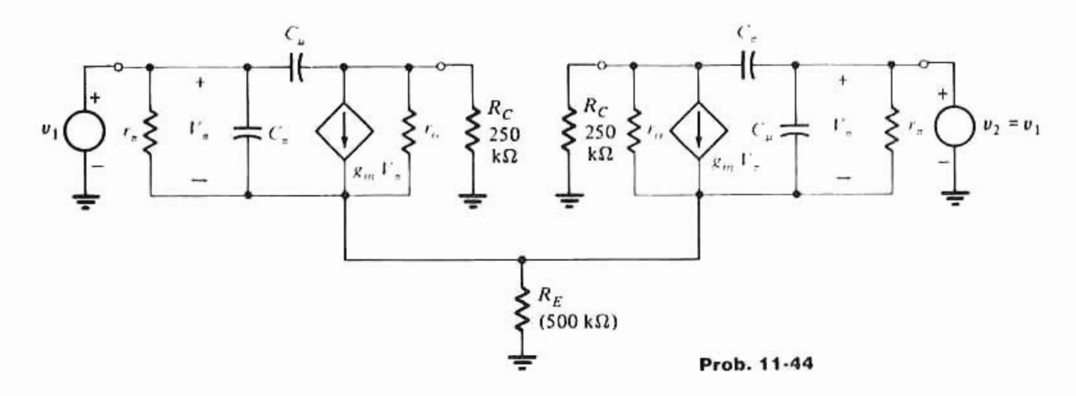
11-43. (*a*) La figura representa el modelo de un amplificador diferencial con una señal diferencial v_d aplicada. Dado $\beta_o = 125$, $r_\pi = 25\ k\Omega$, $C_\pi = 5$ pF, $C_\mu = 1$ pF y, $r_o = 1\ M\Omega$, determinar el valor

aproximado de f_H.
(*b*) Estimar la frecuencia del polo no dominante más próximo.



Prob. 11-43

11-44. La figura representa el modelo de alta frecuencia de la etapa diferencial del Prob. 11-43 con una señal en modo común aplicada.
(*a*) Determinar el valor aproximado de f_H.
(*b*) Estimar la frecuencia del polo no dominante más próximo.



Prob. 11-44

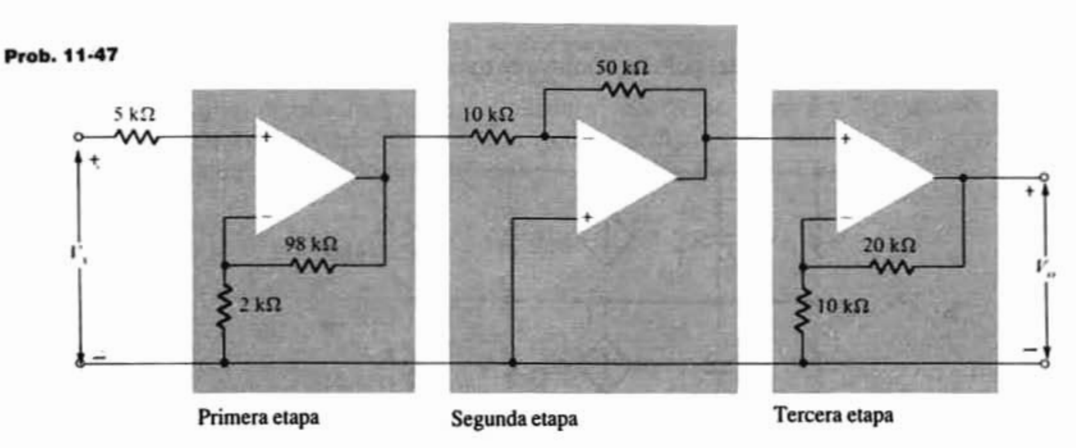
11-45 Las ganancias diferencial y de modo común de un amplificador diferencial pueden tomarse aproximadamente como

$$A_{DM} = \frac{-2000}{1 + s/2\pi \times 10^6}; \qquad A_{CM} = \frac{-0.5}{1 + s/2\pi \times 10^8}$$

(*a*) Esbozar el diagrama asintótico de Bode de la Relación de Rechazo del modo común (CMRR).
(*b*) ¿A qué frecuencia la CMRR es la mitad de su valor a baja frecuencia?

11-46. Comprobar las Ecuaciones (11-73) y (11-74).

11-47. Los Amp-Op del circuito representado son idénticos, teniendo $A_{vo} = 10^5$ y $f_b = 10$ Hz. En todos los demás aspectos los Amp-Op son ideales.
(*a*) Determinar la ganancia en baja frecuencia y el ancho de banda de cada etapa.
(*b*) Valiéndose de los resultados de (*a*) escribir una ecuación de $A_{VH}(s)$ para la cascada.
(*c*) Trazar el diagrama asintótico de Bode de la función de (*b*) y estimar f_H.
(*d*) Mediante la aproximación por polo dominante, determinar f_H y compararlo con el resultado de (*c*), comentando la comparación.



11-48. Razones tecnológicas y de fabricación obligan muchas veces a que la relación entre las resistencias máxima y mínima empleadas en el circuito sea igual o menor que diez.

(*a*) Teniendo en cuenta esta limitación, hallar la ganancia máxima en mitad de la banda que se puede conseguir con un amplificador de tres etapas Amp-Op en cascada, suponiendo que la salida esté desfasada 180° respecto la entrada.

(*b*) Con la limitación citada y suponiendo que las características del Amp-Op sean: A_{vo} = 126 dB y f_H = 5 Hz, hallar el ancho de banda del amplificador obtenido en (*a*).

11-49. Repetir el problema anterior suponiendo que la salida del amplificador y las señales de entrada tengan que estar en fase.

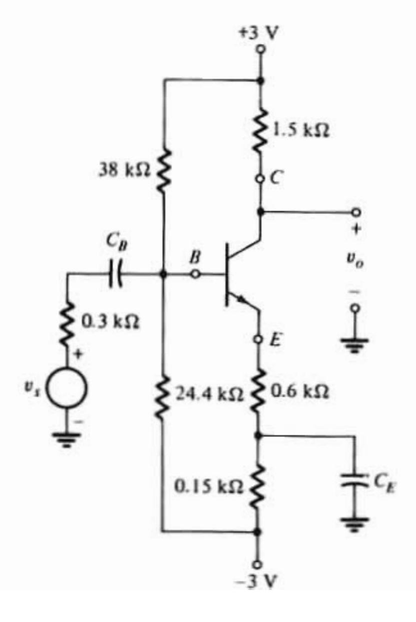
11-50. En el circuito representado se emplea el transistor *C*.

(*a*) Determinar los valores de reposo de I_C y de v_o.

(*b*) Suponiendo que C_E pueda hacerse arbitrariamente grande, determinar C_B de forma que f_L = 20 Hz.

(*c*) Suponiendo que C_B pueda hacerse arbitrariamente grande determinar C_E para f_L = 20 Hz.

(*d*) Elegir C_E y C_B para f_L = 20 Hz, para minimizar la capacidad total. Supóngase que el efecto capacitivo no dominante tiene una frecuencia menor de 2 Hz.



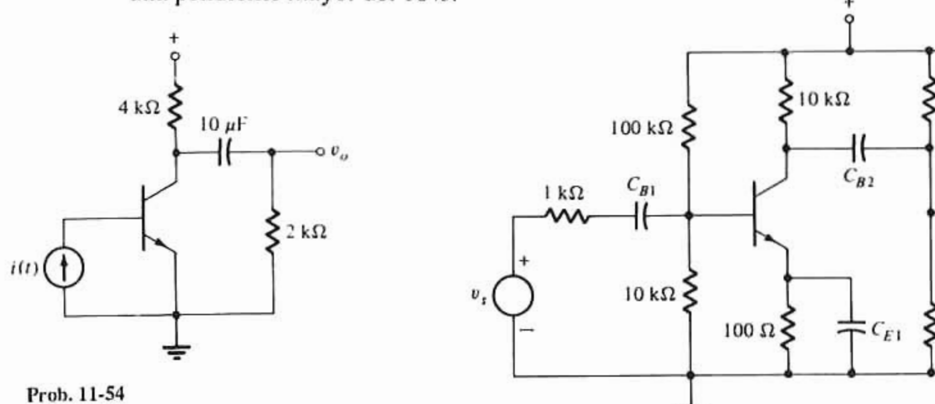
11-51. Comprobar la Ec. (11-81).

11-52. (*a*) Determinar A_{VO} y el valor aproximado de f_H del circuito del Prob. 11-50.
(*b*) Se conecta un condensador C entre B y C. Determinar C para que f_H quede reducida a 20 kHz.
(*c*) Si se aplica $v_s(t) = V_m \text{ sen}(2\pi\times10^3\, t)$ ¿Cuál es la tensión de salida v_o si $V_m = 0{,}1\ V$?
(*d*) ¿Cuánto puede crecer V_m antes de que la etapa acuse distorsión?

11-53. (*a*) Demostrar que la ganancia de una etapa FET con capacidad de paso de fuente C_s es

$$A_{VL}(s) = \frac{A_{VO}}{1 + g_m R_S} \frac{1 + s/\omega_S}{1 + s/\omega_L}$$

donde $A_{VO} = -g_m R_D$, $\omega_s = 1/R_S C_S$, y $\omega_L = (1 + g_m R_S)/R_S C_S$. Suponer $R_S + R_D \ll r_d$.
(*b*) Dados $g_m R_S \ll 1$ y $g_m = 3\ m℧$, determinar C_S de forma que una onda cuadrada de 60 Hz no acuse una pendiente mayor del 10%.



Prob. 11-54

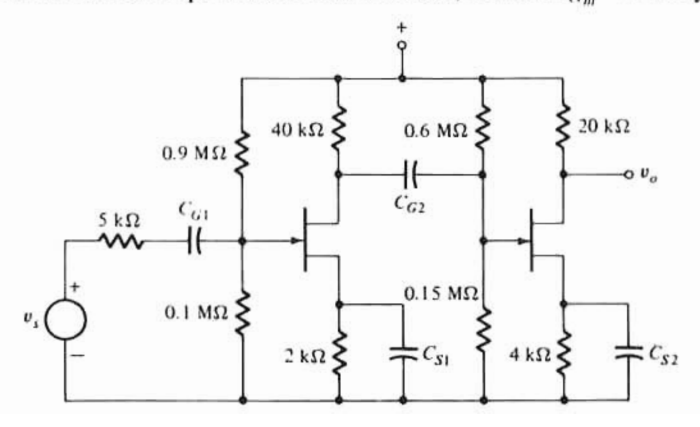
Prob. 11-55

11-54. El transistor empleado tiene $\beta_o = 100$, $r_\pi = 1\ k\Omega$ y $r_o \to \infty$.
(*a*) Determinar el valor de f_L.
(*b*) Dada una onda cuadrada $i(t) = 200$ Hz, determinar la pendiente en porcentaje en la salida.
(*c*) ¿Cuál es la onda cuadrada de menor frecuencia que acuse una pendiente no mayor del 2%?

11-55. Los transistores del circuito representado son idénticos y tienen $r_\pi = 4\ k\Omega$ y $\beta_o = 200$.
(*a*) Determinar f_L de cada etapa suponiendo $C_{B1} = C_{B2} = 1\ \mu F$, y $C_{E1} = C_{E2} = 100\ \mu F$.
(*b*) ¿Cuál es la frecuencia inferior de media potencia de la cascada?
(*c*) Compárese el valor de (*b*) con el de f_H obtenido del diagrama asintótico de Bode de la cascada.

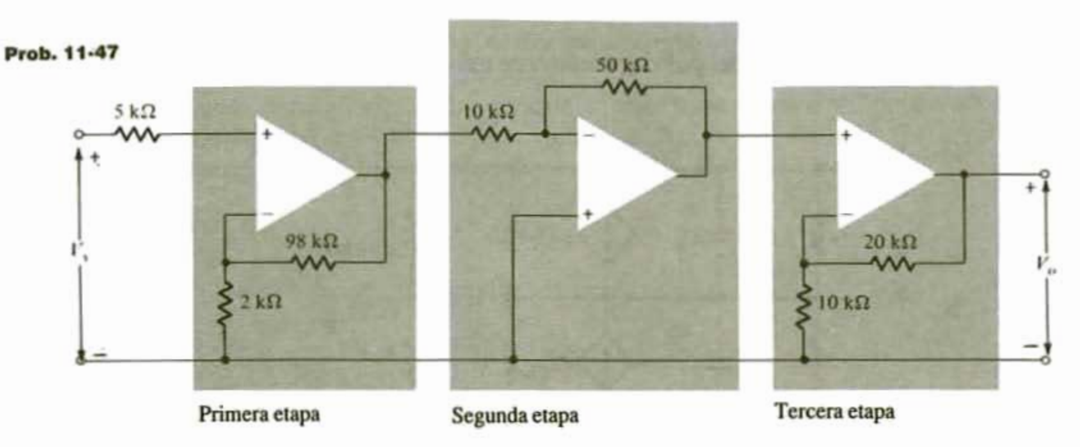
11-56. El circuito del Prob. 11-55 debe tener globalmente una frecuencia inferior de media potencia de 50 Hz. Seleccionar los valores de C_{B1}, C_{B2}, C_{E1} y C_{E2} para minimizar la capacidad total empleada.

11-57. Los JFETs del circuito representado son idénticos, teniendo $g_m = 2\ m℧$ y $r_d = 40\ k\Omega$.



Prob. 11-57

Prob. 11-47



11-48. Razones tecnológicas y de fabricación obligan muchas veces a que la relación entre las resistencias máxima y mínima empleadas en el circuito sea igual o menor que diez.

(*a*) Teniendo en cuenta esta limitación, hallar la ganancia máxima en mitad de la banda que se puede conseguir con un amplificador de tres etapas Amp-Op en cascada, suponiendo que la salida esté desfasada 180° respecto la entrada.

(*b*) Con la limitación citada y suponiendo que las características del Amp-Op sean: A_{vo} = 126 dB y f_H = 5 Hz, hallar el ancho de banda del amplificador obtenido en (*a*).

11-49. Repetir el problema anterior suponiendo que la salida del amplificador y las señales de entrada tengan que estar en fase.

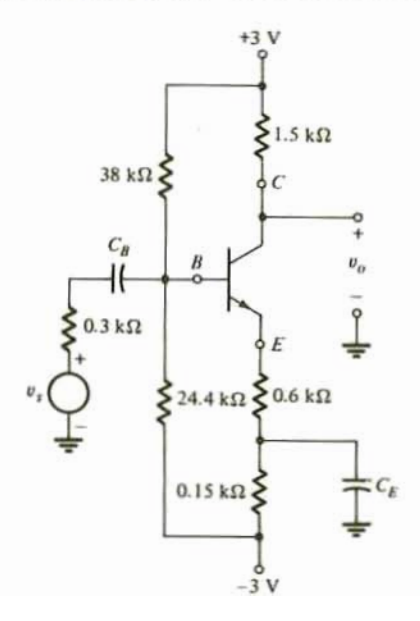
11-50. En el circuito representado se emplea el transistor *C*.

(*a*) Determinar los valores de reposo de I_C y de v_o.

(*b*) Suponiendo que C_E pueda hacerse arbitrariamente grande, determinar C_B de forma que f_L = 20 Hz.

(*c*) Suponiendo que C_B pueda hacerse arbitrariamente grande determinar C_E para f_L = 20 Hz.

(*d*) Elegir C_E y C_B para f_L = 20 Hz, para minimizar la capacidad total. Supóngase que el efecto capacitivo no dominante tiene una frecuencia menor de 2 Hz.



11-51. Comprobar la Ec. (11-81).

11-52. (*a*) Determinar A_{VO} y el valor aproximado de f_H del circuito del Prob. 11-50.

(*b*) Se conecta un condensador C entre B y C. Determinar C para que f_H quede reducida a 20 kHz.

(*c*) Si se aplica $v_s(t) = V_m$ sen$(2\pi\times10^3\ t)$ ¿Cuál es la tensión de salida v_o si $V_m = 0{,}1\ V$?

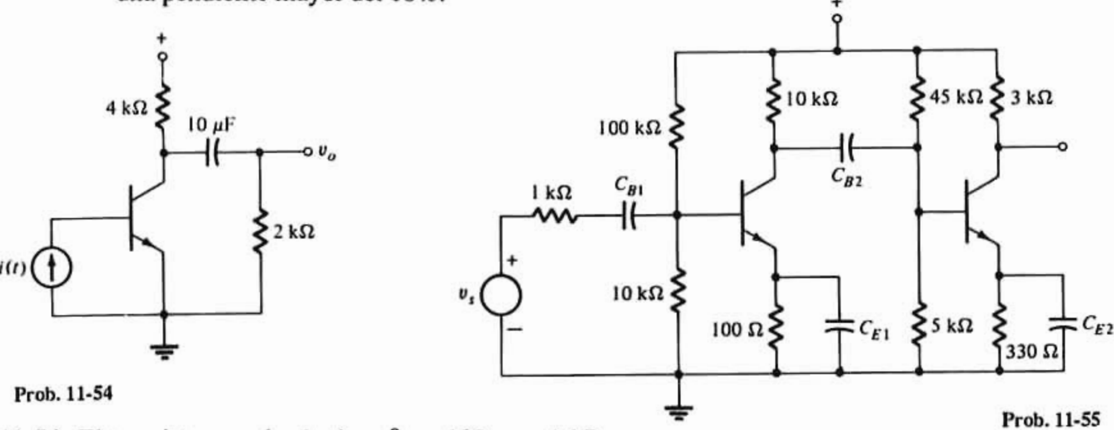
(*d*) ¿Cuánto puede crecer V_m antes de que la etapa acuse distorsión?

11-53. (*a*) Demostrar que la ganancia de una etapa FET con capacidad de paso de fuente C_s es

$$A_{VL}(s) = \frac{A_{VO}}{1 + g_m R_S}\,\frac{1 + s/\omega_S}{1 + s/\omega_L}$$

donde $A_{VO} = -g_m R_D$, $\omega_s = 1/R_S C_S$, y $\omega_L = (1 + g_m R_S)/R_S C_S$. Suponer $R_S + R_D \ll r_d$.

(*b*) Dados $g_m R_S \ll 1$ y $g_m = 3\ m℧$, determinar C_S de forma que una onda cuadrada de 60 Hz no acuse una pendiente mayor del 10%.



Prob. 11-54

Prob. 11-55

11-54. El transistor empleado tiene $\beta_o = 100$, $r_\pi = 1\ k\Omega$ y $r_o \to \infty$.

(*a*) Determinar el valor de f_L.

(*b*) Dada una onda cuadrada $i(t) = 200$ Hz, determinar la pendiente en porcentaje en la salida.

(*c*) ¿Cuál es la onda cuadrada de menor frecuencia que acuse una pendiente no mayor del 2%?

11-55. Los transistores del circuito representado son idénticos y tienen $r_\pi = 4\ k\Omega$ y $\beta_o = 200$.

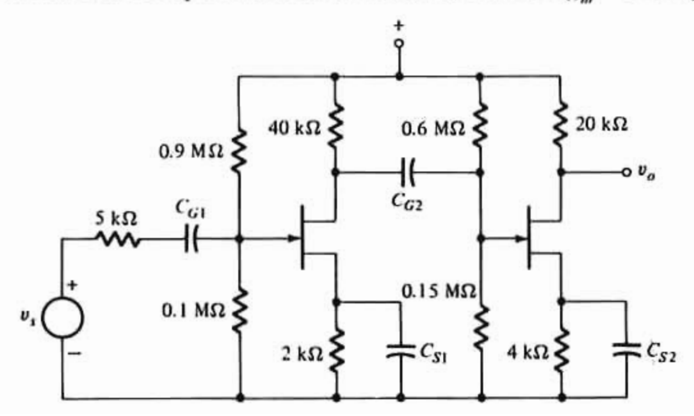
(*a*) Determinar f_L de cada etapa suponiendo $C_{B1} = C_{B2} = 1\ \mu F$, y $C_{E1} = C_{E2} = 100\ \mu F$.

(*b*) ¿Cuál es la frecuencia inferior de media potencia de la cascada?

(*c*) Compárese el valor de (*b*) con el de f_H obtenido del diagrama asintótico de Bode dé la cascada.

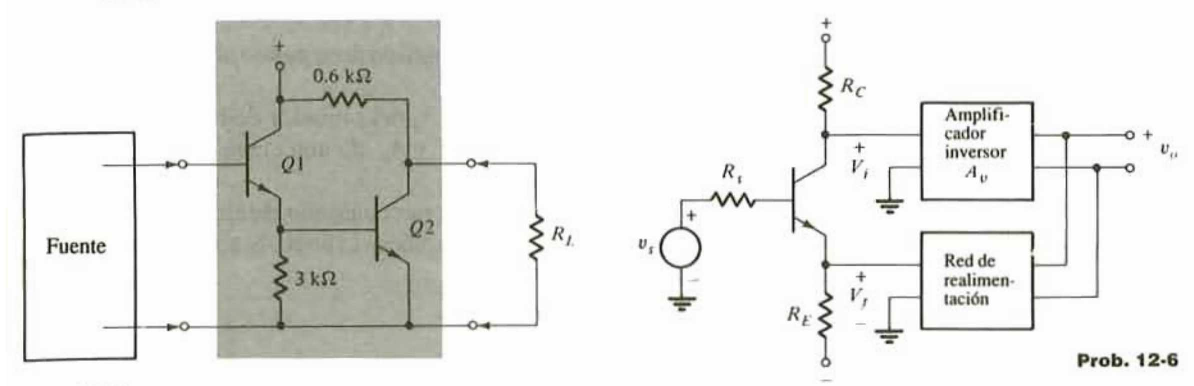
11-56. El circuito del Prob. 11-55 debe tener globalmente una frecuencia inferior de media potencia de 50 Hz. Seleccionar los valores de C_{B1}, C_{B2}, C_{E1} y C_{E2} para minimizar la capacidad total empleada.

11-57. Los JFETs del circuito representado son idénticos, teniendo $g_m = 2\ m℧$ y $r_d = 40\ k\Omega$.



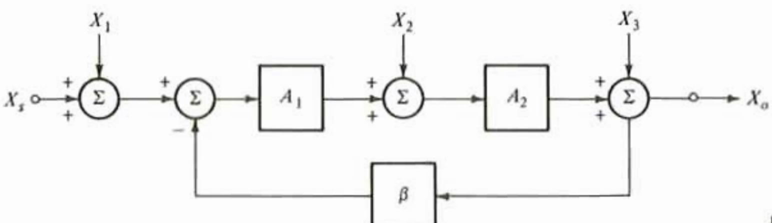
Prob. 11-57

12-5. Repetir el Prob. anterior para el circuito representado. Los transistores son los dados en el Prob. 12-4.



Prob. 12-5

Prob. 12-6



Prob. 12-7

12-6. (*a*) Hallar, para el circuito representado, la componente de señal de la tensión v_i en función de v_s y v_f. Supóngase que el amplificador inversor tiene una resistencia de entrada infinita y una ganancia de tensión $A_v = 4000$. La red de realimentación está caracterizada por $\beta = V_f/V_o = 1/300$. Los valores de los parámetros del circuito son: $R_s = R_E = 2\ k\Omega$, y $R_C = 6\ k\Omega$, teniendo el transistor $\beta_o = 200$ y $r_\pi = 4\ k\Omega$.

(*b*) Hallar $A_F = V_o/V_s$.

12-7. El diagrama de bloques representa un sistema de realimentación de dos etapas, en el que X_s es la señal que hay que ampliar, X_1 es el ruido introducido con la señal, X_2 es un disturbio introducido en el propio amplificador (quizás debido a un rizado del suministro de potencia) y X_3 otro disturbio introducido a la salida del amplificador:

(*a*) Hallar A_{OL}, T y A_F, siendo $X_1 = X_2 = X_3 = 0$.

(*b*) Determinar las relaciones de transferencia X_o/X_1, X_o/X_2, y X_o/X_3.

(*c*) Comprobar que

$$X_o = \frac{A_{OL}[X_s + X_1) + (X_2/A_1) + X_3/A_{OL}]}{1 + T}$$

(*d*) Sea X_{os} la componente de la salida debida a X_s, X_{o1} la componente de la salida debida a X_2 y así sucesivamente. Calcular X_{os}/X_{o1}, X_{os}/X_{o2} y $X_{os}X_{o3}$.

(*e*) Repetir (*b*) con $\beta = 0$.

(*f*) Repetir (*d*) con $\beta = 0$ y compárense los resultados. ¿Qué conclusión se deduce?

12-8. Hay que diseñar un amplificador realimentado para que tenga una ganancia en lazo cerrado de $50 \pm 0{,}1$. El amplificador básico tiene una ganancia que puede gcbernarse dentro de un $\pm$ 10%. Determinar los valores de la ganancia en lazo abierto, la relación de retorno y la transmisión inversa β de la red de realimentación.

12-9. Un amplificador sin realimentación da una señal de salida de 15 V, con un 10% de distorsión por

(*a*) Con $C_{G1} = C_{G2} = 1\ \mu F$, y $C_{S1} = C_{S2} = 100\ \mu F$, determinar la frecuencia inferior de media potencia de cada etapa.
(*b*) ¿Cuál es f_L de la cascada?
(*c*) Compárense estos valores con los obtenidos del diagrama asintótico de Bode para la cascada.

11-58. El circuito del problema 11-57 debe tener $f_L = 50$ Hz. Determinar C_{G1}, C_{G2}, C_{E1} y C_{E2} para minimizar la capacidad total empleada.

CAPÍTULO 12

Nota: En muchos de los diagramas de circuitos correspondientes a los problemas de este capítulo no figuran las disposiciones de polarización. Se supone que tales dispositivos están polarizados convenientemente y que los componentes empleados para ello (no representados) tienen un efecto despreciable sobre el funcionamiento del circuito. En los problemas que siguen se emplean frecuentemente los siguientes transistores:

	Transistores				
	A	*B*	*C*	*D*	*E*
Tipo	*npn*	*npn*	*npn*	*pnp*	*pnp*
β_o	125	150	200	150	50
β_F	125	150	200	150	50
V_A, V	∞	100	125	∞	50

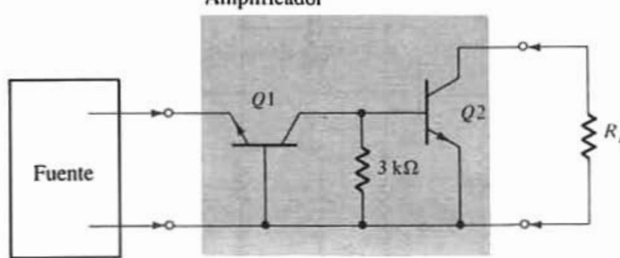
La resistencia de dispersión de la base es $r_b = 0$ si no se indica otra cosa.

12-1. ¿A qué tipo de amplificador ideal se aproxima cada uno de los siguientes? Justificar la respuesta.
(*a*) El seguidor de emisor.
(*b*) A la etapa en fuente común con resistencia de fuente.

12-2. Un amplificador de transimpedancia tiene $Z_i = R_i = 50\ \Omega$, $Z_o = R_o = 50\ \Omega$, y $R_m = 10\ k\Omega$. Las características de cierto amplificador de transconductancia son $Z_i = R_i = 50\ k\Omega$, $Z_o = R_o = 100\ k\Omega$, y $G_m = 0{,}1$ ℧
(*a*) Con los circuitos dados construir un amplificador de corriente.
(*b*) ¿Cuáles son los valores de R_i, R_o y A_I?

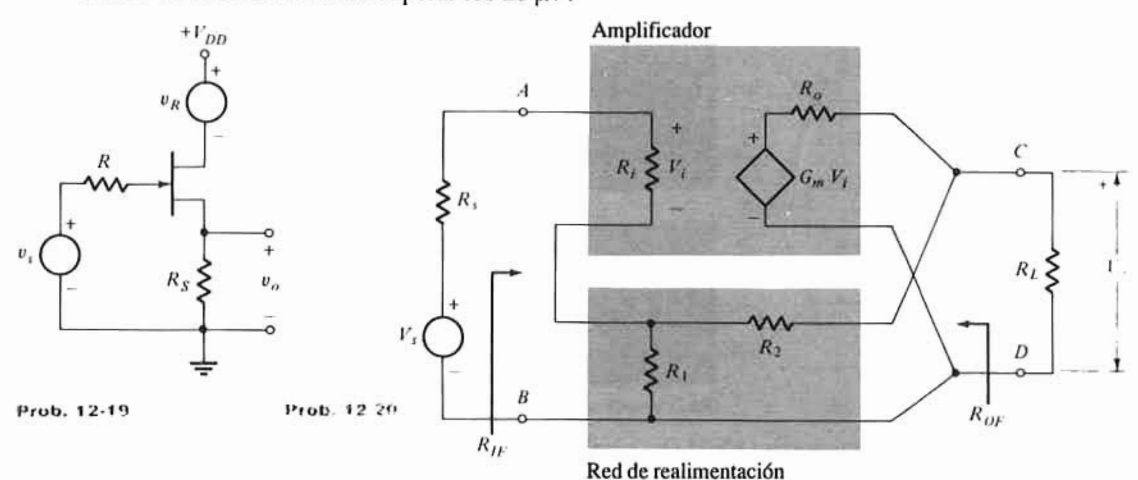
12-3. (*a*) Emplear los amplificadores de transconductancia y de transimpedancia del Prob. 12-2 para construir un amplificador de tensión.
(*b*) ¿Cuáles son los valores de r_i, R_o y A_V?

12-4. En el circuito representado $Q1$ y $Q2$ son transistores idénticos con $r_\pi = 1\ k\Omega$, y $g_m = 0{,}1$ ℧.
(*a*) ¿A qué tipo de amplificador se aproxima este circuito?
(*b*) Determinar las resistencias de entrada y de salida y la relación de transferencia del amplificador.



Prob. 12-4

12-19. En el seguidor de fuente representado, $v_R = V_{RM}$ sen $2\pi \times 120t$, es la tensión de rizado del suministro de potencia y puede ser tratada como una perturbación en la etapa. Determinar, para $R_s = 2\ k\Omega$, $g_m = 2\ m\mho$, $r_o = 20\ k\Omega$ y $R = 500\ k\Omega$, el máximo valor de V_{RM} suponiendo que la componente del rizado de la salida no debe superar los $20\ \mu V$.



12-20. (*a*) ¿Qué topología se emplea en el circuito representado?

(*b*) Con $R_i = 1\ k\Omega$, $R_o = 5\ k\Omega$, $A_v = 10^3$, $R_2 = 50\ k\Omega$, $R_1 = 2\ k\Omega$, y $R_L = 0{,}6\ k\Omega$, determinar A_{OL}, T y A_F.

(*c*) Dado $A_v \rightarrow \infty$, hallar A_F.

(*d*) Calcular R_{IF} y R_{OF}.

(*e*) ¿Qué nuevo valor de A_v deberá usarse si R_{OF} debe ser $600\ \Omega$?.

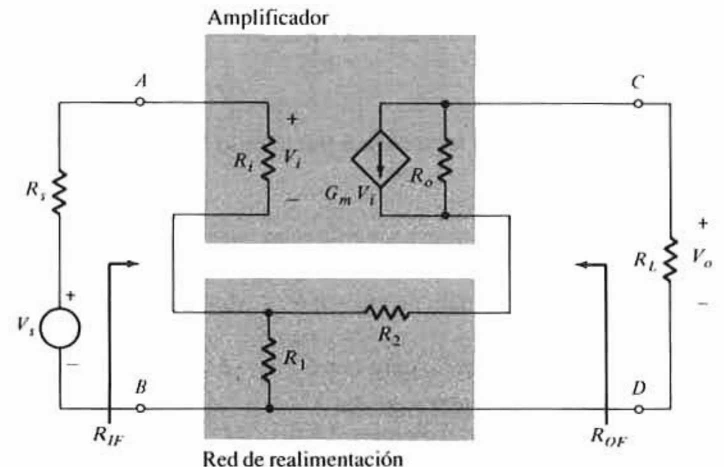
12-21. (*a*) ¿Qué topología se emplea?

(*b*) Dibujar el diagrama del circuito de un amplificador sin realimentación.

(*c*) Con $R_i = 500\ \Omega$, $R_o = 20\ k\Omega$, $R_2 = 50\ k\Omega$, $R_1 = 1\ k\Omega$, $G_m = 100\ \mho$, $R_s = 600\ \Omega$ y $R_L = 2\ k\Omega$, hallar A_{OL}, T y A_F.

(*d*) Determinar R_{IF} y R_{OF}.

(e) Con $G_m \rightarrow \infty$, hallar A_F.



Prob. 12-21

12-22. (*a*) Repetir el Prob. 12-21 para el circuito representado. Los valores de los elementos son: $R_i = 5\ k\Omega$, $R_o = 0{,}5\ k\Omega$, $R_m = 100\ k\Omega$, $R_2 = 10\ k\Omega$, $R_1 = 1\ k\Omega$, $R_s = 50\ \Omega$, y $R_L = 2\ k\Omega$.

segundo armónico cuando la señal de entrada es de 15 *mV*.

(*a*) Si el 1,5% de la salida se reenvía a la entrada en un amplificador serie-paralelo negativo, ¿cuál es la tensión de salida?

(*b*) Si la salida fundamental se mantiene en 15 *V*, pero la distorsión de segundo armónico se reduce al 1% ¿cuál es la tensión de entrada?

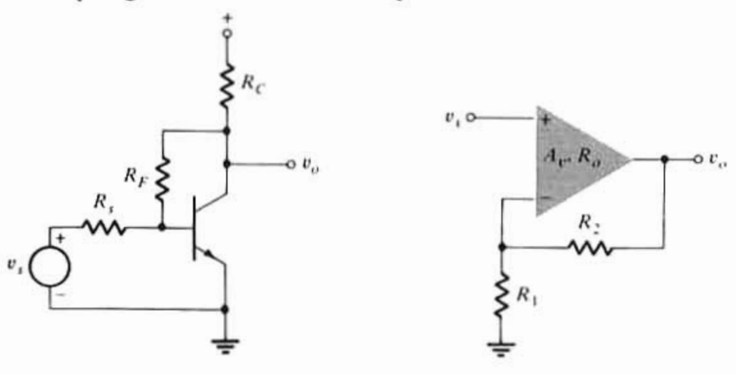
12-10. Valiéndose del análisis aproximado, determinar A_{OL}, β, *T* y A_F del seguidor de fuente.

12-11. (*a*) Empleando el análisis aproximado determinar A_{OL}, β, *T* y A_F de una etapa en emisor común con resistencia de emisor R_E.

(*b*) Comparar el valor de A_F con el de la Tabla 10-3*A* y razonar cualquier diferencia hallada.

12-12. (*a*) Determinar A_{OL}, *T*, β y A_F del circuito representado. Empléese el análisis aproximado.

(*b*) ¿Cuál es la topología de realimentación empleada?



Prob. 12-12 **Prob. 12-15**

12-13. (*a*) Emplear la fórmula de la impedancia de Blackman para determinr R_{IF} de la etapa del Prob. 12-11.

(*b*) Repetir (*a*) para R_{OF}. Incluir r_o del BJT.

(*c*) Comparar estos valores con los dados en la Tabla 10-3.

12-14. Obtener R_{IF} y R_{OF} del circuito del Prob. 12-12.

12-15. El Amp-Op del circuito representado tiene una ganancia en lazo abierto A_v y una resistencia de salida R_o.

(*a*) Determinar A_{OL}, β, *T* y A_F de la etapa.

(*b*) Determinar R_{OF} del circuito.

(*c*) ¿Qué topología de realimentación se emplea?

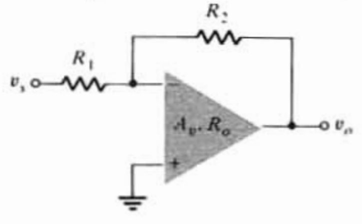
12-16. Emplear los parámetros *t* (Sec. 12-8) para obtener A_D, A_{OL}, *T* y A_F de un seguidor de fuente a bajas frecuencias.

12-17. Repetir el Prob. anterior para una etapa en emisor común con resistencia de emisor R_E.

12-18. El Amp-Op. del circuito representado está caracterizado por A_v y R_o.

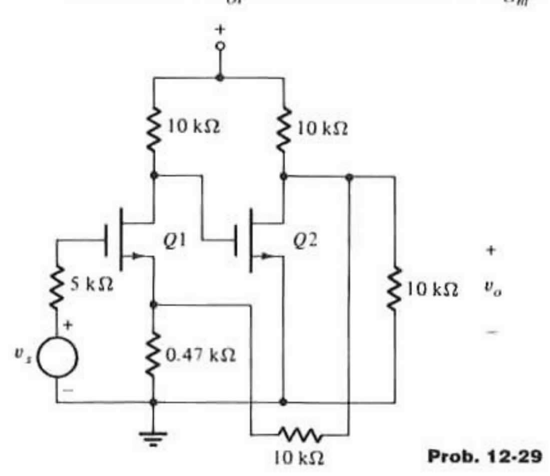
(*a*) Usando los parámetros *t* obtener A_D, A_{OL}, *T* y A_F.

(*b*) Utilícese la fórmula de la impedancia de Blackman para obtener R_{IF} y R_{OF}.

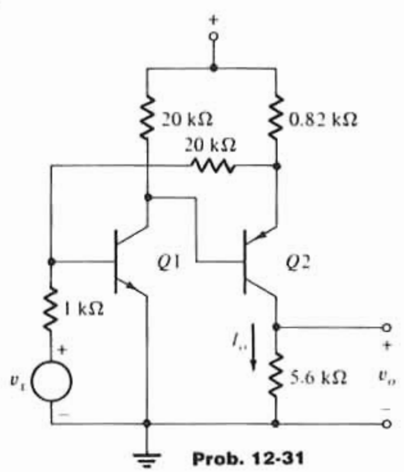


Prob. 12-18

12-29. (*a*) Determinar T, A_{OL}, y A_F para el circuito representado.
(*b*) Calcular R_{OF}. Los MOSFETs tienen $g_m = 1\ m\mho$ y $r_d = 20\ k\Omega$.



Prob. 12-29

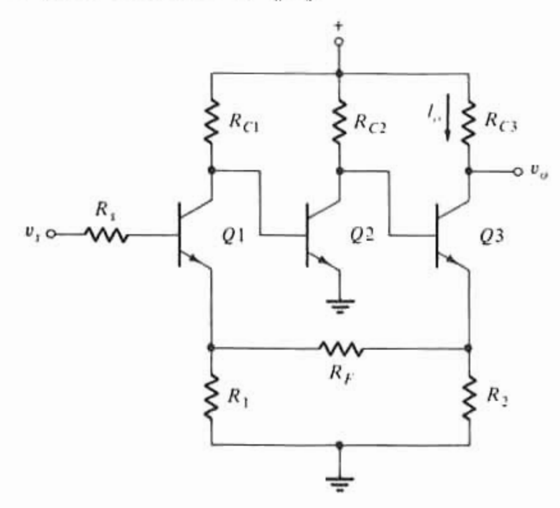


Prob. 12-31

12-30. Comprobar las Ecuaciones (12-48) y (12-50).

12-31. (*a*) Repetir el Prob. 12-29 parte (*a*) para el circuito representado. Se emplean transistores *C* y *D* polarizados a $I_{CQ} = 0{,}25$ y $-0{,}5\ mA$ respectivamente.
(*b*) Calcular R_{IF}.

12-32. (*a*) ¿Que topología se emplea en el amplificador representado?
(*b*) Suponiendo que $T \gg 1$, demostrar que $A_F = i_o/V_s \approx R_F/R_1 R_2$ siempre que $R_F \gg (R_1 + R_2)$.
(*c*) Dado que $Q1$, $Q2$ y $Q3$ son transistores *C* con $I_{CQ1} = 0{,}25\ mA$, $I_{CQ2} = 1{,}0\ mA$ e $I_{CQ3} = 0{,}5\ mA$. Los elementos del circuito son: $R_{C1} = 5\ k\Omega$, $R_{C2} = 7{,}5\ k\Omega$, $R_{C3} = 10\ k\Omega$, $R_1 = 0{,}2\ k\Omega$, $R_2 = 0{,}33\ k\Omega$ y $R_s = 0{,}6\ k\Omega$. Calcular A_F y T si $R_F = 20\ k\Omega$.
(*d*) Hallar la ganancia de tensión V_o/V_s.



Prob. 12-32

12-33. Determinar R_{IF} y R_{OF} del circuito del Prob. 12-32.

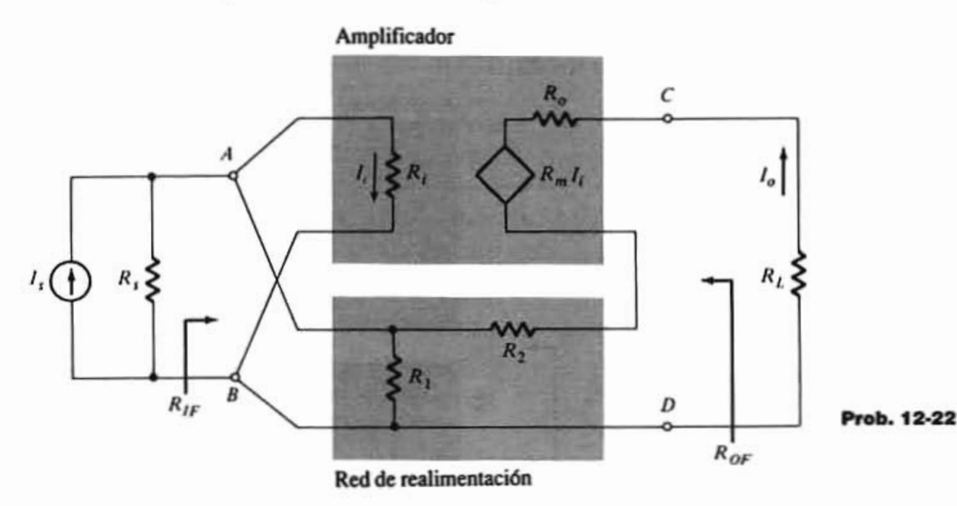
12-34. Comprobar las Ecs. (12-55) y (12-56).

12-35. Empléense los parámetros *t* para calcular A_{OL}, T y A_F del circuito del Ejemplo 12-6.

12-36. Repetir el Prob. 12-35 para el circuito del ejemplo 12-7.

12-37. Repetir el Prob. 12-35 para el circuito del ejemplo 12-9.

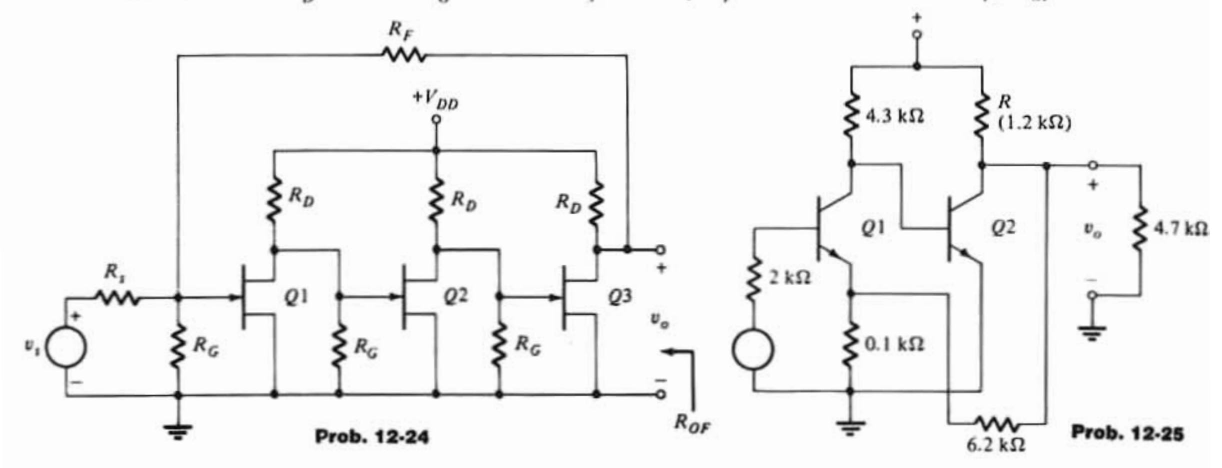
(*b*) ¿Qué valor de R_m se necesita para hacer $R_{IF} = 50\ \Omega$?



Prob. 12-22

12-23. Comprobar las Ecuaciones (12-41) y (12-42).

12-24. Los FETs del circuito representado son idénticos, teniendo $g_m = 2\ m\mho$ y $r_d = 20\ k\Omega$. Los parámetros del circuito son: $R_D = 12\ k\Omega$, $R_G = 500\ k\Omega$, $R_s = 50\ \Omega$ y $R_F = 5\ k\Omega$. Determinar A_F y R_{OF}.



Prob. 12-24 Prob. 12-25

12-25. En el circuito representado se emplea el transistor *A* polarizado a $I_{CQ} = 1{,}5\ mA$.
(*a*) Determinar A_F y T.
(*b*) Hallar R_{IF} y R_{OF}.
(*c*) ¿Qué valor de *R* se necesita, si se necesita alguno, para hacer que $R_{OF} = 47\Omega$?

12-26. Comprobar la Ecuación (12-43).

12-27. Una etapa en emisor común con resistencia de emisor R_E se diseña con un transistor que tiene $r_\pi = 2{,}5\ k\Omega$ y $\beta_o = 125$.
(*a*) Dado $R_s = 2{,}5\ k\Omega$ y $R_C = 3\ k\Omega$, hallar R_E para que $S_{\beta_o}^{AF} = -1/31$.
(*b*) Con el valor de R_E hallado en (*a*) determinar A_F.
(*c*) Comparar la respuesta a (*b*) con A_F del ejemplo 12-8.

12-28. El circuito de la Fig. 12-12 emplea el transistor descrito en el Prob. 12-27.
(*a*) Dado $R_s = 2{,}5\ k\Omega$ y $R_C = 3\ k\Omega$, hallar R_F para que $S_{\beta_o}^{AF} = 1/31$
(*b*) Calcular A_F usando el valor de R_F de (*a*).

de media potencia sea $f_H \geq 2$ MHz. Supóngase que no hay interacción entre etapas. ¿Qué campo de valores de β satisface las condiciones del diseño?

13-3. Deben compararse dos amplificadores realimentados. Supóngase que $A_1 = a_1/(1 + s/\omega_2)$; $A_2 = a_2/(1 + s/\omega_2)$ y que β_1, β_2, y β son independientes de la frecuencia.

(*a*) Suponiendo que $A_1\beta_1$, $A_2\beta_2$, y $A_1A_2\beta$, sean mucho mayores que la unidad, determinar β de forma que la ganancia con lazo cerrado de los dos amplificadores sean iguales a baja frecuencia.

(*b*) Comparar $S_{A_1}^{A_F}$ a baja frecuencia de los dos amplificadores.

(*c*) Si $A_1 = A_2$ y $\beta_1 = \beta_2$ ¿cuál de los dos amplificadores tiene mayor ancho de banda?

(*d*) ¿Cuál de los dos tiene en conjunto mejor funcionamiento? Explíquese.

13-4. La relación de retorno de un amplificador realimentado viene dada por

$$T(s) = \frac{T_O}{(1 + s/\omega_1)(1 + s/\omega_2)(1 + s/\omega_3)}$$

(*a*) Con $T_0 = 10^3$, $\omega_1 = 0{,}1$ Mrad/s, y $\omega_2 = 1$ Mrad/s y $\omega_3 = 10$ Mrad/s determinar si el amplificador con lazo cerrado es estable.

(*b*) ¿Cuáles son la ganancia y el margen de fase en (*a*)? Empléese el diagrama asintótico de Bode.

13-5. Repetir el Prob. anterior para $T_o = 2\times10^4$, $\omega_1 = 0{,}2$ Mrad/s, $\omega_2 = 40$ Mrad/s y $\omega_3 = 200$ Mrad/s.

13-6. La relación de retorno a baja frecuencia de un amplificador realimentado viene dada por

$$T(s) = \frac{2 \times 10^{-3}\, s^3}{(1 + s)(1 + s/100)(1 + s/1000)}$$

(*a*) El amplificador con lazo cerrado ¿es estable?

(*b*) ¿Cuáles son la ganancia y el margen de fase?

13-7. La relación de retorno es:

$$T(s) = \frac{T_O(1 + s/10^{6.5})}{(1 + s/10^5)(1 + s/10^6)(1 + s/10^7)^2}$$

(*a*) Determinar el mayor valor de T_O con el que el amplificador es estable.

(*b*) ¿Qué valor de T_O hace que $GM = 10$ dB?

(*c*) ¿Qué valor de T_O hace que $Ø_M = 45°$? Empléese el diagrama asintótico de Bode.

13-8. Se requiere que el amplificador del Prob. 13-4 tenga $Ø_M \approx 90º$.

(*a*) ¿Qué nuevo valor de ω_1 se necesita?

(*b*) ¿Cuánto es *GM* en las condiciones de (*a*)?

(*c*) ¿Cuál es aproximadamente el ancho de banda con lazo cerrado?

(*d*) Usando la expresión analítica de $T(s)$ calcular $\angle T(j\omega_G)$ y $T(j\omega_Ø)$. Utilícense los valores ω_G y $\omega_Ø$ obtenidos del diagrama asintótico de Bode.

13-9. El amplificador del Prob. 13-5 debe compensarse usando la cancelación polo-cero para tener un margen de fase de 45°. La red empleada para proporcionar la cancelación polo-cero tiene la función de transferencia $(1 + s/z_1)/(1 + s/\omega_A)$.

(*a*) Determinar z_1 y ω_A.

(*b*) ¿Cuál es el nuevo margen de ganancia?

13-10. Supóngase que después de añadir una red de compensación polo-cero, $T(s)$ del Prob. 13-5 puede aproximarse por la función de dos polos

$$T(s) = \frac{T_O}{(1 + s/\omega_A)(1 + s/\omega_2)}$$

(*a*) Determinar ω_A de forma que $Ø_M = 45º$.

(*b*) Compárese el valor de ω_A hallado en (*a*) con el resultado del Prob. 13-9.

12-38. Repetir el Prob. 12-35 para el circuito del ejemplo 12-29.

12-39. (*a*) Comprobar la Ec. (12-60).

(*b*) Sea $A_2A_3 = A$ en la Ec. (12-60): Determinar la sensibilidad $A_A^{A_F}$ empleando la Ec. (12-8).

(*c*) Calcular el resultado de (*b*) para $Af_2 = 1$

12-40. En el circuito multi-lazo de la Fig. 12-42 hagamos: $A_1 = a_1/(1 + \tau_1 s)$, $A_2 = a_2/(1 + \tau_2 s)$ y $A_3 = a_3/(1 + \tau_3 s)$. Las transmisiones de realimentación f_1, f_2 y f_3 son constantes reales.

(*a*) Obtener la función de transferencia $A_F(s)$.

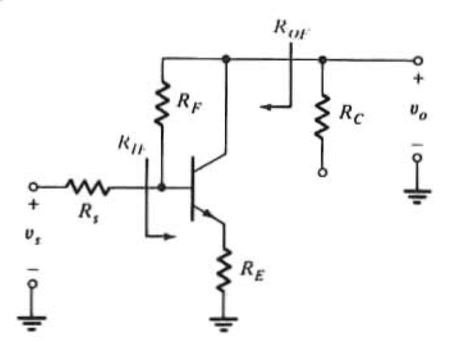
(*b*) Comprobar que cada coeficiente de $A_F(s)$ puede especificarse ajustando la ganancia (A_F) de un solo lazo.

12-41. Repetir el Prob. anterior para la estructura en «salto de rana» de la Fig. 12-43.

12-42. El transistor del circuito representado tiene los parámetros r_π, r_o y β_o.

(*a*) ¿Qué relación debe existir si R_{IF} ha de ser r_π?

(*b*) Calcular V_o/V_s en las condiciones de (*a*).



Prob. 12-42

12-43. (*a*) En el circuito del Prob. 12-42, ¿qué relación debe existir si $R_{OF} = r_o$?

(*b*) Calcular $A_F = V_o/V_s$ en esta condición.

12-44. Diseñar el circuito del Prob. 12-20 utilizando el transistor *C*.

CAPÍTULO 13

13-1. Un amplificador de una etapa sin realimentación puede representarse por

$$A_{VH}(s) = \frac{A_{vo}}{1 + s/\omega_h}$$

$$A_{VL}(s) = \frac{A_{vo}\, s/\omega_L}{1 + s/\omega_L}$$

a alta y a baja frecuencia respectivamente, siendo A_{vo} la ganancia a mitad de la banda. Entre la salida y la entrada del amplificador básico se intercala una red de realimentación β.

(*a*) Siendo $A_{vo} = 500$, $\beta = 0{,}01$, $f_h = 50$ kHz y $f_L = 1$ kHz, determinar los valores de las frecuencias superior e inferior de 3 dB del amplificador realimentado.

(*b*) Determinar los productos ganancia-ancho de banda del amplificador con y sin realimentación, y comparar los resultados.

13-2. Se dispone de dos bloques amplificadores idénticos teniendo cada uno de ellos $A = 200$ y $f_h = 100$ kHz, con los que diseñar un amplificador de ganancia global igual a 1000 y cuya frecuencia superior

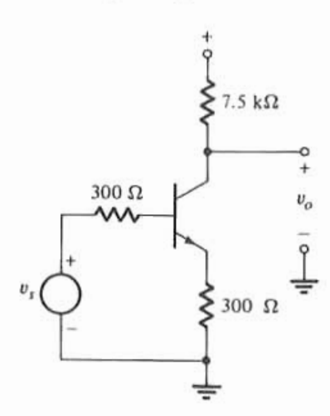
13-19. Valiéndose del análisis de la realimentación comprobar que los productos ganancia-ancho de banda, en lazo abierto y en lazo cerrado de una etapa de Amp-Op no inversor son iguales.

13-20. Con las técnicas de la realimentación comprobar que para una etapa Amp-Op inversora

$$\omega_H = \frac{A_{vo}\omega_h}{1 + |A_{FO}|}$$

en donde $A_{vo}\,\omega_h$ es el producto ganancia-ancho de banda del Amp-Op y A_{FO} es la ganancia en baja frecuencia de la etapa inversora.

13-21. En el circuito representado, demostrar que el polo dominante en lazo cerrado es el polo dominante en circuito abierto multiplicado por $(1 + T_o)$. Empléese el transistor *C* polarizado a $I_{CQ} = 0{,}5\ mA$.



Prob. 13-21

13-22. Los transistores empleados en el Ejemplo 12-7 tienen, cada uno de ellos, $f_t = 200$ MHz y $C_\mu = 1$ pF.
(*a*) Determinar aproximadamente las frecuencias de los dos polos dominantes en lazo abierto.
(*b*) Basándose en (*a*) estimar las frecuencias del polo en lazo cerrado.
(*c*) Esbozar el diagrama asintótico de Bode basándose en (*a*) y estimar el margen de fase.

13-23. Los JFETs del Ejemplo 12-9 tienen, cada uno de ellos, $C_{gs} = 5$ pF, $C_{gd} = 2$ pF y $C_{ds} = 1$ pF.
(*a*) Estimar aproximadamente las frecuencias en lazo abierto de los dos polos más próximos al origen.
(*b*) Basándose en (*a*) esbozar el diagrama asintótico de Bode y determinar el margen de fase $Ø_M$.
(*c*) Del resultado de (*b*), indicar la estabilidad del amplificador global.

13-24. En el Prob. 13-23 se dan los valores de las capacidades de los FET del circuito del Prob. 12-24. Repetir el Prob. 13-23.

13-25. Repetir el Prob. 13-22 para el circuito del Prob. 12-25.

13-26. Repetir el Prob. 13-22 para el circuito del Prob. 12-29. Las capacidades de los JFET vienen dadas en el Prob. 13-23.

13-27. Repetir el Prob. 13-22 para el circuito del Prob. 12-31.

13-28. Repetir el Prob. 13-23 para el circuito del Prob. 12-32.

13-29. En el circuito de los problemas 12-24 y 13-23 se conecta una capacidad C_C entre la puerta y el drenaje de *Q*2.
(*a*) Determinar C_C para tener $k = 0{,}8$.
(*b*) ¿Cuál es el margen de fase para la situación en (*a*)?
(*c*) Estimar el ancho de banda con lazo cerrado.

13-30. En el circuito de los Prob. 12-32 y 13-28 se conecta una capacidad C_C entre la base y el colector de *Q*2.
(*a*) Determinar C_C de forma que $Q^2 = 0{,}1$.
(*b*) Estimar el ancho de banda a lazo cerrado.

13-11. La relación de retorno de un amplificador es

$$T(s) = \frac{4 \times 10^5}{[1 + (s/\omega_1)]\,[1 + (s/10^7)]\,[1 + (s/10^9)]}$$

(*a*) Determinar el valor de ω_1 necesario para tener $\text{Ø}_M = 45°$.

(*b*) Un método alternativo de compensación es el de añadir una red en el lazo de realimentación, que haga

$$T(s) = \frac{4 \times 10^5\,(1 + s/z_1)}{[1 + (s/\omega_1)^2]\,[1 + (s/10^7)]\,[1 + (s/10^9)]}$$

Con $z_1 > \omega_1$ y $z_1 \leq 10^5$, determinar ω_1 y z_1 para tener $\text{Ø}_M = 45°$.

(*c*) Comparando los resultados de (*a*) y de (*b*) determinar cuál de las técnicas de compensación da un mayor ancho de banda en lazo cerrado. Explíquese.

13-12. (*a*) Con $\omega_1 = 20$ rad/s, determinar el margen de ganancia y el de fase para $T(s)$ del Prob. 13-11, parte (*a*) mediante el diagrama asintótico de Bode.

(*b*) De la expresión analítica de $T(s)$ calcular $\angle T(j\omega_G)$ y $T(j\omega_\text{Ø})$, en decibelios. Empléense los valores ω_G y $\omega_\text{Ø}$ deducidos del diagrama asintótico de Bode.

(*c*) Comparar los valores obtenidos en (*b*) con los sacados del diagrama de Bode, y coméntese cualquier diferencia.

13-13. (*a*) Un amplificador de dos polos tiene las frecuencias de codo $f_1 = 400$ kHz, y $f_2 = 1{,}6$ MHz. ¿Qué valor de T se necesita (en decibelios) para tener la subida sin sobrevalor más rápida?

(*b*) Comparar los resultados de (*a*) con el tiempo de subida de un amplificador con las dos frecuencias de codo dadas.

13-14. Si se aplica $T = 30$ dB al amplificador del Prob. 13-13, ¿Cuáles son el tiempo de subida y el sobrevalor (si lo hay)?

13-15. (*a*) Las dos frecuencias de codo de un amplificador son: $f_1 = 50$ kHz y $f_2 = 5$ MHz. Determinar el valor máximo de T_O con el que el sobrevalor de la respuesta a un escalón sea del 5%.

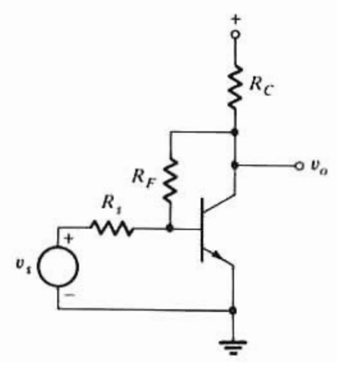
(*b*) ¿En qué momento se alcanza el pico?

(*c*) Calcular la magnitud del primer mínimo y el momento en que ocurre.

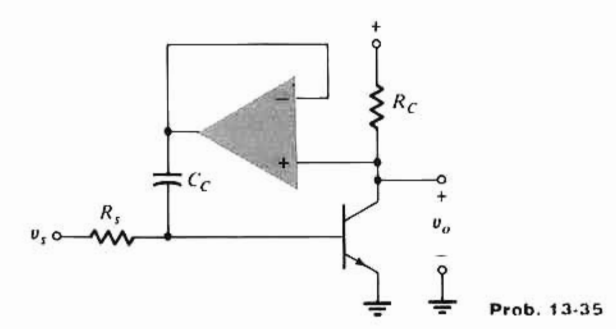
13-16. Deducir las Ec. (13-28) a (13-31) para la respuesta a un escalón de un amplificador de dos polos. [*Sugerencia*: Para el caso sobre-amortiguado, tomar $k^2 \gg 1$, y $(1 - 1/k^2)^{1/2}$ en una serie de Taylor.]

13-17. Calcular el margen de fase correspondiente a $k =$ 0,4, 0,6, 0,707, 0,8 y 1 de un amplificador de dos polos.

13-18. En el circuito representado se emplea el transistor *A* polarizado a $I_{CQ} = 1{,}5$ *mA*. Los valores de los parámetros son: $R_s = 2{,}5$ $k\Omega$, $R_C = 3$ $k\Omega$ y $R_F = 20$ $k\Omega$. Determinar las frecuencias del polo dominante con lazo abierto y con lazo cerrado. (*Nota*: Los datos de los transistores *A* y *E* vienen dados al principio de los problemas del Capítulo 12.)

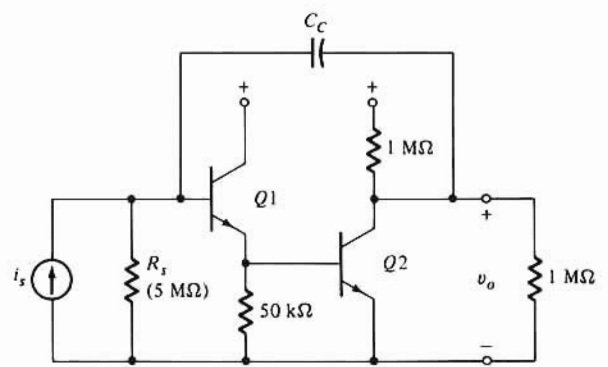


Prob. 13-18



13-36. (*a*) Demostrar que la compensación de polo dominante en la que $Q^2 \leq 10/121$ da por resultado una separación entre polos a lazo cerrado de por lo menos una década.
(*b*) Si $T_o = 100$ ¿Cuál es la separación de polos apropiada en lazo abierto?

13-37. La cascada Colector común-Emisor común utiliza transistores idénticos con $\beta_o = 250$, $V_A = 125\ V$, $f_T = 400$ MHz, y $C_\mu = 0{,}5$ pF. $Q1$ está polarizado a $I_{CQ1} = 5\ \mu A$, e $I_{CQ2} = 250\ \mu A$.
(*a*) Siendo $\omega = 0$ determinar R_i, R_o y la relación de transferencia V_o/I_s.
(*b*) Si i_s procede de una fuente de tensión $v_s = i_s R_s$ con resistencia de fuente R_s ¿Cuál es la ganancia de tensión V_o/V_s a $\omega = 0$?
(*c*) Determinar la situación aproximada del polo dominante de la cascada.
(*d*) ¿Qué valor de C_C debe emplearse para hacer la frecuencia del polo dominante igual a 10 Hz?



13-38. (*a*) Analizar el circuito del Prob. 13-37 empleando las técnicas de la realimentación, y hallar $A_{OL}(s)$, $\beta(s)$, $T(s)$ y $A_F(s)$. Obsérvese que todos ellos son funciones de C_C.
(*b*) Calcular T para $s = j\omega = 0$. Este resultado ¿es razonable?
(*c*) Dado que i_s es una corriente en escalón, esbozar la tensión de salida $v_o(t)$.

13-39. El polo dominante $-\omega_1$ de la etapa representada en el Prob. 11-37 es uno de los dos polos de la ganancia en circuito abierto $A_{OL}(s) = 10^5/(1 + s/\omega_1)(1 + s/2\pi \times 10^7)$ de un Amp-Op. Determinar C_C para que dé un margen de fase de 45° para una ganancia unidad en lazo cerrado.

CAPÍTULO 14

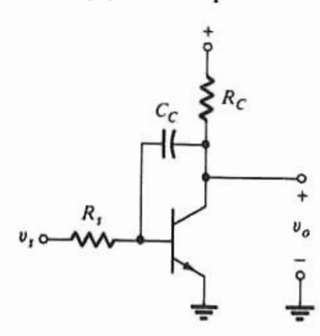
14-1. Los transistores *pnp* en la fuente de corriente representada tienen $\beta_F = 50$, $\beta_o = 50$ y $V_A = 50\ V$.
(*a*) Determinar R para $I_o = 100\ \mu A$.
(*b*) ¿Cuál es la resistencia de salida de pequeña señal?
(*c*) Este circuito ¿puede fabricarse en un chip?

13-31. Para hacer $Q^2 = 0{,}1$ hay que añadir un condensador de compensación C_C al circuito del Ejemplo 13-7.
(*a*) Determinar C_C suponiendo que esté conectado entre la base y el colector del transistor de entrada.
(*b*) Repetir (*a*) suponiendo que C_C se conecte entre la base y el colector del BJT de salida.

13-32. Hay que compensar el circuito tratado en los Prob. 12-32, 13-28 y 13-30 conectando C_C entre la base de $Q2$ y tierra.
(*a*) Determinar C_C para que $Q^2 = 0{,}1$
(*b*) Estimar el ancho de banda a lazo cerrado y compararlo con el resultado del Prob. 13-30.
(*c*) Comparar los valores de C_C obtenidos en (*a*) y en el prob. 13-30, parte (*a*), y comentar las posibilidades de cada uno.

13-33. Se desea que el circuito del Ejemplo 13-7 excite una carga capacitiva $C_L = 20$ pF.
(*a*) Determinar los nuevos valores de ω_1 y ω_2.
(*b*) Estimar las nuevas frecuencias del polo (lazo cerrado) y el ancho de banda resultante en lazo cerrado.
(*c*) ¿Cuál es el tiempo de subida de la salida y el sobrevalor (si lo hay) ante una tensión de entrada en escalón?

13-34. Consideremos la etapa en emisor común representada a la que se le añade una capacidad de realimentación $C_C \gg C_\mu$.
(*a*) Estimar la frecuencia del polo dominante.
(*b*) ¿Cuál es la nueva situación del cero en la función de transferencia?
(*c*) Estimar la localización del polo no dominante.
(*d*) Calcular las posiciones del polo y del cero para los siguientes parámetros: $g_m = 1{,}5\ m℧$, $r_\pi = 100\ k\Omega$, $C_\pi = 1{,}5$ pF, $C_\mu = 0{,}5$ pF, $C_C = 25$ pF, $R_s = 10\ k\Omega$, y $R_L = 10\ k\Omega$. Coméntese la separación.
(*e*) Comparar los valores en (*d*) con los que se obtendrían si $C_C = 0$.



Prob. 13-34

13-35. El Amp-Op del circuito representado es ideal: Los parámetros del transistor y del circuito son los dados en el Prob. 13-34.
(*a*) Demostrar que el polo dominante viene dado por

$$p_1 \approx -\frac{1}{R'_s R_C g_m C_C}$$

siendo $R'_s = R_s \parallel r_\pi$, $g_m R_L \gg 1$, y $C_C \gg C_\mu + C_\pi$.

(*b*) Comprobar que el cero aparece en $s = g_m / C_\mu$.

$$s = g_m / C_\mu$$

(*c*) Compárense los valores en (*a*) y (*b*) con los obtenidos cuando $C_C = 0$.
(*d*) Compárese la eficiencia de este circuito con la del circuito del Prob. 11-34.

14-6. Diseñar el repetidor de corriente de forma que $|I_{CQ2}| = I_{CQ10} = 12\ \mu A$, en el Amp-Op del Prob. 14-5.

14-7. (*a*) Determinar la ganancia a baja frecuencia de la cascada *CC-CE*. Tómese $I_{CQ2} = -12\ \mu A$, $I_{CQ10} = 12\ \mu A$, e $I_{CQ9} = 14\ \mu A$.

(*b*) ¿Cuáles son las resistencias de entrada y de salida de esta etapa?

14-8. (*a*) Calcular CMRR, A_{DM} y R_o de la etapa diferencial del Prob. 14-5.

(*b*) ¿Cuál es la resistencia de entrada diferencial?

14-9. (*a*) Determinar la ganancia de tensión y la resistencia de salida del seguidor de emisor. Supóngase que $Q10$ está polarizado a $I_C = 12\ \mu A$. Supóngase también que la resistencia de entrada al seguidor de emisor pueda tomarse aproximadamente βR_E siendo β la ganancia de corriente del transistor compuesto, y R_E la resistencia efectiva.

14-10. (*a*) Calcular la ganancia en lazo abierto del Amp-Op.

(*b*) Determinar (aproximadamente) el polo dominante de las etapas diferencial y de ganancia.

(*c*) Determinar C_C para una frecuencia de cruce de ganancia de 1 MHz.

14-11. (*a*) Hallar la resistencia de salida del circuito de la Fig. 14-14*a*.

(*b*) Emplear el resultado de (*a*) para hallar la resistencia de salida de la Fig. 14-14*b*.

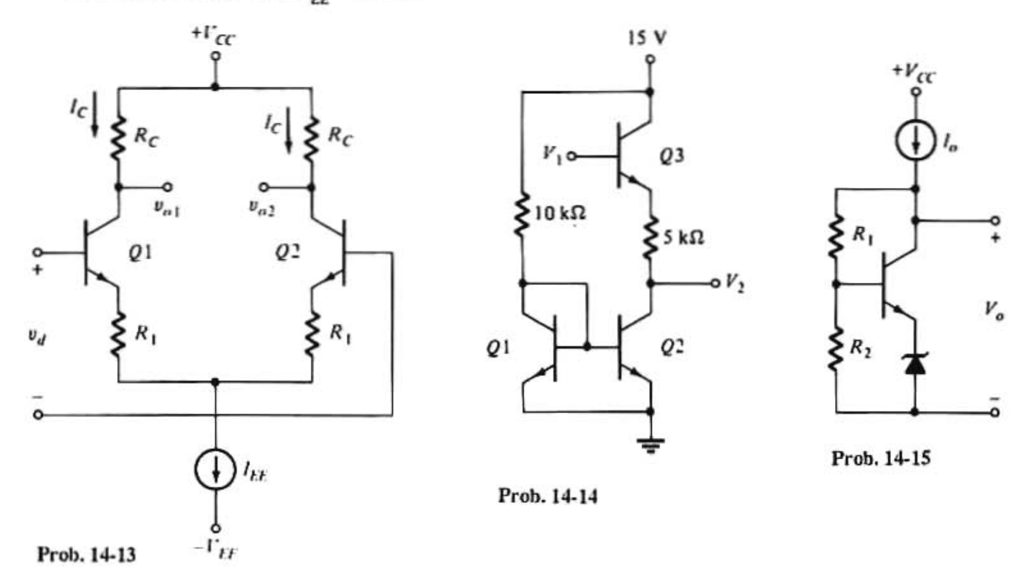
14-12. Para el Amp-Op de dos etapas del Prob. 14-5.

(*a*) Determinar la ganancia en lazo abierto, la resistencia de salida y la resistencia diferencial de entrada del Amp-Op.

(*b*) Compensar el Amp-Op para que dé una frecuencia de cruce de ganancia de 1 MHz.

14-13. (*a*) Trazar las características de transferencia I_{C1} en función de v_D e I_{C2} en función de v_D del circuito representado.

(*b*) Empleando el transistor del Prob. 14-5, y siendo $R_1 = 100\ \Omega$, determinar las corrientes en los transistores. Tómese $I_{EE} = 1\ mA$.



Prob. 14-13

Prob. 14-14

Prob. 14-15

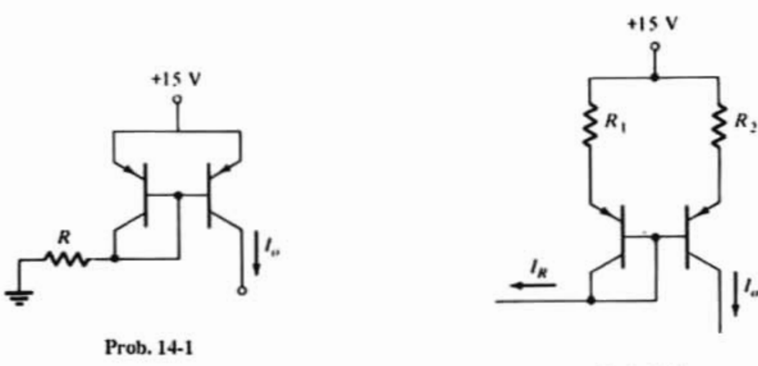
14-14. Determinar $V_2 - V_1$ de la red de desplazamiento de nivel representada.

14-15. Demostrar que en el circuito representado, $V_O = (V_Z + V_{BE})(1 + R_1/R_2)$.

14-16. (*a*) Demostrar que en la fuente de corriente representada:

$$\frac{I_2}{I_1} = \frac{R_1}{R_2}\left[1 - \frac{V_T \ln (I_2/I_1)}{R_1 I_1}\right]$$

Prescíndase de las corrientes de base.



Prob. 14-1

Prob. 14-2

14-2. (*a*) En el circuito representado $I_R = 50\ \mu A$. ¿Qué relación R_1/R_2 se necesita para que $I_o = 100\ \mu A$?
(*b*) ¿Cuál es la resistencia de salida de la fuente?

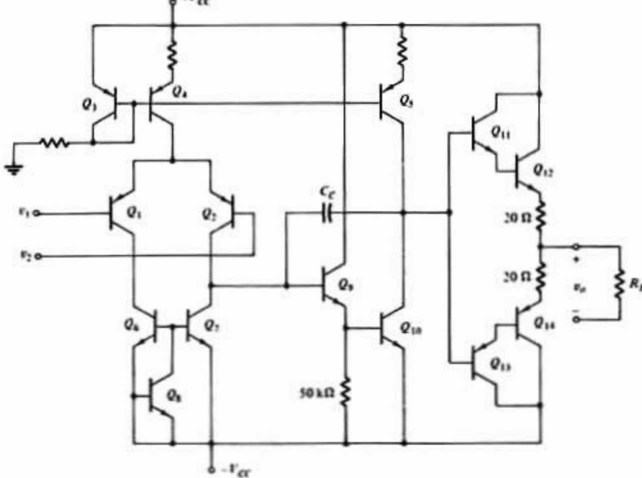
14-3. (*a*) Los transistores *pnp* de la Fig. 14-2 tienen una tensión Early $V_{AP} = 50\ V$ y los *npn* la tienen $V_{AN} = 120\ V$. Demostrar que con una corriente de polarización I_{CQ} la resistencia efectiva de carga del transistor *npn* es:

$$R_L = \frac{V_{AN}\ V_{AP}}{I_{CQ}\,(V_{AN} + V_{AP})}$$

(*b*) Calcular R_L.
(*c*) Con $r_\pi \gg R_s$ e $I_{CQ} = 0{,}1\ mA$, calcular V_o/V_s de la etapa.
(*d*) El resultado de (*c*) ¿queda afectado si I_{CQ} varía?

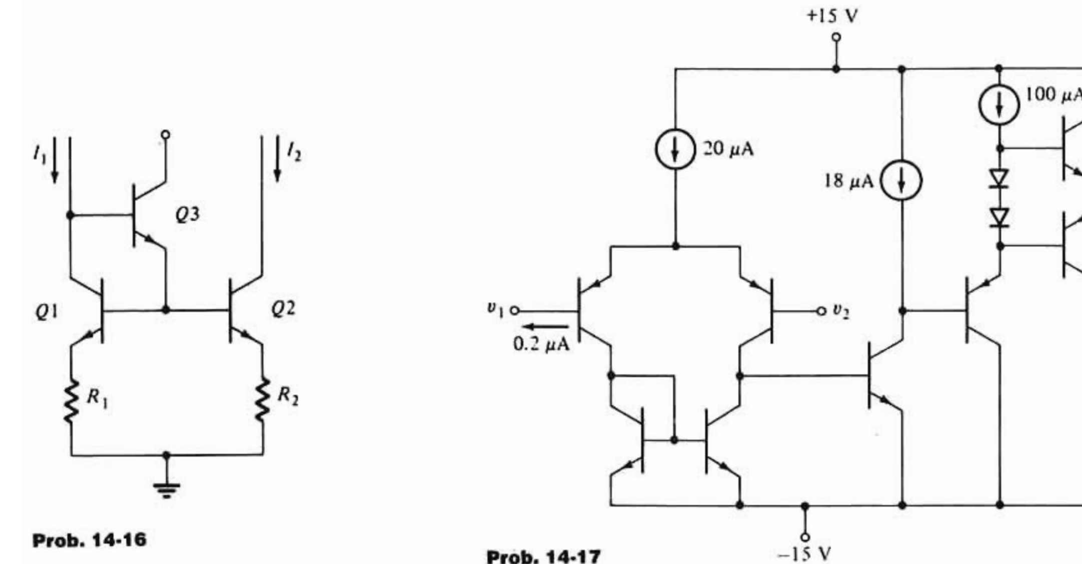
14-4. (*a*) Comprobar la Ec. (14-2). Supóngase que las corrientes de base son despreciables.
(*b*) ¿Qué relación de superficies necesita una fuente de 300 μA, si la corriente de referencia es de 50 μA?
(*c*) ¿Cómo se puede alcanzar tal corriente con una fuente *pnp*?
(*d*) Con una corriente de referencia de 50 μA, ¿qué se requiere para que la corriente de fuente esté comprendida entre 50 y 100 μA?

14-5. La figura representa un Amp-Op de dos etapas (véanse también los Probs. 14-6 a 14-10).
(*a*) Identificar la función de cada transistor.
(*b*) Comprobar que sin señal de entrada (las bases de $Q1$ y $Q2$ ambas a tierra), $v_o = 0$. Todos los transistores *npn* tienen $\beta_o = \beta_F = 200$, $V_A = 120\ V$, $C_\mu = 0{,}5$ pF, y $f_T = 400$ MHz, y todos los *pnp* tienen $\beta_F = \beta_o = 50$, $V_A = 60\ V$, $C_\mu = 0{,}5$ pF y $f_T = 10$ MHz. Tómese $C_{CC} = 15\ V$.



Prob. 14-5

(*b*) Si $0{,}1 < I_2/I_1 < 10$, ¿qué error se comete si se toma $I_2/I_1 = R_1/R_2$? Tómese $I_1R_1 = 1\ V$.
(*c*) ¿Cómo queda afectada la respuesta a (*b*) si se aumenta R_1I_1?



Prob. 14-16

Prob. 14-17

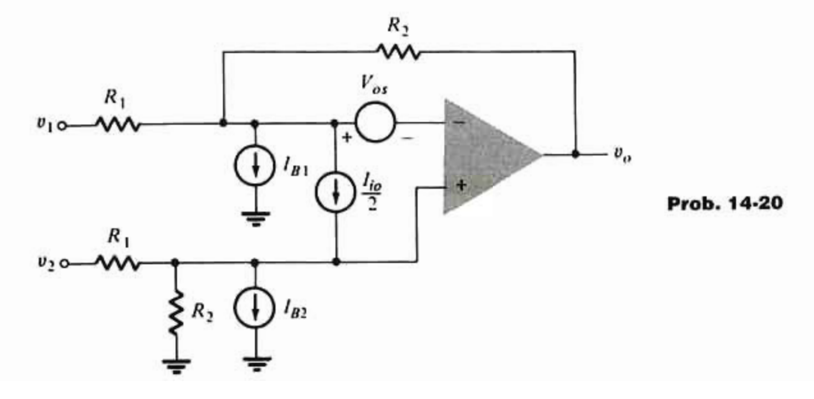
14-17. En el Amp-Op simple representado, todos los dispositivos *npn* tienen $\beta_F = 200$, y todos los *pnp*, $\beta_F = 50$. Las fuentes de corriente representadas están formadas por fuentes de corriente *pnp*. Comprobar que cuando $v_1 = v_2 = 0$, $v_o = 0$.

14-18. Las tres fuentes de corriente se alimentan de la misma corriente de referencia $I_R = 300\ \mu A$. Diseñar el circuito.

14-19. Tomando $\beta_F = 250$ para los dispositivos *npn* y $\beta_F = 50$ para los *pnp*, determinar las corrientes de polarización en las etapas diferencial y de ganancia del Amp-Op tipo 741 de la Fig. 14-19.

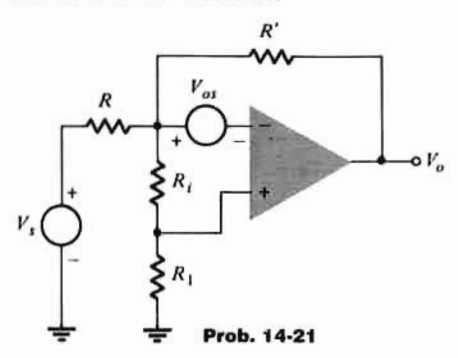
14-20. El circuito representado es un modelo de una etapa de Amp-Op en el que se indican la corriente y la tensión offset.

(*a*) Determinar la componente de señal de v_o en función de la señal diferencial $v_1 - v_2$.
(*b*) Determinar la componente de v_o motivada por $I_{io}/2$.
(*c*) Repetir (*b*) para V'_{io}.
(*d*) Siendo $v_1 = v_2$ determinar la tensión offset total a la salida.
(*e*) Calcular la tensión offset de salida $V_{OS} = 6\ mV$, $I_{OS} = 0{,}2\ \mu A$, $I_B = 0{,}5\ \mu A$, $R_1 = 50\ k\Omega$ y $R_2 = 500\ k\Omega$.



Prob. 14-20

14-21. (*a*) Mediante el análisis de la realimentación determinar la componente de señal de la salida.
(*b*) ¿Cuál es la componente offset de la salida?



Prob. 14-21

14-22. Consideremos el Amp-Op de la Fig. 14-22*b* con el modelo representado en la Fig. 14-21. Tómese $R_o = 0$ y $V_{io} = 0$. Demostrar que:
(*a*) La tensión de salida V_{o2} debida a la corriente de polarización I_{B2} es

$$V_{o2} = \frac{-R'RR_iA_v}{(R_i + R_1)(R' + R) + RR' - A_vRR_i} I_{B2}$$

(*b*) La tensión de salida V_{o1} debida a la corriente de polarización I_{B1} es

$$V_{o1} = \frac{R_iR_1(R + R')A_v}{(R + R')(R_1 + R_i) - A_vRR_i + RR'} I_{B1}$$

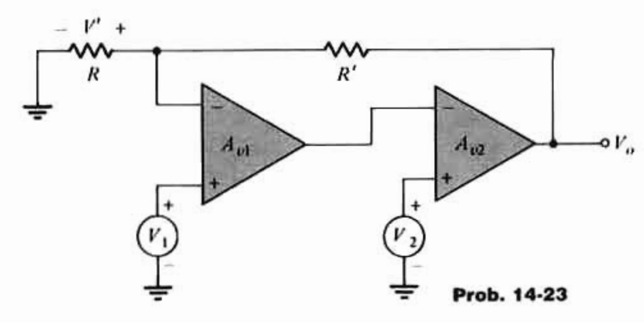
(*c*) Demostrar que si $I_{B2}/I_{B1} \approx 1$, entonces $V_{o1} + V_{o2}$ queda reducido al mínimo tomando $R_1 = RR'/(R + R')$

14-23. En el amplificador representado, V_1 y V_2 son tensiones indeseadas. Demostrar que si $R_i = \infty$, $R_o = 0$, al tiempo que $A_{v1} < 0$ y $A_{v2} < 0$.

$$V_o = A_{v2}[A_{v1}(V' - V_1) - V_2] \quad \text{donde} \quad V' = V_o \frac{R}{R + R'}$$

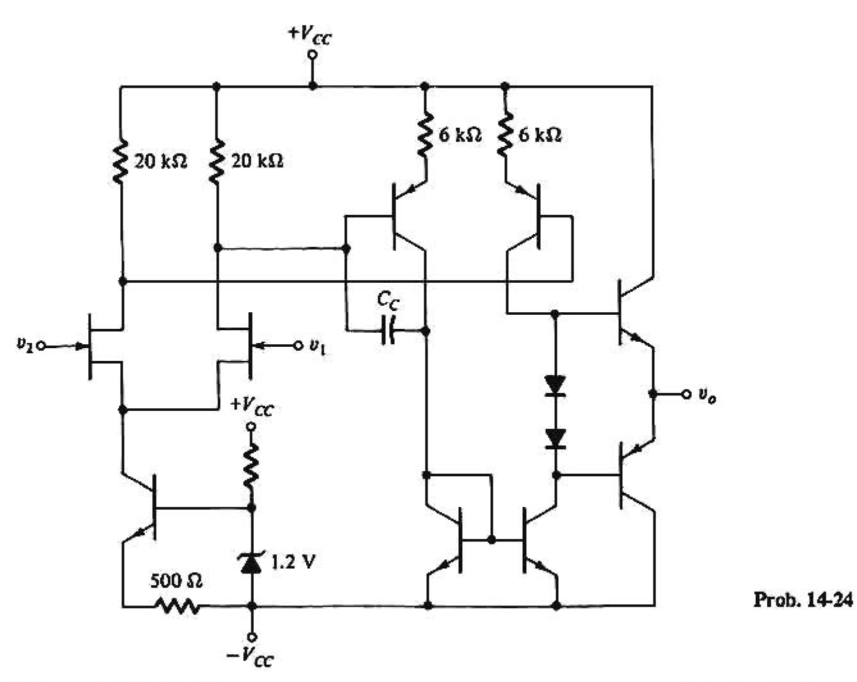
Demostrar también que si $A_{v2} A_{v1} R/(R + R') \gg 1$, entonces

$$V_o = \left(1 + \frac{R'}{R}\right)\left(V_1 + \frac{V_2}{A_{v1}}\right)$$



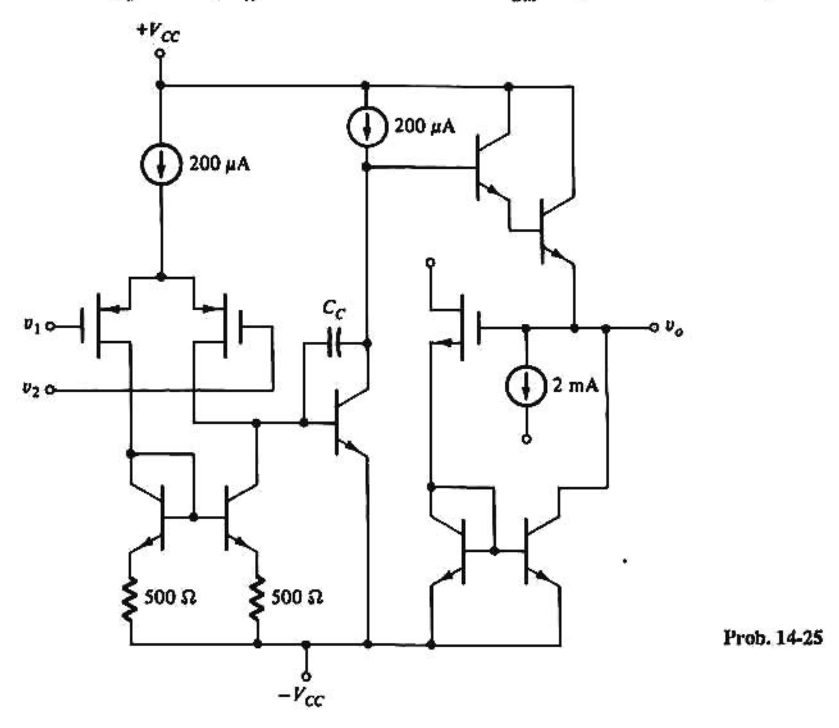
Prob. 14-23

14-24. La etapa diferencial JFET representada se emplea en Amp-Op híbridos. Es decir, que la etapa de entrada JFET se construye a base de componentes discretos y las BJT y restantes son monolíticos. El JFET tiene $I_{DSS} = 3\ mA$ y $V_p = -3\ V$. El BJT tiene $\beta_F = \beta_o = 200$ y $V_A = 100\ V$. Determinar la Relación de Rechazo del Modo Común (CMRR) y A_{DM} de la etapa. Tómese $\lambda = 0{,}01\ V^{-1}$.



Prob. 14-24

14-25. La etapa diferencial BIMOS representada emplea MOSFETs con $V_T = 0{,}5\ V$, y $kW/L = 400\ \mu A/V^2$. Los BJTs tienen $\beta_o = 200$ y $V_A = 100\ V$. Determinar A_{DM} empleando el concepto de semi-circuito.

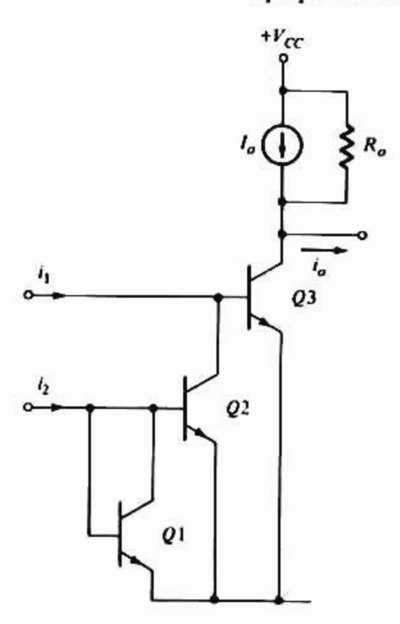


Prob. 14-25

14-26. El circuito representado se refiere a un amplificador diferencial de corriente que se usa frecuentemente en amplificadores operacionales de transconductancia.

(*a*) Comprobar que i_o es proporcional a $i_1 - i_2$.

(*b*) Determinar la resistencia de salida de pequeña señal de la etapa.



Prob. 14-26

14-27. Un Amp-Op tiene una ganancia a lazo abierto

$$A_{OL} = \frac{10^5}{(1 + s/\omega_1)(1 + s/\omega_2)}$$

(*a*) El amplificador se usa como un compensador de ganancia unidad. Determinar ω_1 para un margen de fase de 45° dado $\omega_2 = 10^7$ rad/s.

(*b*) ¿Cuál es el margen de fase si el amplificador tiene una ganancia a lazo cerrado de 5, y está compensado como en (*b*)?

(*c*) ¿Qué valor de ω_1 se necesita si el amplificador debe tener un margen de fase de 45° con $A_{FO} = 5$?

14-28. Repetir el Prob. anterior para una etapa de Amp-Op inversora.

14-29. La aproximación de dos polos de A_{OL} es

$$A_{OL} = \frac{2 \times 10^5}{(1 + s/\omega_1)(1 + s/\omega_2)}$$

(*a*) Repetir el Prob. 14-27(*a*) para $\omega_2 = 10^{7.5}$ rad/s.

(*b*) ¿Cuál es el margen de fase si $A_{FO} = 2$ y ω_1 viene dado como se ha determinado en (*a*)?

(*c*) ¿Qué valor de ω_1 se precisa si $A_{FO} = 2$ y el margen de fase requerido es de 60°?

14-30. Algunos Amp-Op están compensados parcialmente, es decir, se emplea compensación interna para alcanzar un margen de fase de 45° para $A_{FO} = 5$. En el Amp-Op del Prob. 14-29, $\omega_2 = 10^7$ rad/s. y

$$\omega_1 = \frac{1}{R_{eq}\,(C_1 + C_C)}$$

donde C_1 es el condensador interno y C_C el exterior de compensación.

(*a*) Siendo $C_C = 0$ y $C_1 = 2$ pF, determinar R_{eq}.

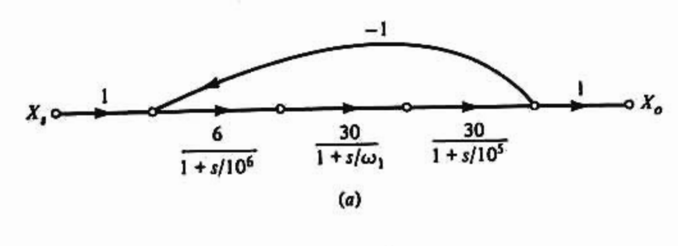
(*b*) El amplificador debe usarse como compensador de ganancia unidad y tener $\varnothing_M = 90^{\circ}$. Hallar C_C.

14-31. El amplificador del Prob. 14-30 se emplea como inversor. Determinar C_C admitiendo que $|A_{FO}| = 1$ y que el margen de fase requerido es de 60°.

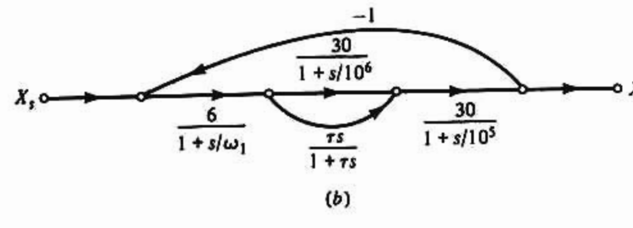
14-32. La ganancia en lazo abierto del Amp-Op de la Fig. 14-32*a* puede tomarse aproximadamente como $A_{vo}/(1 + s\omega_1)(1 + s/\omega_2)$.
(*a*) Determinar $T(s)$ del circuito.
(*b*) ¿Qué relación debe existir si hay que usar la cancelación polo-cero?
(*c*) Dado $A_{vo} = 10^5$, $\omega_1 = 10^6$ rad/s, y $\omega_2 = 10^7$ rad/s., diseñar el circuito para tener $\varnothing_M = 45°$ con $A_{FO} = 1$.

14-33. Repetir el Prob. anterior para el circuito de la Fig. 14-36*b*.

14-34. La figura corresponde a un modelo idealizado de un Amp-Op de tres etapas con ganancia unidad en lazo cerrado.
(*a*) ¿Cuál debe ser ω_1 si $\varnothing_M = 45°$?
(*b*) Se añade una vía de realimentación con función de transferencia $\tau s/(1 + \tau s)$ como se ve en (*b*). Con la ω_1 obtenida en (*a*), ¿qué campo de valores de τ incrementan $\varnothing_M$?

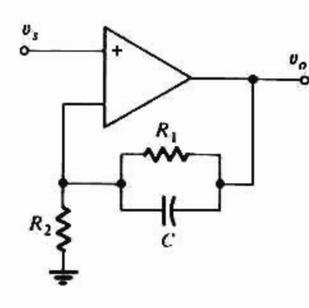


(*a*)

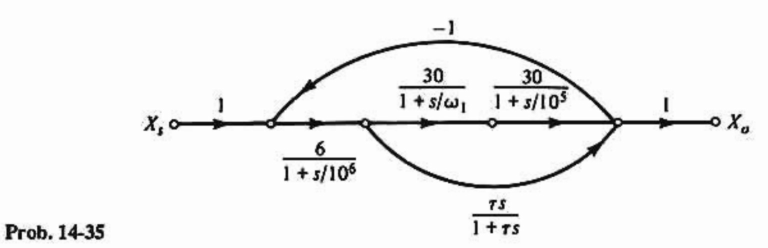


(*b*)

Prob. 14-34



Prob. 14-39



Prob. 14-35

14-35. Repetir el Prob. 14-34 para el recorrido de la señal representado.

14-36. (*a*) Un Amp-Op tiene un ritmo de variación de 0,5 $V/\mu s$. ¿Cuál es la frecuencia máxima de una senoide de salida de 5V de pico antes de que aparezca distorsión en el ritmo de variación?
(*b*) Repetir (*a*) para una señal de 15 V.

14-37. Repetir el Prob. 14-36 para un Amp-Op con ritmo de variación de 10$V/\mu s$.

14-38. Repetir el Prob. 14-36 para un Amp-Op con ritmo de variación de 50$V/\mu s$.

14-39. (*a*) Determinar $T(s)$ para el amplificador representado.
(*b*) ¿Puede emplearse esta disposición para compensar el amplificador? Explíquese.

14-40. Para el circuito de la Figura 14-39 expresar A_D y la CMRR en función de R_1, R_2, R_3, y R_4.

14-41. En el circuito de la Fig. 14-39 se cambia R_4 a 110 $k\Omega$:
(*a*) Calcular la CMRR.
(*b*) Determinar V_D para $V_1 = 5\ V$, y $V_2 = 5.001\ V$.

14-42. (*a*) Comprobar la Ec. (14-37).
(*b*) Determinar la CMRR.

14-43. Los transistores de la Fig. 14-42 tienen $\beta_o = 150$.
(*a*) Con $R_L = 1\ k\Omega$ y $V_{ref} = 5V$, determinar R_R para tener una ganancia 100. Tómese $V_{CC} = V_{EE} = 15V$.
(*b*) Si V_{ref} varía un 10% ¿en qué porcentaje variará la ganancia?

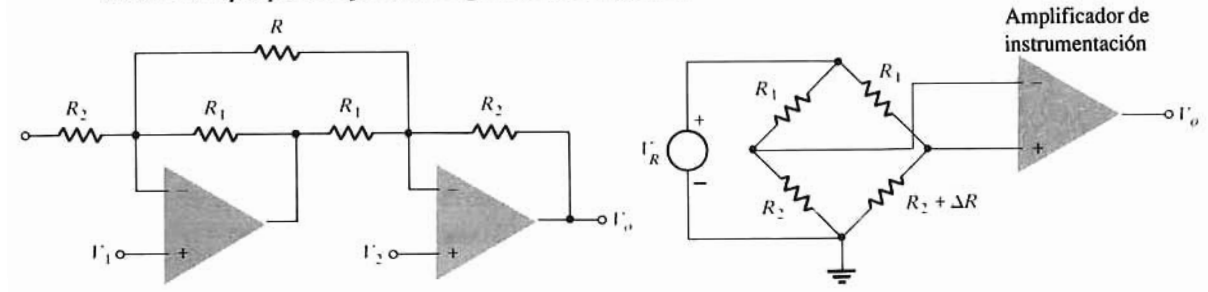
14-44. En la Fig. 14-43 el amplificador diferencial tiene una ganancia 12, la etapa de ganancia y el amplificador de salida tienen, cada uno de ellos, una ganancia de 30, y el seguidor de fuente la tiene de 0,9.
(*a*) Determinar la ganancia V_o/V_{in}.
(*b*) El Amp-Op se emplea como no inversor de ganancia unidad. La respuesta en frecuencia del seguidor de fuente puede despreciarse y considerar aisladas las etapas. Los dos polos dominantes del amplificador están en $s = -10^5$ y -10^7 rad/s. La etapa de ganancia tiene $g_m = 1\ m℧$, $r_o = 60\ k\Omega$, y $R_D = 60\ k\Omega$. La resistencia de salida del seguidor de fuente 2 es $1\ k\Omega$. Determinar C_C para un margen de fase de 45°.

14-45. En el circuito de la Fig. 14-46, $R_s = 5\ k\Omega$, $R_L = 30\ k\Omega$, $g_m = 1\ m℧$, $C_{gs} = 5$ pF y $C_{gd} = 2$ pF.
(*a*) Con $C_C = 0$ determinar la frecuencia del polo dominante.
(*b*) ¿Cuál es la frecuencia del cero de la función de transferencia?
(*c*) Determinar C_C para tener una frecuencia del polo dominante de 1 kHz.
(*d*) Dado C_C obtenido en (*c*) ¿cuál sería la frecuencia del cero si se eliminara el separador?

14-46. Comprobar que en el amplificador de instrumentación representado

$$V_o = \left(1 + \frac{R_2}{R_1} + \frac{2R_2}{R}\right)(V_2 - V_1)$$

Obsérvese que puede ajustarse la ganancia variando R.



Prob. 14-46

Prob. 14-48

14-47. Dadas las señales v_1 y v_2 usar dos amplificadores inversores para tener una salida $v_o = k(v_2 - v_1)$ siendo k un número positivo.

14-48. Para amplificar la salida de un transductor de puente como el representado, frecuentemente se emplea un amplificador de instrumentación. Por ejemplo, para medir esfuerzos las resistencias R_1 son resistencias fijas de precisión, mientras que $R_2 + \Delta R$ es el transductor unido a un punto de la estructura en ensayo: debido a la carga aplicada a la estructura la resistencia varía. La resistencia R_2 en el brazo restante del puente no está cargada y sirve para equilibrar las variaciones de resistencia debidas a cambios de temperatura o de otros parámetros.
(*a*) Suponiendo que la ganancia del amplificador de instrumentación sea A_D, demostrar que para $\delta = \Delta R/R_2 \ll 1$,

$$V_o = \frac{A_D V_R\ \delta}{4}$$

(*b*) Dado CMRR y A_D del amplificador, expresar V_o en función de A_D, CMRR, V_R y δ.
(*c*) Sea $R_1 = R_2$, $A_D = 10$ y $V_R = 12\ V$. ¿Cuál debe ser CMRR si la componente diferencial de salida ha de ser de 100 veces la componente de salida de modo común para $\delta = 10^{-4}$? Este valor ¿es realista?

CAPÍTULO 15

15-1. Comprobar la Ec. (15-4).

15-2. (*a*) Empléense las técnicas de la realimentación para demostrar que la impedancia de entrada para la red de la Fig. 15-2*a* es:

$$Z_i = R\,\frac{1 - 5\omega_N^2 - j\omega_N(6 - \omega_N^2)}{3 - \omega_N^2 - j4\omega_N}$$

(*b*) Calcular Z_i a la frecuencia de oscilación.

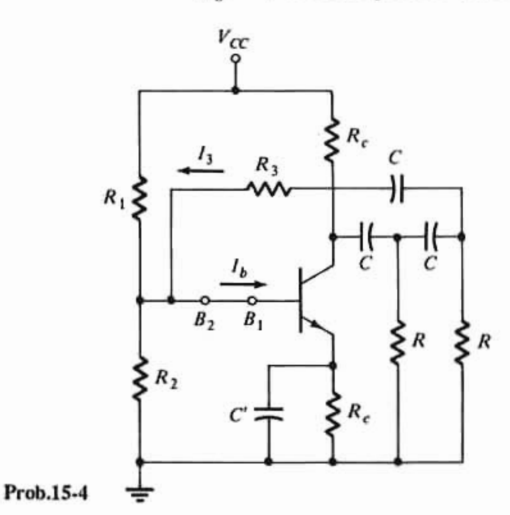
15-3. Determinar la ganancia requerida y la frecuencia de oscilación del circuito de la Fig. 15-2*a*, incluyendo el efecto de carga de la etapa JFET.

15-4. En el oscilador de desplazamiento de fase representado, R_1 y R_2 tienen un efecto despreciable y C es suficientemente elevado para actuar como de paso perfecto.
(*a*) Determinar $T(s)$.
(*b*) Demostrar que las condiciones de oscilación dan

$$f_o = \frac{1}{2\pi RC}\sqrt{\frac{1}{6 + 4k}}$$

$$\beta_o \geq 4k + \frac{29}{k} + 23$$

siendo $k = R_C/R$.
(*c*) Demostrar que el mínimo valor de β_o requerido supera el 44,5.

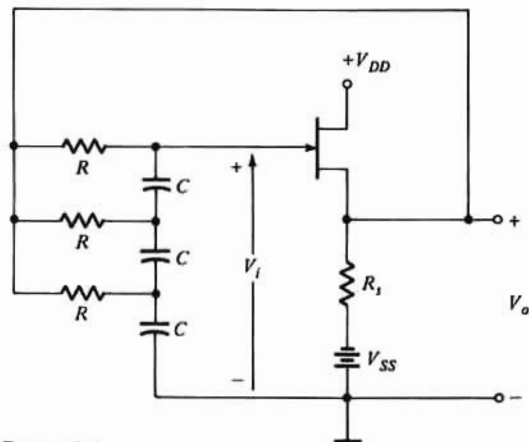


Prob.15-4

15-5. Diseñar un oscilador de desplazamiento de fase para trabajar a una frecuencia de 8 kHz. Empléese un MOSFET con $\mu = 59$ y $r_d = 10\ k\Omega$. La red de desplazamiento no debe cargar el amplificador.
(*a*) Hallar el valor mínimo de la resistencia R_D del circuito de drenaje para que el circuito oscile.

(*b*) Hallar el producto *RC*.
(*c*) Elegir un valor razonable de *R* y hallar *C*.

15-6. (*a*) Hallar V_f/V_D para el oscilador FET representado.
(*b*) Hallar la frecuencia de oscilación.
(*c*) Determinar la ganancia mínima del seguidor de fuente necesaria para que oscile.



Prob. 15-6

15-7. El circuito de la Fig. 15-2*a* utiliza un JFET con parámetros $g_m = 5$ $m℧$ y $r_o = 50$ $k\Omega$. Los condensadores C_{ds} y C_{gs} influyen despreciablemente a la frecuencia de trabajo. Determinar, para $R = 100$ $k\Omega$, los valores de R_D y de C necesarios para mantener la oscilación a 10 kHz.

15-8. (*a*) Comprobar la Ec. (15-6).
(*b*) Determinar la frecuencia de oscilación y la ganancia necesaria para el puente oscilador de Wien de la Fig. 10-7.

15-9. En el diseño de un determinado puente oscilador de Wien los valores de R_1 y C_2 se ajustan de acuerdo con las relaciones $0{,}1 \leq R_1/R_2 \leq 10$, y $0{,}1 \leq C_2/C_1 \leq 10$.
(*a*) Hallar los valores mínimos y máximos de la frecuencia de oscilación para $R_2 = 10$ $k\Omega$ y $C_1 = 0{,}1$ μF.
(*b*) ¿Cuál debe ser el mínimo producto ganancia-ancho de banda del amplificador de tensión si la respuesta del amplificador de frecuencia no debe afectar sensiblemente al funcionamiento del oscilador?

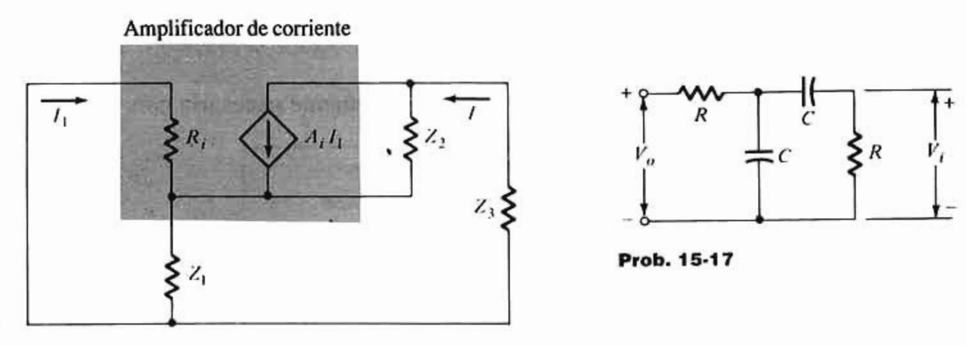
15-10. (*a*) Diseñar el circuito de la Fig. 15-33 para que oscile con 2 kHz. Elegir $R_1 = R_2$ y $C_1 = C_2$ siendo la menor resistencia disponible igual a 1 $k\Omega$.
(*b*) Si la tecnología empleada para fabricar el circuito permite ajustar las resistencias y los condensadores dentro del 1% de su valor nominal ¿Cuál es el campo abarcado por la frecuencia de oscilación?

15-11. Se diseña un oscilador Hartley con $L_1 = 2$ mH y $L_2 = 20$ μH, y una capacidad variable.
(*a*) Determinar el campo de valores de la capacidad para el caso en que la frecuencia de oscilación varíe entre 950 y 2050 kHz.
(*b*) Diseñar una etapa de Amp-Op apropiada para conseguir A_v.

15-12. Se diseña un oscilador Colpitts con $C_1 = 100$ pF y $C_2 = 7.500$ pF. La inductancia es variable.
(*a*) Determinar el campo de valores de la inductancia si la frecuencia de oscilación varía entre 950 y 2050 kHz.
(*b*) Diseñar una etapa de Amp-Op apropiada para conseguir A_v.

15-13. La figura corresponde a una variante de oscilador Hartley en el que $Z_1 = j\omega L_1$, $Z_2 = j\omega L_2$ y $Z_3 = -j/\omega C$. El amplificador de tensión tiene una resistencia de entrada infinita y una de salida R_o.

Determinar el valor de A_i para mantener la oscilación, y la frecuencia de ésta.



Prob. 15-13

Prob. 15-17

15-14. El circuito mostrado en el Prob. 15-13 puede utilizarse a manera de oscilador Colpitts cuando $Z_1 = -j\omega C_1$, $Z_2 = -j\omega C_2$ y $Z_3 = j\omega L$. El amplificador de corriente tiene una resistencia de entrada R_i y una de salida infinita. Determinar la frecuencia de oscilación y el valor de A_i necesario para mantenerla.

15-15. En este problema se examinan los efectos de los elementos prácticos en el comportamiento de un oscilador. Consideremos el circuito Colpitts de la Fig. 15-5 en el que las capacidades son 500 pF y 0,05 μF y la inductancia de 20 μH tiene una resistencia en serie $R_L = 4\ \Omega$. Determinar la frecuencia de oscilación y el valor de A_v necesario para mantener la oscilación.

15-16. Hay que analizar el efecto de la resistencia en serie asociada a las inductancias prácticas sobre el funcionamiento del circuito Hartley de la Fig. 15-5. Hallar la frecuencia de oscilación y el valor de A_v necesario para mantenerla, siendo $C = 100$ pF, $L_1 = 99\ \mu H$ en serie con 10 ohmios y $L_2 = 1\ \mu H$ en serie con 1 ohmio.

15-17. (*a*) Demostrar que en la red representada

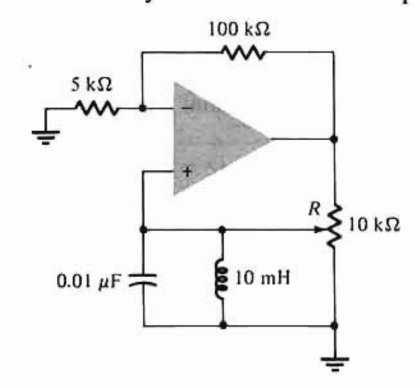
$$\frac{V_i}{V_o} = \frac{1}{3 + j(\omega RC - 1/\omega RC)}$$

(*b*) Esta red se emplea con un Amp-Op para formar un oscilador. Demostrar que la frecuencia de oscilación es $f = 2\pi RC$ y que la ganancia debe ser superior a 3.

(*c*) Dibujar el circuito del oscilador

15-18. En la topología del puente de Wien de la Fig. 15-3, Z_1 está formada de R, C y L en serie, y Z_2 es una resistencia R_3. Hallar la frecuencia de oscilación y la relación mínima R_1/R_2.

15-19. Hallar la frecuencia de oscilación y el mínimo valor de R para el oscilador representado.



Prob. 15-19

15-20. (*a*) Comprobar la Ec. (15-14) para la reactancia de un cristal.

(*b*) Demostrar que la relación entre las frecuencias resonantes en serie y en paralelo es aproxima-

damente de $1 + 0{,}5C/C'$

(*c*) Si $C = 0{,}025$ pF y $C' = 1{,}25$ pF ¿en qué porcentaje la frecuencia resonante en paralelo es mayor que la en serie?

15-21. (*a*) Las puertas NOR de la Fig. 15-13 sólo pueden tomar o ceder 5 *mA*. Siendo $V_{DD} = 5\ V$ y $V_T = 2{,}5\ V$, determinar la duración máxima de impulso, dado $C = 1000$ pF.

(*b*) El diodo de fijación tiene $V_\gamma = 0{,}5\ V$, y R_f si el diodo es de 20Ω, ¿Cuál es el valor máximo de v_x?

15-22. Las puertas NOR de la Fig. 15-13 están fabricadas con tecnología NMOS. La tensión de suministro es de 5 *V*, y los niveles lógicos son $V(0) = 0{,}2\ V$ y $V(1) = 5\ V$. Tomemos $V_T = 2{,}5\ V$.

(*a*) Deducir la ecuación para la duración del impulso. Supóngase que se emplean diodos de fijación que tienen $V_\gamma = 0{,}6\ V$, y $R_f = 20\Omega$.

(*b*) Esbozar las formas de onda de v_{o1}, v_{o2} y v_x.

15-23. Si V_T del problema 15-22 puede variar en un 10% de una unidad a otra, ¿cuál es el campo que se puede abarcar en la duración de los impulsos?

15-24. La puerta NOR de la Fig. 15-13 tiene unos parámetros que varían con la fabricación.

(*a*) Supongamos que V_T del MOSFET varía un 20% y V_{DD} en un 5%. *R* y *C* pueden variar, cada uno de ellos, un 20%.

(*b*) ¿Cuál es, en el peor caso, el ancho del impulso si el valor nominal de *R* es de 10 *k*Ω, y $C = 200$ pF?

15-25. El multivibrador astable de la Fig. 15-15 está diseñado con $R = 50\ k\Omega$ y $C = 0{,}01\ \mu F$. Las puertas CMOS NOR tienen $V_T = 2{,}5\ V$, y diodos de fijación con $V_\gamma = 0{,}5\ V$. El circuito está alimentado por $V_{DD} = 5\ V$.

(*a*) Determinar el periodo de la onda de salida.

(*b*) ¿Cuál es la corriente instantánea máxima que la puerta CMOS tiene que tomar o ceder?

15-26. El circuito astable del Prob. 15-25 se alimenta ahora con $V_{DD} = 6\ V$.

(*a*) Determinar el periodo de la onda cuadrada de salida.

(*b*) Esbozar las ondas de v_{o1}, v_{o2}, v_x y v_C en función del tiempo. Identificar cuidadosamente las constantes de tiempo.

15-27. Ahora el multivibrador astable del Prob. 15-25 se alimenta con $V_{DD} = 3{,}5\ V$. Repetir el Prob. 15-25.

15-28. El circuito de la Fig. 15-17 está diseñado con $C = 0{,}01\ \mu F$. Las puertas CMOS tienen $V_T = 2{,}5\ V$, y se alimentan de una fuente de 5 *V*. Los diodos *D*1 y *D*2 se consideran ideales. Determinar R_1 y R_2 para obtener una onda cuadrada de 50 μ*s* en la que un impulso sea de 10 μ*s*.

15-29. Repetir el Prob. 15-28 para diodos con $V_\gamma = 0{,}5\ V$.

15-30. Hay que diseñar, con las puertas NOR del Prob. 15-28 una onda cuadrada asimétrica con una duración de impulso de 20 μ*s* y periodo 20 *ms*. Suponiendo que la mayor resistencia que se puede utilizar es de 1 *M*Ω determinar R_1, R_2 y *C*. El valor de *C* ¿es realista?

15-31. (*a*) Diseñar el circuito del Prob. 15-30 con la condición de que los valores de resistencia estén comprendidos entre 10 *k*Ω y 22*M*Ω, minimizando la capacidad. Elegir valores de resistencia y de capacidad normales del 5%.

(*b*) ¿Cuál es, en el peor de los casos, el error porcentual en el periodo?

(*c*) ¿Cuál es el valor mínimo del impulso más estrecho?

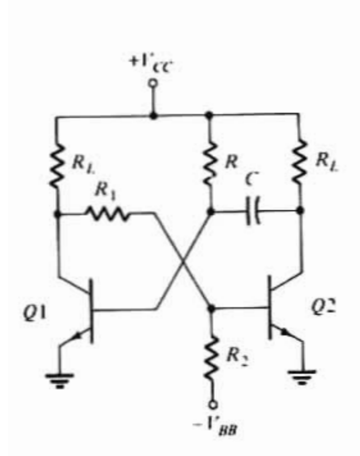
15-32. El circuito representado es una forma de multivibrador monoestable de componente discreto BJT. Cuando conducen, los transistores están saturados.

(*a*) Esbozar las tensiones de colector y de base V_{C1}, V_{C2}, V_{B1} y V_{B2} desde $t = 0^-$, justamente antes de aplicar el disparo, hasta $t = T^+$, justamente después de que el circuito haya retornado a su estado estable.

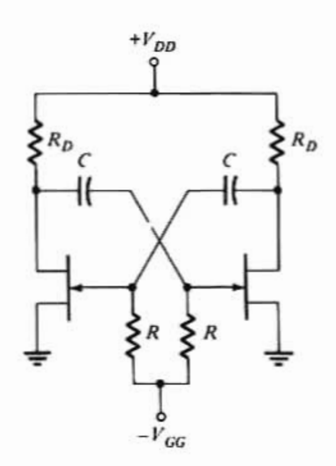
(*b*) Deducir una expresión para *T*, el ancho del impulso.

15-33. Está representado un circuito JFET astable.

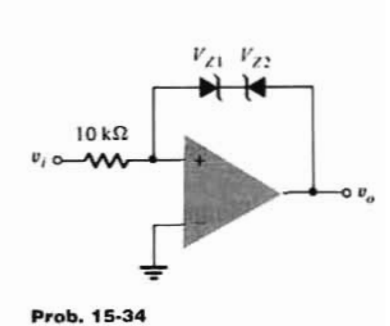
(*a*) Repetir el Prob. 15-32, parte (*a*).



Prob. 15-32



Prob. 15-33



Prob. 15-34

(*b*) Deducir la relación entre periodo y duración de los impulsos de salida.

15-34. (*a*) Trazar la característica de transferencia del circuito comparador representado, suponiendo que la ganancia del Amp-Op es infinita y que $V_{Z1} = V_{Z2} = 5\ V$. Razónese.

(*b*) Repetir la parte (*a*) si la ganancia de gran señal es 10.000.

(*c*) Repetir la parte (*a*) si se aplica una tensión de 2 *V* entre el terminal negativo y tierra.

15-35. (*a*) Con dos comparadores y una puerta AND dibujar un sistema cuya salida sea lógica 1 si, y sólo si, la entrada está entre V_{R1} y V_{R2}. Explíquese el funcionamiento.

(*b*) Se desea determinar la altura de un impulso que puede variar entre 0 y 5 *V*, con una fluctuación de 50 *mV*. Modificar el sistema del apartado (*a*) para obtener este analizador de altura de impulso.

15-36. En el comparador regenerativo de la Fig. 15-22 se desea que la tensión umbral V_1 sea igual a la de referencia V_R y que se obtenga una histéresis de 0,1 *V*. Para $A_v = 100.000$, la ganancia del lazo es de 2.000, y $R_2 = 0{,}5\ k\Omega$. Hallar V_R, V_Z y R_1.

15-37. (*a*) El disparador Schmitt de la Fig. 15-22 emplea diodos Zener de 6 *V*, con $V_D = 0{,}7\ V$. Suponiendo que la tensión umbral V_1 sea nula, y la histéresis $V_H = 0{,}2$, calcular R_1/R_2 y V_R.

(*b*) Este comparador convierte una onda senoidal de 4 kHz cuyo valor de pico a pico es de 2 *V*, en una onda cuadrada. Calcular el tiempo de duración de las porciones negativa y positiva de la onda de salida.

15-38. (*a*) En el disparador Schmitt de la Fig. 15-22, $V_o = 4\ V$, $V_1 = 2\ V$, y $V_2 = 1{,}5\ V$. Hallar R_1/R_2 y V_R.

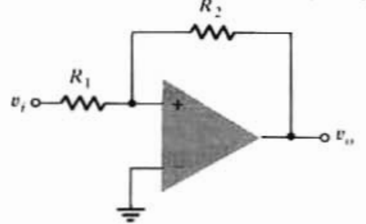
(*b*) ¿Cómo hay que elegir V_R para que V_2 sea negativo?

(*c*) ¿Cómo hay que elegir V_R si $V_1 = -V_2$?

15-39. (*a*) Hallar, para el comparador representado, unas expresiones para las tensiones umbral V_1 y V_2 en función de R_1, R_2, y el valor limitado del Amp-Op. (de magnitud V_O). (Explicar los cálculos.)

(*b*) Dibujar la característica de transferencia (similar a la Fig. 15-22*d*).

(*c*) El pico de salida es de 20 *V*, y $R_2 = 5R_1$. Dibujar la onda de salida si se aplica una senoide de 8 *V* de pico. Empléese la misma escala de tiempos que para la entrada.



Prob. 15-39

15-40. (*a*) Consideremos el generador de onda cuadrada de la Fig. 15-25 en el que se usan los diodos de avalancha no idénticos V_{Z1} y V_{Z2}. Suponiendo que la salida es o bien $+V_{O1}$ o $-V_{O2}$, siendo $V_{O1} = V_{Z1} + V_D$ y $V_{O2} = V_{Z2} + V_d$, comprobar que la duración de la sección positiva viene dada por

$$T_1 = RC \ln \frac{1 + \beta V_{o2}/V_{o1}}{1 - \beta}$$

(*b*) Comprobar que T_2 (duración de la sección negativa) viene dada por la misma ecuación intercambiando V_{O1} y V_{O2}.

(*c*) Si $V_{O1} \gg V_{O2}$, T_1 ¿será mayor o menor que T_2? Explíquese.

15-41. El generador de onda triangular de la Fig. 15-27 tiene una tensión de control simétrica V_S añadida al terminal no inversor del integrador.

(*a*) Comprobar que la velocidad de barrido para la rampa positiva es $(V_o + V_S)/RC$.

(*b*) Hallar T_1, T_2 y f.

(*c*) Comprobar que el ciclo de servicio viene dado por la Ec. (15-34).

15-42. Comprobar la Ec. (15-37) para el ancho T del impulso del multi monoestable de la Fig. 15-29.

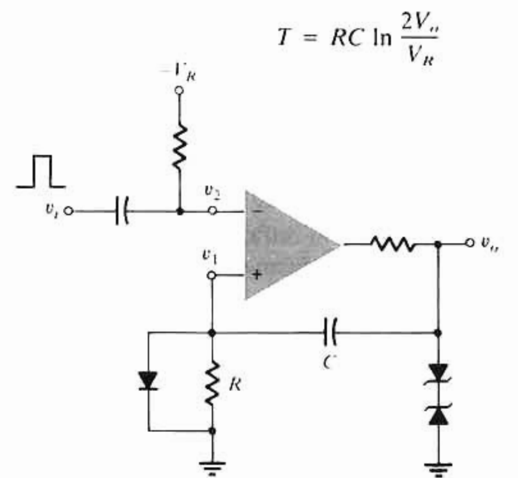
15-43. (*a*) Consideremos el generador de impulsos representado. Hallar v_2, v_o y v_1 en el punto de reposo (antes de aplicar un disparo).

(*b*) En el instante $t = 0$ se aplica un impulso de disparo estrecho y positivo v_t cuya magnitud supera V_R. Hallar v_o y v_1 en el instante $t = 0^+$ (recuérdese que la tensión a través de un condensador no puede cambiar instantáneamente). Trazar las ondas v_o y v_1 en función del tiempo. Demostrar que el circuito actúa como un multivibrador monoestable con un ancho de impulso T.

(*c*) Hallar v_o y v_1 en $t = T+$ y prolongar las ondas hasta alcanzar el estado permanente. ¿Qué es la constante de tiempo de recuperación? (¿el diodo, está en ON o en OFF?)

(*d*) Comprobar que T viene dado por

$$T = RC \ln \frac{2V_o}{V_R}$$



Prob. 15-43

15-44. El circuito de la Fig. 15-24 se diseña con los siguientes valores de los parámetros: $V_{CC} = 5$ V, $R_1 = 3{,}9$ kΩ, $R_2 = 2{,}6$kΩ y $R_E = 1$ kΩ. Los transistores $Q1$ y $Q2$ son idénticos con $\beta_F = 100$ en la región activa y $\beta_{forzado} = 50$ en saturación.

(*a*) Determinar los valores alto y bajo de la tensión de salida.

(*b*) Calcular la tensión de histéresis.

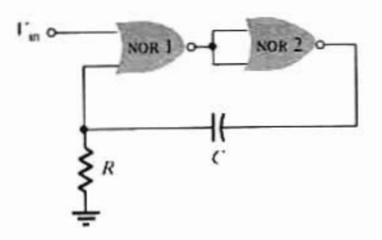
15-45. En el circuito de la Fig. 15-24, $R_1 = 7{,}5$ kΩ, $R_2 = 5{,}1$ kΩ, y $R_E = 2$ kΩ. Los transistores son idénticos y conducen con $V_{BE} = 0{,}7$ V. Esbozar la característica de transferencia V_o en función de V_{in}, señalando cuidadosamente las tensiones umbral y niveles de salida. Identificar la tensión de histéresis en el esbozo.

15-46. Comprobar las Ecs. (15-42) y (15-43).

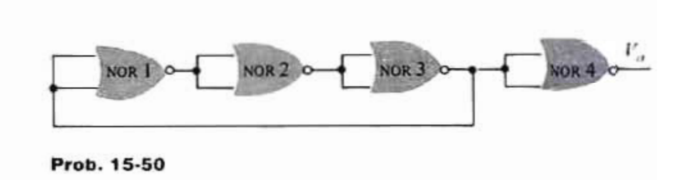
15-47. (*a*) Emplear el temporizador 555 para diseñar un circuito monoestable con 20 μs de duración del impulso. Los parámetros son $V_{CC} = 5V$, $V(0) = 0$ y $R = 91\ k\Omega$.
(*b*) Con los valores anteriores ¿Cuál es la duración del impulso si $V(0) = 0{,}2\ V$?

15-48. Hay que diseñar una onda cuadrada de periodo 100 μs de forma que los impulsos positivos y negativos guarden la relación 3:1. Dado $C = 0{,}001\ \mu F$, determinar R_A y R_B.

15-49. (*a*) Determinar la duración del impulso para el CMOS monoestable representado.
(*b*) Esbozar v_{O1}, v_{O2}, v_x y v_C en función del tiempo.



Prob. 15-49



Prob. 15-50

15-50. El circuito representado se emplea como circuito astable que puede servir para medir el retardo de propagación de una puerta.
(*a*) Dando por supuesto que cada puerta tenga un retardo de propagación de 10 ns, esbozar las tensiones v_{O1}, v_{O2}, v_{O3} y v_{O4} en función del tiempo. Cada puerta se suministra de una fuente de 5 V, teniendo un umbral de 2,5 V.
(*b*) Esta técnica ¿puede extenderse para tener cuatro puertas en el lazo de realimentación? Explíquese.
(*c*) Repetir (*b*) para cinco puertas.

15-51. (*a*) Comprobar la Ec. (15-46) para el error e_1 de la velocidad de barrido de un barrido exponencial.
(*b*) En el circuito de la Fig. 15-37*a* se pone en paralelo con C_1 una resistencia R_1. Demostrar que e_s queda multiplicada por $(R_1 + R_2)/R_2$.

15-52. Supóngase que en el Amp-Op generador de barrido de la Fig. 15-35, R_i es finito, A_v también finito. y R_o no nulo.
(*a*) Dibujar el modelo de amplificador con R_i en la entrada y A_v en serie con R_o a través de la salida.
(*b*) Aplicar el teorema de Miller a la impedancia formada por C_1 en serie con R_o.
(*c*) Haciendo aproximaciones razonables en cuanto al orden de magnitud, demostrar que la expresión del error en la pendiente es

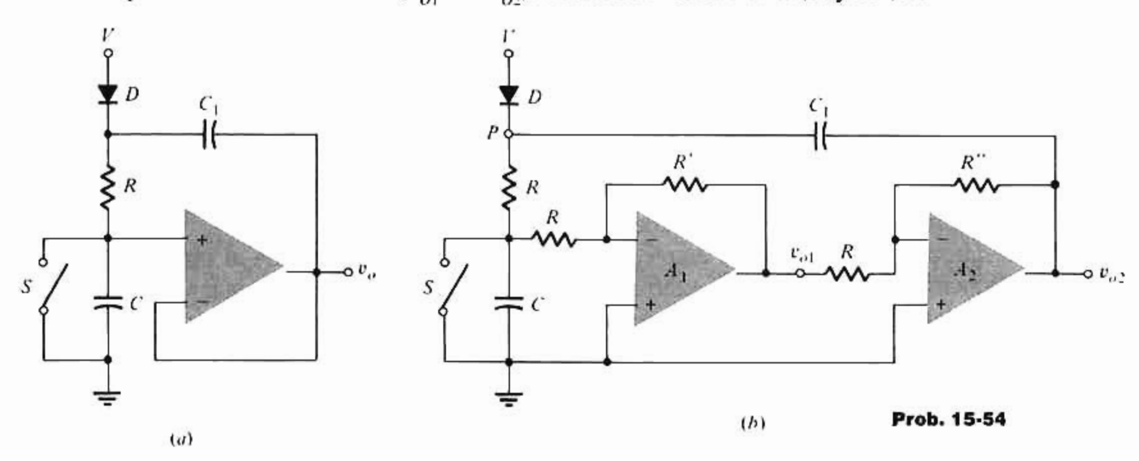
$$e_s = \frac{V_s}{A_v}\frac{R_1 + R_i}{R_i}$$

15-53. En el barrido Miller de la Fig. 15-35, $V = 30\ V$, $R_i = 1\ M\Omega$, y la ganancia del Amp-Op es 10.000. La amplitud del barrido de salida es de 10 V. El barrido más largo es de 1 s y el más corto de 1 μs.
(*a*) Hallar C_1 para $T_s = 1$ s.
(*b*) Calcular el error e_s de la velocidad de barrido.
(*c*) Repetir las partes (*a*) y (*b*) para $T_s = 1\ \mu s$.
(*d*) ¿Cómo se puede conseguir un barrido de 1 μs con un valor más razonable de C_1 que el hallado en (*c*), es decir, como unas 100 veces mayor?
(*e*) ¿Cuál es el máximo valor de T_s que se puede medir por este sistema?

15-54. (*a*) Para el sistema de barrido «bootstrap» mostrado en la parte (*a*) de la figura, el condensador C_1 puede tomarse arbitrariamente grande. La caída a través del diodo ideal D puede despreciarse durante la conducción, y se puede admitir que cualquier tensión negativa corta a D. El Amp-Op.

es ideal ($R_i = \infty$, $R_o = 0$, y $A = \infty$). Estando cerrado S ¿cuál es la tensión a través de C_2 y de R? Estando S abierto y C cargado a v_i ¿cuál es la tensión a través de C_1 y de R? Demostrar que se obtiene un barrido exactamente lineal y que $v_i = Vt/RC$.

(*b*) Del sistema representado en la parte (*b*) de la figura hay que obtener un barrido lineal con un par de salidas simétricas ($v_{O1} = -v_{O2}$). Hallar los valores de R'/R y R''/R.



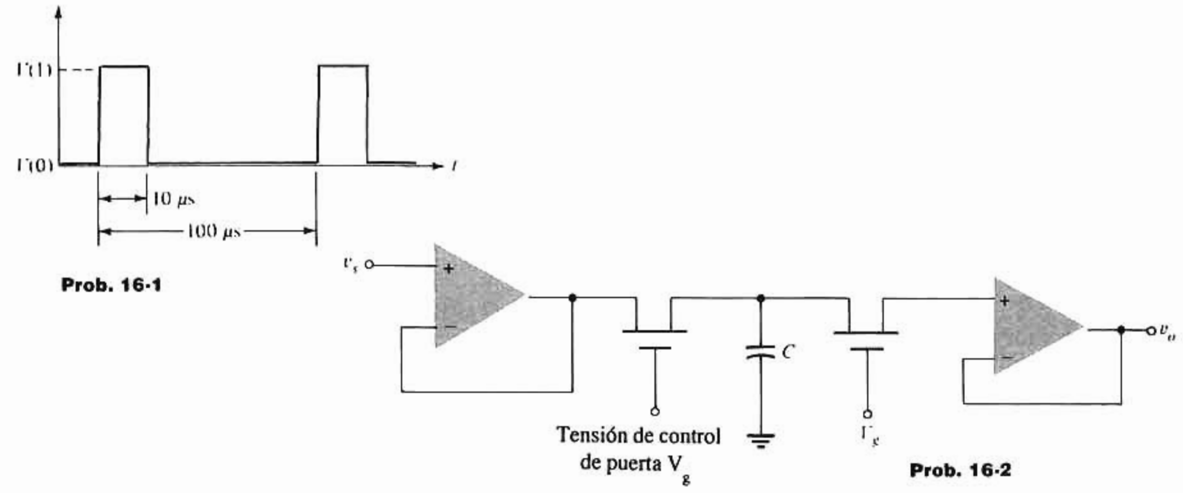
Prob. 15-54

15-55. (*a*) Consideremos el modulador cortador de la Fig. 15-41 con S_1 gobernado por $+v_O$ en lugar de por $-v_O$. Esbozar los cinco primeros impulsos de la onda moduladora v_m de la Fig. 15-41*b*. Llamemos a esta onda v_+. Alineado en tiempo con v_+ dibujar la salida v_- del recortador cuando S_1 está gobernado por $-v_O$ (en la Fig. 15-41*b*, $v_- = v$)

(*b*) Indicar cómo combinar v_+ y v_- con Amp-Ops para tener la señal *AM* señalada en la Fig. 15-40*c*.

CAPÍTULO 16

16-1. La gráfica corresponde a la tensión de gobierno de la puerta aplicada al circuito de la Fig. 16-7*b*. Esbozar la tensión de salida para cada una de las ondas de la Fig. 16-6.

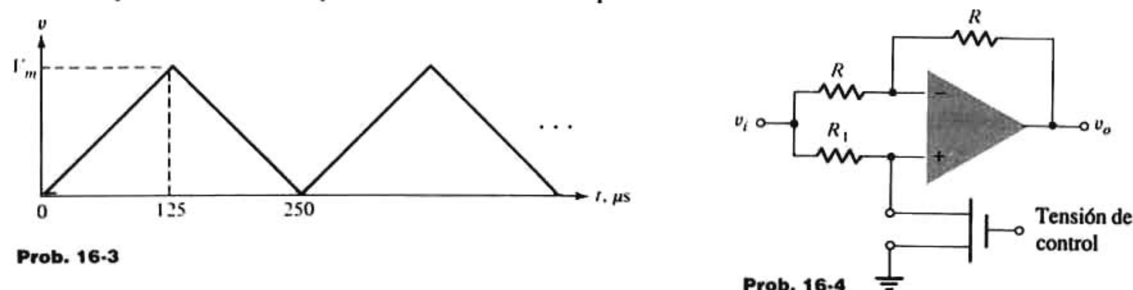


Prob. 16-1

Prob. 16-2

16-2. Repetir el Prob. 16-1 para el circuito representado.

16-3. Repetir el Prob. 16-1 para la onda de entrada representada.



16-4. (*a*) El interruptor *S* del circuito representado está abierto durante medio periodo y cerrado durante la otra mitad. Determinar la ganancia en cada semi-periodo.

(*b*) El circuito representado se emplea para generar la señal de entrada al circuito de toma y retención de la Fig.16-7*b*. El interruptor *S* actúa a un ritmo de 8 kHz, y la tensión de gobierno es la dada en el Prob. 16-1. Determinar la salida del sistema, suponiendo que la tensión de entrada es la senoide de 3,5 kHz de la Fig. 16-6.

16-5. (*a*) En el módulo de toma y retención de la Fig. 16-7*b* el terminal de entrada negativo de *A*1 se separa de su salida y se conecta a la salida v_o del segundo Amp-Op. Este sistema ¿funcionará correctamente? Explíquese.

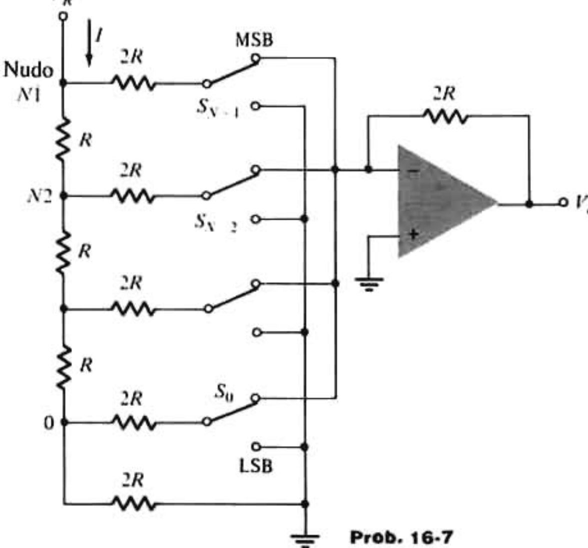
(*b*) Se conecta una resistencia R_2 desde la salida en serie con R_1 a tierra. Ahora se conecta el terminal inversor de A_1 a la unión entre R_2 y R_1. Demostrar que esta configuración opera como un sistema de toma y retención no inversor con ganancia. ¿Cuál es la expresión de la ganancia?

(*c*) Modificar las conexiones para tener un sistema de toma y retención inversor con ganancia. Calcular la ganancia.

16-6. (*a*) En el convertidor de la Fig. 16-13 el tercer bit más significativo (MSB) N-3 es 1 y todos los demás bit son cero. Hallar las tensiones en los nudos N-3, N-2, N-1 y en la salida V_o en función de V_R y de las resistencias.

(*b*) Para un convertidor de 8 bit con el bit menos significativo (LSB) igual a uno y todos los demás iguales a cero, hallar las tensiones en todos los nudos, 1, 2, ... y en la salida.

16-7. En el convertidor representado los interruptores van conectados directamente a la entrada del Amp-Op.



(*a*) Demostrar que la corriente I emanada de V_R es una constante independiente de la información digital. Explicar por qué con este sistema se eliminan los transitorios del tiempo de retardo de propagación.
(*b*) ¿Cuál es la corriente del interruptor y V_O si el bit más significativo (MSB) es 1 y todos los demás son cero?
(*c*) Repetir (*b*) suponiendo que el siguiente MSB es uno y todos los demás son 0.
(*d*) Calcular V_O para el LSB en el convertidor Digital/Analógico de 4-bit siendo cero todos los demás bit.

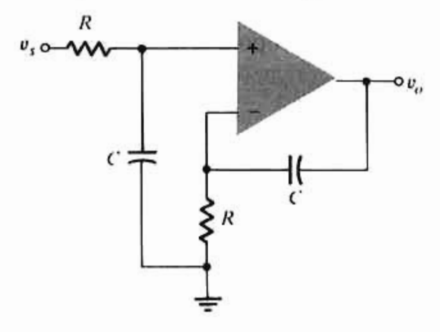
16-8. Los interruptores del convertidor representado en la Fig. 16-11 están dispuestos como se ve en la Fig. 16-12*b*. El Amp-Op se alimenta de una fuente de 10*V*, en continua. La tensión de salida analógica ha de ser como máximo de 10*V*, y la mayor resistencia utilizada es de aproximadamente 32 $k\Omega$ ($32\times2^{10}\Omega$)
(*a*) Especificar los valores de los elementos para un convertidor digital-analógico de 8-bit.
(*b*) ¿Cuál es la corriente máxima en la resistencia de realimentación del Amp-Op?
(*c*) ¿Cuál es la tensión mínima que se puede convertir?

16-9. (*a*) Dibujar el diagrama del circuito de un DAC en escalera R-2R invertido de 6 bit.
(*b*) Siendo $V(1)$=5 V, ¿cuál es la tensión máxima de salida?
(*c*) ¿Cuál es la tensión mínima que se puede convertir?

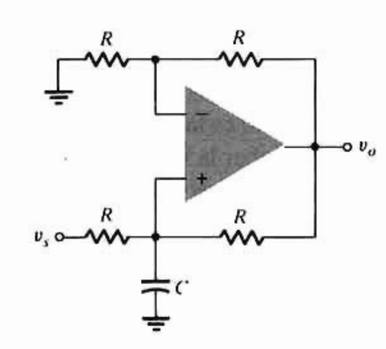
16-10. Describir cómo se pueden utilizar bloques constructivos *A/D* (Analógico/digital) y/o *D/A* en un voltímetro digital. Esbozar un diagrama esquemático en forma de bloque.

16-11. El integrador de la Fig. 16-19 se ha diseñado con R=10 $k\Omega$, C = 1000 pF y un Amp-Op cuya ganancia en lazo abierto y ancho de banda son 106 dB y 5 Hz, respectivamente.
(*a*) Esbozar el diagrama asintótico de Bode e indicar el campo de frecuencias sobre el que el circuito funciona como integrador.
(*b*) Esbozar la onda de tensión de salida de una tensión de entrada en escalón. Indicar el campo de tiempos en el que la salida es la integral de la entrada.

16-12. Obtener la función de transferencia de la red representada. Comprobar que $V_o = (1/RC)\int v_s\,dt$ de manera que se forma una integración no inversora.



Prob. 16-12



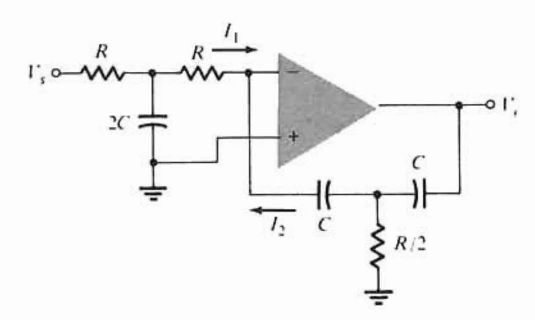
Prob. 16-13

16-13. Demostrar que la red representada es un integrador no inversor con $v_O = (2/RC)\int v_s\,(t)dt$.

16-14. Comprobar que el sistema representado, que emplea sólo un Amp- Op, es un integrador doble. En otras palabras, demostrar que la ganancia de transferencia es

$$\frac{V_o}{V_s} = -\frac{1}{(RCs)^2}$$

Sugerencia: Calcular I_1 e I_2 independientemente, y luego hacer $I_1 = I_2$ ¿por qué?



Prob. 16-14

16-15. Comprobar la Ec. (16-9).

16-16. Hay que diseñar un filtro paso-bajo que tenga un ancho de banda de 3 dB, de 4 kHz, y una atenuación de por lo menos 30 dB a 6 kHz.
  (*a*) ¿Qué orden de filtro Butterworth se necesita?
  (*b*) Repetir (*a*) para un filtro Chebyshev de 0,5 dB.
  (*c*) ¿Cuál es la función paso-banda correspondiente a (*a*) si la frecuencia central es de 40 kHz?

16-17. Hay que diseñar un filtro paso-bajo que tenga un ancho de banda de 3 dB, de 200 Hz, y una atenuación de 50 dB a 400 Hz.
  (*a*) Determinar el orden del filtro Butterworth necesario.
  (*b*) Repetir (*a*) para un filtro Chebyshev de 1 dB.
  (*c*) Convertir la función de (*b*) a su equivalente paso-alto con un ancho de banda de 200 Hz.

16-18. Comprobar la Ec. (16-22).

16-19. Diseñar un filtro paso bajo Butterworth de cuarto orden cuyo ancho de banda sea de 1 kHz. Seleccionar todos los condensadores iguales a 1000 pF. Si se pueden elegir arbitrariamente algunos valores de resistencias, ¿cuáles son éstas?

16-20. Comprobar la Ec. (16-23).

16-21. Comprobar la Ec. (16-24).

16-22. (*a*) Una alternativa al diseño dado en las Ecs. (16-26) y (16-27) es hacer $A_v = 2$ en todas las secciones. Diseñar un filtro paso-bajo Chebyshev de 0,5 dB, de sexto orden, con frecuencia de corte de 2 kHz. Seleccionar todos los valores de los componentes. Obsérvese que el valor de algunos componentes es arbitrario; señalar cuáles se encuentran en este caso, pero emplear valores razonables.
  (*b*) ¿Cuál es la frecuencia de 3 dB del filtro?

16-23. Comprobar la Ec. (16-28).

16-24. Repetir el Prob. 16-19 empleando el circuito de la Fig. 16-30*b*.

16-25. Repetir el Prob. 16-22 para un filtro paso-alto.

16-26. Diseñar un circuito paso-banda con frecuencia central de 8 kHz y ancho de banda de 1,5 kHz. La atenuación una octava mas allá del paso-banda debe ser de 30 dB.
  (*a*) Diseñar el circuito, supuesto que no se tolera ninguna fluctuación del paso-banda. Para los elementos que se puedan elegir arbitrariamente emplear valores razonables. Indicar cuáles son estos elementos.
  (*b*) ¿Cuál es la atenuación de 9 kHz?

16-27. Repetir el Prob. 16-26 suponiendo que se admite una fluctuación paso-banda de 0,5 dB.

16-28. Comprobar la Ec. (16-30).

16-29. Comprobar la Ec. (16-31).

16-30. Emplear la sección bicuadrada de la Fig. 16-34*b* para diseñar el circuito descrito en el Prob. 16-26.

16-31. Comprobar la Ec. (16-32).

16-32. Un filtro paso-bajo ideal cuya frecuencia de corte es de 5 kHz se conecta en cascada con un filtro paso-alto ideal con $f_c = 4,8$ kHz.

(*a*) Esbozar la respuesta en frecuencia de la cascada.

(*b*) Supongamos que la frecuencia de corte de cada uno de los filtros de la cascada se puede regular dentro de un + 1%. Esbozar la respuesta en frecuencia correspondiente a las condiciones más desfavorables. Comentar la eficacia de esta realización para los filtros prácticos.

16-33. Diseñar una red de dentado teniendo $Q = 10$ a $f_O = 8$ kHz. Tomar $C = 500$ pF. Elegir los valores de las resistencias de forma que la relación entre la mayor y la menor de ellas no sea mayor de 10.

16-34. Comprobar la Ec. (16-34).

16-35. (*a*) Determinar la función de transferencia del circuito de la Fig. 16-39. Supóngase $Y = 0$.

(*b*) Comprobar la Ec. (16-33).

16-36. (*a*) Repetir el Prob. 16-35 parte (*a*) para $Y \neq 0$.

(*b*) Demostrar que $Y = 1/R_4$ da un filtro dentado paso-bajo.

(*c*) Demostrar que $Y = sC$ da un filtro dentado paso-alto.

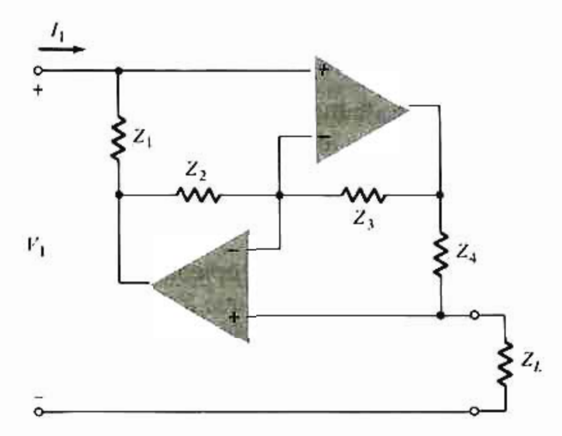
16-37. Demostrar que el circuito de la Fig. 16-42 tiene la respuesta dada por la Ec. (16-36).

16-38. (*a*) El circuito representado se denomina convertidor de impedancia generalizado (GIC). Demostrar que si los Amp-Ops son ideales:

$$Y_i = \frac{I_1}{V_1} = \frac{Y_1 Y_3}{Y_2 Y_4} Y_1$$

(*b*) Este circuito se emplea frecuentemente para simular una inductancia en un chip. Demostrar que si $Y_4 = sC_4$ y todos los demás componentes son resistivos Y_i es inductivo.

(*c*) Suponiendo que cualquier resistencia puede estar comprendida entre 0,1 y 10 $k\Omega$, y que $10<C<500$ pF, ¿cuál es el campo de los valores de inductancia posibles?



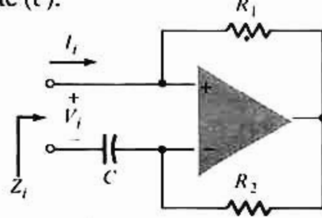
Prob. 16-38

16-39. Comprobar que el circuito representado simula una inductancia en serie con una resistencia. Dicho de otra forma, demostrar que $V_i/I_i = R + Ls$.

16-40. El circuito representado (girador) se emplea para simular una inductancia.

(*a*) Demostrar que $V_i/i_i = R_1 R_2/Z$.

(*b*) Repetir el Prob. 16-38, parte (*c*).



Prob. 16-39

Prob. 16-40

Prob. 16-41

Prob. 16-42

16-41. La representación corresponde a una forma alternativa del dispositivo anterior. Demostrar que V_i/I_i es inductivo. Supóngase que los Amp-Ops son ideales.

16-42. (*a*) Comprobar que la impedancia de entrada $V_i/i_i = -Z$. A este circuito se le denomina convertidor de impedancia negativo (NIC).

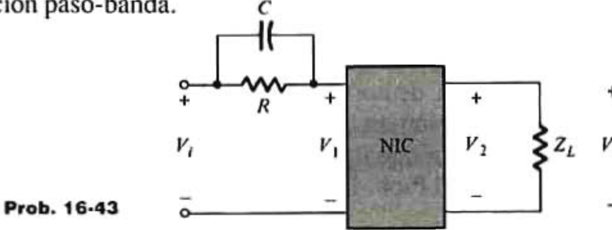
(*b*) Determinar V_o/V_i.

16-43. El NIC del circuito representado tiene las siguientes propiedades: $Z_1 = -Z_L$ y $V_2 = V_1$. La carga empleada es R_L en paralelo con C_L con la restricción de que $R_L C_L = 1$.

(*a*) Determinar V_o/V_i.

(*b*) Seleccionar R_L de forma que el circuito sea una sección de paso-bajo.

(*c*) Repetir (*b*) para obtener una sección paso-banda.



Prob. 16-43

16-44. (*a*) Comprobar la Ec. (16-37).

(*b*) Comprobar la Tabla 16-5.

16-45. Comprobar las Ecs. (16-38) y (16-39).

16-46. Diseñar el filtro del Prob. 16-19 usando la sección bicuadrática de la Fig. 16-44. Elegir $R_2 = R_3 = R_4 = R_6 = 10\ k\Omega$.

16-47. Repetir el Prob. 16-26 usando la sección de filtro de la Fig. 16-44. Los valores de los componentes seleccionados se dan en el Prob. 16-46.

16-48. Repetir el Prob. 16-27 usando la sección de filtro de la Fig 16-44. Los valores de los componentes seleccionados se dan en el Prob. 16-46.

16-49. Mostrar el equivalente del circuito de la Fig. 16-22 de un condensador de conmutación.

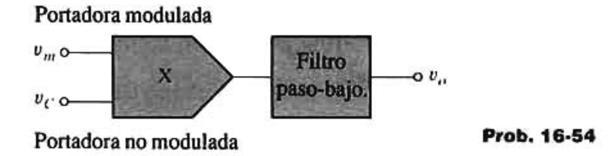
16-50. Mostrar un condensador-conmutador equivalente del circuito de la Fig. 16-44.

16-51. Demostrar que si la tensión de referencia V_R de la Fig. 14-42 es variable en el tiempo, el amplificador de transconductancia operacional funciona como multiplicador.

16-52. Emplear uno o más multiplicadores para engendrar una onda senoidal de frecuencia $3f_O$ a partir de una senoide de frecuencia f_O.

16-53. (*a*) Emplear el multiplicador para generar una señal $v_O(t)$ proporcional a v_i^3.
(*b*) Repetir (*a*) para v_O proporcional a $v_i^{1/3}$.

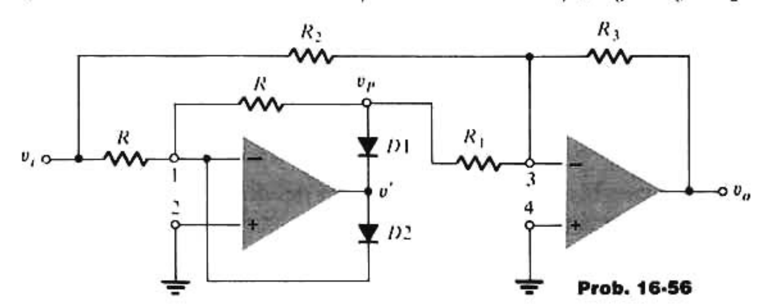
16-54. Las señales de entrada al circuito multiplicador representado son: una señal $v_m = V(t) \cos \omega_C t$, y la señal portadora $V_C \cos \omega_C t$.
(*a*) Demostrar que se puede usar V_O para obtener la información $V(t)$
(*b*) Si $V(t) = V_m \cos w_s t$, siendo $\omega_s \ll \omega_c$, ¿cuál sería la frecuencia de corte del filtro?



Prob. 16-54

16-55. Esbozar una onda senoidal de valor de pico V_m que sea la entrada a un rectificador de media onda. Directamente debajo dibujar la onda de salida e indicar sus valores de pico positivo y negativo si el sistema es: (*a*) el dado en la Fig. 16-60*a*; (*b*) el mismo sistema con los diodos invertidos; (*c*) el sistema obtenido de la Fig. 16-60*a* con el lazo izquierdo de *R* puesto a tierra y v_i fijado al terminal no inversor; (*d*) el sistema de la parte (*c*) con los diodos invertidos.

16-56. (*a*) Comprobar que el circuito representado da una rectificación de onda completa supuesto que $R_2 = KR_1$. Hallar *K*.
(*b*) ¿Cuál es el valor de pico de la salida rectificada?
(*c*) Dibujar cuidadosamente las ondas $v_i = 10$ sen $\omega t = t$, v_p, y v_O si $R_3 = R_2$.



Prob. 16-56

16-57. Una onda tiene un pico positivo de magnitud V_1 y uno negativo de magnitud V_2. Dibujar un circuito empleando dos detectores de pico cuya salida sea igual al valor pico-a-pico $V_1 - V_2$.

16-58. (*a*) El amplificador exponencial de la Fig. 16-54 está en cascada con el amplificador logarítmico de la Fig. 16-53. Si V_s es la entrada al amplificador logarítmico y V'_O la salida exponencial, ¿cómo se puede demostrar que $v'_O = V_s$?
(*b*) Supongamos que las resistencias R_1, R_2, R_3 y R_4 de la Fig. 16-53 no son idénticas a las correspondientes resistencias de la Fig. 16-54. Designar las constantes de la Ec. (16- 60) por $K_i \neq K_1$ y $K'_2 \neq K_2$. Demostrar que con la disposición en cascada de (*a*), V'_o a la *n*-ésima potencia de V_s, siendo $n = K_1 / K'_1$.

(*c*) Supongamos que R_3 del amplificador exponencial es ajustable, pero los valores de todas las demás resistencias son los indicados en las Figs. 16-53 y 16-54. Calcular R_3 para que $n = 3$. Repetir para $n = 1/3$.

CAPÍTULO 17

17-1. Un diodo cuya resistencia interna es de 20Ω, debe suministrar potencia a una carga de 200Ω, desde una fuente de 110 *V* de tensión eficaz. Calcular, (*a*) el pico de corriente de carga; (*b*) la corriente de carga en continua; (*c*) la corriente de carga en alterna; (*d*) la tensión en continua del diodo; (*e*) la potencia total de entrada al circuito; (*f*) el porcentaje de regulación desde descargado hasta la carga dada.

17-2. Comprobar las Ecs (17-15) y (17-16).

17-3. Demostrar que la máxima potencia de salida en continua $P_{dc} = V_{dc}I_{dc}$ en un circuito de media onda y una fase se tiene cuando la resistencia de carga se iguala la del diodo R_f.

17-4. El rendimiento de la rectificación η_r se define como la relación entre la potencia de salida en continua $P_{dc} = V_{dc}I_{dc}$ y la potencia de entrada

$$P_i = (1/2\pi) \int_0^{2\pi} v_i i \, d\alpha.$$

(*a*) Demostrar que para el circuito rectificador de media onda

$$\eta_r = \frac{40.5}{1 + R_f/R_L} \%$$

(*b*) Demostrar que en el rectificador de onda completa η_r vale el doble de lo hallado en (*a*).

17-5. Demostrar que la regulación tanto del rectificador de media onda como la del de onda completa viene dada por: % regulación = $(R_f/R_L) \times 100\%$.

17-6. En un puente de una fase y onda completa ¿pueden intercambiarse el transformador y la carga? Explíquese detalladamente.

17-7. El sistema de puente rectificador de la Fig. 17-8 se emplea para construir un voltímetro de alterna. La resistencia directa de los diodos es de 50Ω, la resistencia *R* es de 25Ω, y la resistencia del amperímetro es despreciable. La tensión de señal es $v_s = 200$ sen ωt.

(*a*) Esbozar la onda de corriente i_L a través del amperímetro. Calcular el valor instantáneo máximo.

(*b*) Escribir una integral cuyo valor dé la lectura del amperímetro de continua. Calcular esta expresión y hallar I_{dc}.

(*c*) Esbozar realísticamente la onda de tensión a través del diodo *D*1. Indicar los valores instantáneos máximos. Calcular la tensión media del diodo.

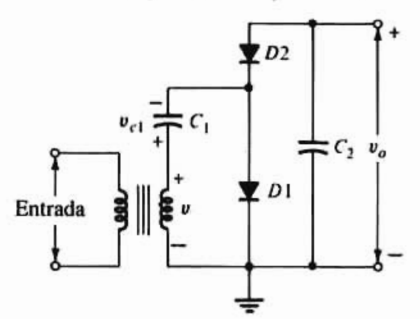
(*d*) Escribir una integral cuyo valor nos dé la lectura de un voltímetro de tensión eficaz situado a través de *D*1. (Este voltímetro no debe tener un condensador de bloqueo en serie.) Hallar el valor de esta tensión eficaz del diodo.

17-8. Un medidor de continua 5 *mA* cuya resistencia es de 40 ohmios se calibra para que indique tensiones eficaces cuando se emplea en un circuito puente con diodos semiconductores. La resistencia efectiva de cada elemento puede considerarse nula en sentido directo e infinita en el inverso. La tensión senoidal de entrada se aplica en serie con una resistencia de 20 *k*Ω. ¿Cuál es la lectura a fondo de escala de este aparato?

17-9. (*a*) Consideremos el circuito puente doblador de tensión de la Fig. 17-9 con R_L infinita. Demostrar que en estado permanente cada condensador se carga a la tensión de pico del transformador V_m y que por tanto, $v_o = 2V_m$. Considérense diodos ideales.

(*b*) ¿Cuál es la tensión inversa de pico a través de cada diodo?

17-10. El circuito representado es un doblador de tensión de media onda. Analizar el funcionamiento de este circuito esbozando como función del tiempo las ondas v_i, v_{C1}, v_{D1}, v_{D2} y v_o. Supóngase que en el instante $t = 0$ los condensadores están descargados. Calcular (*a*) la tensión máxima posible a través de cada condensador, y (*b*) la tensión inversa de pico de cada diodo. Compárese este circuito con el puente doblador de tensión de la Fig. 17-9. En este circuito la tensión de salida es negativa respecto a tierra. Demostrar que si se intercambian las conexiones al cátodo y al ánodo de cada diodo, la tensión de salida será positiva respecto a tierra.



Prob. 17-10

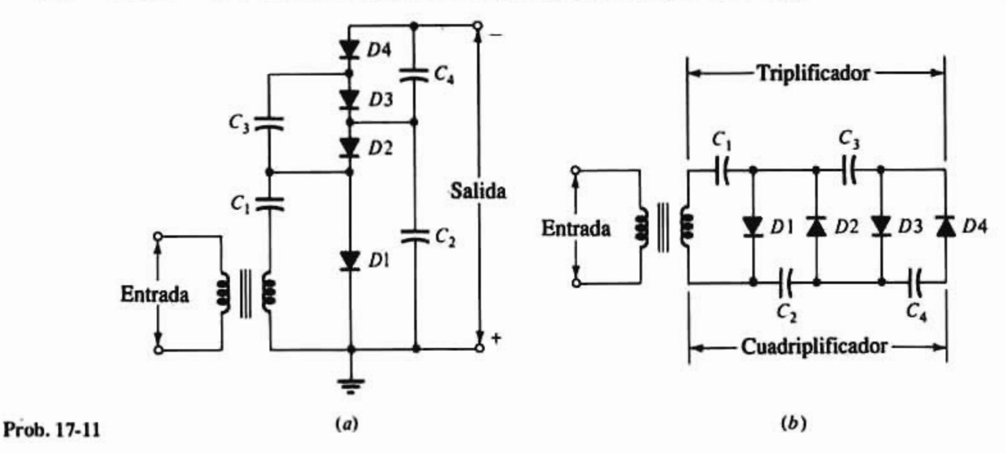
17-11. El circuito del Prob. 17-10 puede ampliarse de doblador a cuadriplicador añadiendo dos diodos y dos condensadores como queda representado. Las partes (*a*) y (*b*) de la figura son formas alternativas de dibujar el mismo circuito.

(*a*) Analizar el funcionamiento de este circuito.

(*b*) Responder a las mismas cuestiones del Prob. 17-10 partes (*a*) y (*b*).

(*c*) Generalizar el circuito de éste y del Prob. 17-10 para multiplicar por *n* cualquier número par. En particular, esbozar el circuito para multiplicar por seis.

(*d*) Demostrar que también se puede multiplicar por *n* impar si se elige la salida adecuadamente.



Prob. 17-11

17-12. (*a*) Consideremos el filtro capacitivo de la Fig. 17-10. Demostrar que durante el intervalo en que el diodo conduce, la corriente del diodo viene dada por $i = I_m \operatorname{sen}(\omega t + \psi)$, siendo

$$I_m \equiv V_m \sqrt{\frac{1}{R_L^2} + \omega^2 C^2} \qquad \text{y} \qquad \psi \equiv \arctan \omega C R_L$$

(*b*) Hallar el ángulo de corte ωt_1 de la Fig. 17-12.

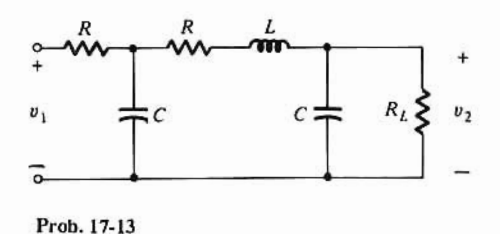
17-13. (*a*) Determinar la función de transferencia V_2/V_1 del circuito rectificador y el filtro capacitivo de entrada representado.

(*b*) Siendo $R = 25\Omega$, $R_L = 200\Omega$, $C = 200\mu F$, y $L = 20\ H$. determinar la tensión de salida supo-

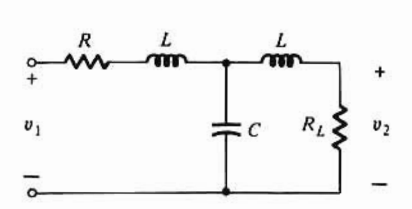
niendo que la entrada se puede representar por los dos primeros términos de su serie Fourier como

$$v_1(t) = \frac{110\sqrt{2}}{\pi}\left(1 - \frac{4}{3}\cos 754t + \cdots\right)$$

(*c*) El factor de rizado se define como la relación entre la componente en alterna (valor eficaz) de la tensión de salida y el valor medio de dicha tensión de salida. Calcular el factor de rizado en las condiciones de (*b*).



Prob. 17-13



Prob. 17-14

17-14. Repetir el Prob. 17-13 para el circuito rectificador y filtro de entrada inductivo representado. Los valores de los elementos son: $R_s = 25\Omega$, $R = 50\Omega$, $R_L = 500\Omega$, $C = 100\ \mu F$, y $L = 10H$. La tensión de entrada se puede representar

$$v_1(t) = \frac{220\sqrt{2}}{\pi}\left(1 - \frac{4}{3}\cos 100\pi t + \cdots\right)$$

17-15. Un rectificador de una fase y onda completa emplea un diodo semiconductor. La tensión del transformador es de 40 *V* (valor eficaz) a la toma central. La carga consiste en un condensador de 25 μF en paralelo con una resistencia de 600Ω. Las resistencias de diodo y de transformador así como la reactancia de dispersión pueden despreciarse. La frecuencia es de 60 Hz.

(*a*) Calcular el ángulo de corte.

(*b*) Trazar a escala la tensión de salida y la corriente del diodo. Determinar gráficamente de este trazado, el punto de conexión y hallar la corriente de pico del diodo correspondiente a este punto.

(*c*) Repetir (*a*) y (*b*) empleando un condensador de 75 μF en lugar del de 25 μF.

17-16. Repetir el Prob. anterior siendo la frecuencia de 50 Hz.

17-17. En la sección 17-6 se dan los coeficientes típicos de estabilización para un regulador monolítico. La tensión continua no regulada varía en ±0,5 *V*, debido a fluctuaciones en la línea. La corriente de carga puede variar en ±2 *A*. El pico de variación de temperatura respecto al ambiente de 30 °C, es de ±50 °C. Calcular la excursión máxima total de la tensión de salida respecto a la que hay a 30 °C.

17-18. En la Fig. 17-17 $A_v = 10^5$, $R_1 = R_2$, $V_R = 6\ V$, y el desplazamiento de la tensión offset de entrada del Amp-Op es de 10 μV/°C.

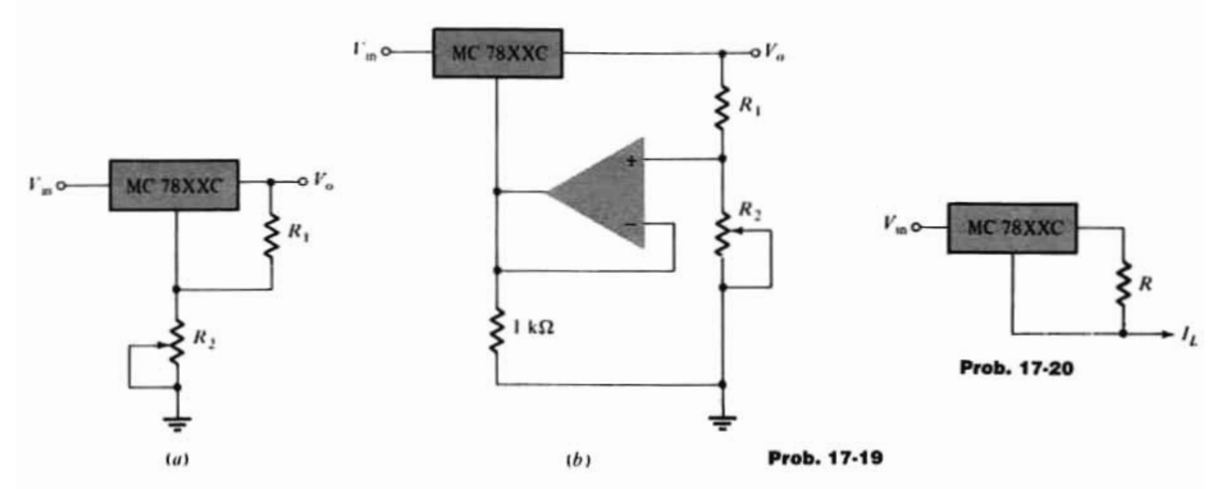
(*a*) ¿Cuál es aproximadamente la tensión de salida?

(*b*) ¿Cuál es S_T debido al desplazamiento de la tensión offset del Amp-Op?

(*c*) ¿Cuál es S_T motivado por la variación de temperatura base-emisor de *Q*1? Supóngase que en (*b*) $S_T = 0$.

17-19. La tensión de salida V_{reg} del regulador monolítico de la Fig. 17-16 se puede ajustar a un valor más alto de V_O mediante los circuitos representados. Hallar expresiones de V_O en función de V_{reg} e I_Q, definido en la Fig. 17-16. ¿Qué ventaja tiene (*b*) sobre (*a*)?

17-20. Con el circuito representado, el regulador de tres terminales y tensión fijada se convierte en un regulador de corriente. Si la tensión de salida del regulador es de 5 *V*, si $R = 5\Omega$, y si $I_Q = 10\ mA$. ¿Cuál es la corriente de salida I_L? Obsérvese que I_L es independiente de la carga. ¿Cómo puede



Prob. 17-20

Prob. 17-19

hacerse I_l independiente de I_Q? (*Sugerencia*: véase el circuito (*b*) en el Prob. 17-19.)

17-21. Si la tensión de salida V_O de un regulador de conmutación es negativa, se emplea el circuito desplazador de nivel representado, en la entrada del amplificador de error de la Fig. 17-22.

(*a*) ¿Cuál es la tensión de realimentación efectiva?

(*b*) Comprobar que

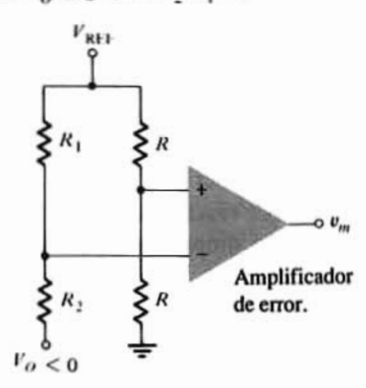
$$V_O = \frac{1}{2} V_{ref}\left(1 - \frac{R_2}{R_1}\right)$$

Obsérvese que para $V_O < O_1\ R_2/R_1 > 1$.

(*c*) Demostrar que para unos valores dados de V_O y de V_{ref} debe elegirse la relación R_2/R_1 de forma que

$$\frac{R_2}{R_1} = 1 - \frac{2V_O}{V_{ref}}$$

lo que significa que para una V_O negativa $R_2/R_1 > 1$.



Prob. 17-21

17-22. (*a*) La distorsión no lineal provoca la generación de frecuencias en la salida que no existen en la entrada. Admitiendo que la curva dinámica puede representarse con la Ec. (17-35), y si la señal de entrada viene dada por

$$i_b = I_1 \cos \omega_1 t + I_2 \cos \omega_2 t$$

demostrar que la salida contendrá un término en continua y otros términos senoidales de frecuencias ω_1, ω_2, $2\omega_1$, $2\omega_2$, $\omega_1 + \omega_2$, y $\omega_1 - \omega_2$.

$$y\ \omega_1,\ \omega_2,\ 2\omega_1,\ 2\omega_2,\ \omega_1 + \omega_2, \text{ and } \omega_1 - \omega_2.$$

(*b*) Generalizar los resultados de (*a*) demostrando que si la curva dinámica ha de estar representada por términos de orden superior en i_b la salida contendrá frecuencias de intermodulación dadas por la suma y la diferencia de múltiplos enteros de ω_1 y ω_2, como por ejemplo $2\omega_1 \pm 2\omega_2$, $2\omega_1 \pm \omega_2$, $3\omega_1 \pm \omega_2$, etc.

17-23. Un transistor suministra 2 *W* a una carga de $4k\Omega$. La corriente continua de colector de señal cero es de 35 *mA*, y la corriente continua de colector con señal es de 39 *mA*. Determinar en porcentaje la distorsión de segundo armónico.

17-24. La excitación de entrada de un amplificador es $i_b = i_m$ sen ωt. Demostrar que la corriente de salida se puede representar por una serie de Fourier que contenga sólo componentes senoidales impares y componentes cosenoidales pares.

17-25. (*a*) Consideremos un transistor ideal sin distorsión aun cuando se lleve desde corte al extremo de saturación, siendo $v_C = V_{min}$. Comprobar que el rendimiento de conversión viene dado por

$$\eta = \frac{25(V_{CC} - V_{\min})}{V_{CC}} \times 100\ \%$$

(*b*) ¿Cuál es el máximo rendimiento posible y en qué circunstancias se logra?

17-26. Demostrar que en un amplificador ideal de clase *B* a contrafase la disipación de colector P_C es nula sin señal ($V_m = 0$), va aumentando al crecer V_m pasando por un máximo dado por la Ec. (17- 58) cuando $V_m = 2V_{CC}/\pi$.

17-27. La simetría especular requiere que la parte inferior de la onda, al desplazarse 180° a lo largo del eje de tiempos resulte ser la imagen especular de la parte superior. Esta condición de simetría está representada matemáticamente por la ecuación

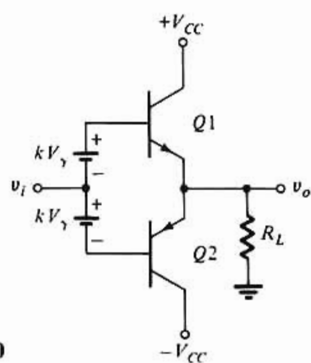
$$i(\omega t) = -i(\omega t + \pi)$$

(*a*) Empleando la Ec. (17-64) demostrar que un sistema a contrafase de clase *B* posee simetría especular.

(*b*) Demostrar, sin recurrir a la serie de Fourier, que un sistema a contrafase de clase *B* posee simetría especular.

17-28. En el amplificador ideal a contrafase de clase *B* de la Fig. 17-29, $V_{CC} = 15\ V$, y $R_L = 8\Omega$. La entrada es senoidal. Determinar (*a*) la máxima potencia de la señal de salida; (*b*) la disipación de colector en cada transistor, a la potencia de salida; (*c*) el rendimiento de conversión; (*d*) ¿cuál es la máxima disipación de cada transistor, y cuál es el rendimiento en estas condiciones?

17-29. El amplificador ideal a contrafase de clase *B* de la Fig. 17-29 está operando a la amplitud senoidal en la que la disipación es máxima. Comprobar que el rendimiento de la conversión es del 50%.



Prob. 17-30

17-30. En el circuito representado se puede admitir que la tensión base-emisor se mantiene constante al valor de conexión V_γ para todos los valores de polarización directa. La tensión de polarización está idealmente representada por dos baterías de tensión kV_γ siendo $0<k\leq 1$. Supongamos que $v_i = V_s \operatorname{sen} \omega t$.

(*a*) Siendo $V_\gamma = 0{,}6$ *V*, y $V_s = 1$ *V*, esbozar la salida v_o en función del tiempo para $k = 0$, 0,5 y 1. Calcular el ángulo de cierre para cada valor de *k*.

(*b*) ¿Qué sucede con la dispersión al aumentar V_s?

(*c*) ¿Qué sucede si *k* supera la unidad?

(*d*) Si se añade una resistencia *R* entre los dos emisores, ¿qué sucederá si *k* es mayor que uno?

(*e*) En (*a*) y en (*d*) el funcionamiento en contrafase, ¿es en clase *A*, *B*, *AB*, o *C*?

APENDICE E

Soluciones de una selección de problemas

CAPITULO 1

1-2 62.5 V.

1-4 43 mV.

1-6 (*a*) 41.4 kV/cm.

1-8 10.0 $cm^2/V \cdot s$.

1-10 (*a*) $p = n = 1.45 \times 10^{10}$ cm^{-3}; (*b*) la muestra es intrínseca.

1-12 (*a*) $p = 6.58 \times 10^{17}$ cm^{-3}, $n = 3.20 \times 10^2$ cm^{-3}; (*b*) $n = 2.08 \times 10^{17}$ cm^{-3}, $p = 1.01 \times 10^3$ cm^{-3}.

1-14 0.833×10^{-7}.

1-16 (*c*) -173 mV.

1-20 196 mV.

1-22 594 mV.

CAPITULO 2

2-3 (*a*) -150 mV; (*b*) 54.6; (*c*) 220 μA, 1.63 mA, 11.0 mA.

2-5 (*a*) 6.82 mA; (*b*) 1.42 nA; (*c*) 46.8 mA.

2-7 100 V.

2-9 (*a*) 51 mA, 0.9 V; (*b*) 18.9 Ω.

2-11 (*a*) 9.38 V, 2.98 mW; (*b*) 2.2 mA; (*c*) 9.7 mA.

2-13 410 mW.

2-15 2.84 mA.

2-17 (*a*) $V_\gamma = 0.9$ V, $R_f = 3.33$ Ω; (*b*) $I_D = 49.4$ mA, $V_D = 1.06$ V.

2-19 (*a*) 150 Ω; (*b*) 50 Ω.

2-31 (*a*) $\Delta I_R = [r_d/(r_d + R)]\,\Delta I$; (*b*) 5.65 mA.

2-33 (*a*) 0.0483 sen ωt; (*b*) 6.70 + 0.0483 sen ωt.

2-35 (*b*) $\Delta V_o = \frac{1}{2}\Delta V_i$.

2-39 (*a*) 4 Ω; (*b*) 6 W.

2-41 (*a*) -0.229 pF; (*b*) 0.276 pF.

2-43 (*a*) 8.37 V; (*b*) 3.87 V; (*c*) 8.37 V; (*d*) 4.07 V.

CAPITULO 3

3-1 (*c*) 9.5 mV.

3-5 (*b*) 0.10 nA, −0.10 nA.

3-8 (*a*) R_B = 188 kΩ, R_C = 0.47 kΩ; (*b*) 250.

3-10 20.8 mA, 4.33 V.

3-12 (*a*) 1.75 mA, 0.732 V.

3-13 (*a*) −1.99 mA, −4.09 V; (*b*) −0.926 mA, −7.19 V.

3-14 (*a*) 2.05 mA, 4.42 V; (*b*) 2.57 mA, 3.03 V.

3-15 (*a*) R_C = 1.52 kΩ, R_F = 85.1 kΩ; (*b*) 3.65 mA, 7.05 V.

3-17 (*a*) V_{o1} = 10.1 V, V_{o2} = −5.04 V; (*b*) 1.52 kΩ; (*c*) 1.51 kΩ.

3-21 6.69 V, 0.33 mA.

3-22 (*a*) 500 μA, 7 V; (*b*) 527 μA, 6.73 V.

3-24 (*a*) 14.3 V; (*b*) 87.8 V.

3-35 (*a*) 20 mΩ, 7.5 kΩ; (*b*) 100 Ω; (*c*) 38.

3-37 $R_i = r_\pi + r_b + (\beta_o + 1)R_E$.

3-44 (*b*) R_{in} = 457 kΩ, R_o = 31.5 Ω; (*c*) 0.99.

CAPITULO 4

4-4 2.11 V.

4-6 (*a*) 550 Ω; (*b*) 18.6 kΩ.

4-8 R_D = 5 kΩ, R_S = 0.4 kΩ.

4-10 6.32 V, 2.92 mA.

4-12 R_1 = 10.6 MΩ, R_2 = 100 kΩ, R_D = 3.8 kΩ.

4-14 (*a*) 2 mA, 4 V; (*b*) 2.15 kΩ.

4-16 (*a*) 20 μA, 3 V; (*b*) 3 V.

4-18 V_{DS1} = 4 V, V_{DS2} = 2 V.

4-20 $V_{DS1} \simeq$ 2.5 V, $V_{DS2} \simeq$ 3.5 V.

4-23 20 μA, 5.8 V.

4-25 80 μA, 5.2 V.

4-31 (*b*) 26.3 kΩ.

4-33 (*a*) $R_S \parallel (R_D + r_d)/(1 + \mu)$; (*b*) 461 Ω; (*c*) 425 Ω.

4-41 (*b*) $V_o = \mu_1 r_{d2} V_i/[r_{d1}(1 - \mu_2) + r_{d2}(1 + \mu_1)]$.

CAPITULO 5

5-4 37.8 Ω/ cuadrado

5-5 (*a*) 2.5 mm; (*b*) 1 μm.

5-7 307 pF.

CAPITULO 6

6-2 11011110, 100101110, 1111110000.

6-3 177, 550, 2052.

6-4 DE, 12E, 6FO.

6-6 $1.2 \leq R \leq 5.56$ kΩ.

6-8 (*a*) $R_{OFF} \geq 120$ kΩ; (*b*) $R_{ON} \leq 208$ Ω.

6-13 (*b*) $Y = \overline{ABC}$.

6-15 (*b*) $Y = AB\overline{C}$.

6-24 22.

6-25 (*a*) 52.6 kΩ.

6-45 (*a*) $Y = (\overline{A + B})$.

6-54 (*a*) 4.39; (*b*) 7.1 mW.

6-56 (*a*) 1.7 V; (*b*) 27.

6-62 0.3 V, $i_b = 51.7$ μA, $i_s = 131.3$ μA.

6-64 (*b*) 50; (*c*) 9.63 mW.

6-67 (*c*) $V(0) = 0.2$ V, $V(1) = 2.746$ V; (*d*) 88.

6-69 (*a*) 0; (*b*) 43.5 mA.

CAPITULO 7

7-17 (*a*) 145; (*b*) 145.

7-18 (*a*) 80; (*b*) 60.

7-22 (*b*) 9.

7-25 8, $X_0 = X_5 = \overline{D}$, $X_1 = X_4 = D$, $X_2 = X_6 = 1$, $X_3 = X_7 = 0$.

7-26 (*b*) $X_7 = 1$, $X_3 = X_5 = X_6 = D$, all other $X = 0$.

7-28 (*b*) Tres transistores; *Q*0 y *Q*1 tienen dos emisores cada uno, *Q*2 tiene dos emisores.

7-33 $Y_1 = W_6 + W_7 + W_2\overline{W}_4\overline{W}_5 + W_3\overline{W}_4\overline{W}_5$.

7-36 (*a*) 10; (*b*) 7.

7-39 (*a*) $Y_5 = \overline{DCB}A + \overline{DC}B\overline{A} + \overline{DC}BA + \overline{D}CBA + D\overline{C}B\overline{A} + D\overline{C}BA + DCBA$.

7-41 (*a*) 6; (*b*) 4.

7-42 (*a*) 7; (*b*) 3; (*c*) 6, 4; (*d*) 1024.

CAPITULO 8

8-5 0.3 V, 2.7 V, 533 mV.

8-20 (*b*) Un impulso, $N = 5$.

8-21 (*b*) 2.

8-29 (*a*) $N = 4$.

8-36 1.98 s.

CAPITULO 9

9-12 (*a*) 1835; (*b*) 3606; (*c*) 101000101000.

9-16 (*a*) 0.397 mil^2; (*b*) 0.492.

CAPITULO 10

10-1 (*a*) 18.3 kΩ; (*b*) 42.3°C.

10-2 (*a*) 0.85 mA; (*b*) $\beta_{max} = 1145$, $\beta_{min} = 91$.

10-3 (a) 14.1 kΩ; (b) 0.192%.

10-4 $(I_C)_{min} = 0.459$ mA, $(I_C)_{max} = 0.462$ mA.

10-5 (a) $I_{C1} = I_{C2} = 0.248$ mA; (b) 21.0 kΩ.

10-6 (a) 781 kΩ; (b) −1.95 V.

10-7 1.12 kΩ.

10-8 (a) 0.0541 mA; (b) 0.554%.

10-11 1.31 kΩ.

10-12 1.31 kΩ.

10-15 (a) 10.6 kΩ; (b) 0.07%.

10-16 (a) 10.6 kΩ; (b) 0.08%.

10-17 (a) $[\beta_F^2/(\beta_F^2 + 4\beta_F + 2)]\,[(V_{CC} - 2V_{BE})/R]$; ($b$) 44.15 kΩ; ($c$) 309°C.

10-18 (a) $I_C = 1.21$ mA, $I_B = 6.06$ mA, $V_{CE} = 9.38$ V; (b) $I_C = 1.07$ mA, $V_{CE} =$ 9.59 V.

10-19 (a) $I_C = 1.51$ mA, $I_B = 0.012$ mA, $V_{CE} = 6.83$ V; (b) $I_C = 1.57$ mA, $I_B =$ 0.00629 mA, $V_{CE} = 6.51$ V.

10-21 (a) $I_{CQ} = 5.355$ mA, $V_{CEQ} = 3.97$ V; (b) 9.08 kΩ; (c) $6.36\text{ V} \le V_{CE} \le 8.40$ V.

10-23 540 kΩ.

10-24 $I_{C1} = I_{C2} = 0.271$ mA, $I_{C3} = 0.0287$ mA.

10-25 (a) 21.3 kΩ; (b) 152 μA; (c) 20 μA.

10-26 17 kΩ.

10-27 4 kΩ.

10-28 100 μA.

10-29 (a) 1.85 V; (b) 15.95 V; (c) −2 V.

10-30 $I_{DQ} = 2.098$ mA, $V_{DSQ} = 7.55$ V, $V_{GSQ} = -0.491$ V.

10-31 $2.083 \le I_{DQ} \le 2.113$ mA, $7.18 \le V_{DSQ} \le 7.93$ V.

10-32 $R_1 = 1.41$ MΩ, $R_2 = 108$ kΩ, $R_D = 2.17$ kΩ, $R_S = 1.43$ kΩ.

10-35 $A_V = -43.78$, $R_i = 3.425$ kΩ.

10-36 (a) 6 kΩ; (b) −111.4; (c) −80.

10-40 (a) 1.42 kΩ; (b) 0.924.

10-41 (a) 3.96 kΩ; (b) $A_V = 0.988$, $R_o = 52$ Ω, $R'_o = 51$ Ω.

10-43 (a) $A_V = -20.7$, $R_i = 15.7$ kΩ; (b) $-21.2 \le A_V \le -18.7$.

10-44 (a) $A_V = -20.9$, $R_i = 33.9$ kΩ, $-21.4 \le A_V \le -19.2$; (b) $R_o = \infty$, $R'_o =$ 5 kΩ.

10-53 (a) −8.80; (b) $R_o = 92.84$ kΩ, $R'_o = 13.65$ kΩ.

10-54 (a) 0.550; (b) $R_o = 789$ Ω, $R'_o = 441$ Ω.

10-57 (a) −6.58; (b) −6.97.

10-58 (a) 36.2 kΩ; (b) $R_o = 976$ Ω, $R'_o = 950$ Ω.

10-61 $A_{V1} = -40.3$, $A_{V2} = -34.7$, $A_V = 1398$.

10-62 (a) −38,000; (b) −48,500; (c) −44,200.

10-65 (a) 25.3 kΩ; (b) 126.8 V.

10-67 (*a*) $A_{V1} = -49.75$, $A_{V2} = -0.985$; (*b*) 49.0.

10-71 (*a*) $A_{V1} = -9.88$, $A_{V2} = -20$, $A_{V3} = 0.816$; (*b*) $A_V = 161.2$; (*c*) $R_o = 976\ \Omega$, $R'_o = 817\ \Omega$.

10-74 $R_C = 125\ \text{k}\Omega$, $R_E = 1.25\ \text{M}\Omega$.

10-75 (*a*) 5000 sen $(2\pi \times 10^3)t + 0.75$ sen $120\pi t$ mV; (*b*) -5000 sen $(2\pi \times 10^3)t +$ 0.75 sen $120\pi t$ mV.

10-78 (*a*) $v_{o1} = A_{DM}(V_s/2)(1 + 1/CMRR)$, $v_{o2} = -A_{DM}(V_s/2)(1 - 1/CMRR)$; (*b*) $v_{o1} = A_{DM}(V_s/2)(-1 + 1/CMRR)$, $v_{o2} = A_{DM}(V_s/2)(1 + 1/CMRR)$.

10-82 $A_{DM} = -18.75$, $A_{CM} = -0.361$, $CMRR = 34.3$ dB.

10-84 (*a*) -2 V; (*b*) -1.875 V.

10-85 (*a*) -1.25 V; (*b*) -18.75 V.

CAPITULO 11

11-2 $1/[(R_s \parallel r\pi)C(1 + g_m R'_L) + R'_L C]$, siendo $R'_L = R_L \parallel R_C$.

11-5 $1/(R'_o + R_L)C_L$, siendo $R'_o = R_D \parallel [r_d + (1 + \mu)R_S]$.

11-7 $f_\beta = 2.5$ MHz, $f_T = 400$ MHz.

11-13 -43.8, 77.0 Mrad/s.

11-15 -97.1, 2.17 MHz.

11-17 -333, 90.4 MHz.

11-18 0.82, 10.1 MHz.

11-20 -7.04, 3.77 MHz.

11-26 (*a*) $a_1 = (R_1 + R_2)C_2 + (1 - A)R_1C_1$, $a_2 = R_1R_2C_1C_2$; (*b*) $-1/RC$, $-1/RC$; (*c*) $s = (1/2RC)(1 \pm j\sqrt{3})$.

11-30 (*a*) 2860, 3.38 MHz; (*b*) 18.0 MHz.

11-32 (*a*) 2870, 3.60 MHz; (*c*) 311 MHz.

11-35 -1340, 32.1 kHz.

11-38 (*a*) 320, 342 kHz; (*b*) 5.31 MHz.

11-42 (*a*) 417, 439 kHz; (*b*) 2.21 MHz.

11-45 (*b*) 2 MHz.

11-47 (*a*) $A_{V1} = 50$, $A_{V2} = -5$, $A_{V3} = 3$, $f_{H1} = 20$ kHz, $f_{H2} = 167$ kHz, $f_{H3} = 333$ kHz; (*c*) 20 kHz; (*d*) 16.95 kHz.

11-49 (*a*) 1331; (*b*) 455 kHz (diagrama de Bode), 303 kHz (polo dominante).

11-50 (*a*) 2 mA, 0 V; (*b*) 0.594 μF; (*c*) 66 μF; (*d*) $C_B = 0.6\ \mu$F, $C_E = 6.6\ \mu$F.

11-54 (*a*) 2.65 Hz; (*b*) 4.16%; (*c*) 416 Hz.

CAPITULO 12

12-4 (*a*) Amplificador de corriente; (*b*) $R_i = 10\ \Omega$, $R_o = \infty$, $A_i = 75$.

12-6 (*a*) $v_o = -200(v_s - v_f)$; (*b*) 120.

12-9 (*a*) 240 mV; (*b*) 150 mV.

12-19 1.02 mV.

12-21 (*a*) Serie-serie; (*c*) $A_{OL} = -6.57$, $T = 6.57 \times 10^3$, $A_F = -10^{-3}$ ℧; (*d*) $R_{IF} =$ 1.38 MΩ, $R_{OF} = 480$ MΩ; (*e*) -10^{-3} ℧.

12-24 -93.6, 219 Ω.

12-29 (*a*) $T = 0.925$, $A_{OL} = 20.6$, $A_F = 10.7$; (*b*) 2.70 kΩ.

12-31 (*a*) $T = 7.12$, $A_{OL} = 181$, $A_F = 22.3$; (*b*) 5.03 Ω.

12-32 (*a*) Serie-serie; (*c*) $A_F = 0.295$ ℧, $T = 18.2$; (*d*) 2830.

CAPITULO 13

13-1 (*a*) 300 kHz, 167 Hz; (*b*) sin realimentación 24.5 MHz, con realimentación 25 MHz.

13-4 (*a*) Inestable; (*b*) −20 dB, −45°.

13-7 (*a*) 71.6 dB; (*b*) 61.6 dB; (*c*) 30 dB.

13-10 (*a*) 2 krad/s; (*b*) el resultado difiere en media octava

13-11 (*a*) 25 rad/s; (*b*) $\omega_1 = 1.58$ krad/s, $z_1 = 10^5$ rad/s.

13-14 Aproximadamente 45%.

13-17 43.1°, 59.2°, 65.5°, 69.9°, 76.3°.

13-22 (*a*) 0.858 Mrad/s, 3.16 Mrad/s; (*b*) $(-2.01 \times 10^6)(1 \pm j3.62)$ rad/s; (*c*) 25.3°.

13-27 (*a*) 1.56 Mrad/s, 37.0 Mrad/s; (*b*) $(-19.3 \times 10^6)(1 \pm j0.504)$ rad/s; (*c*) ≈ 55°.

13-37 (*a*) $R_i = 5.43$ MΩ, $R_o = 333$ kΩ, $v_o/i_s = -3200$ mΩ; (*c*) $1/2\pi(12.66 + 3930C_C)$ MHz; (*d*) 4.05 pF.

CAPITULO 14

14-1 (*a*) 143 kΩ; (*b*) 500 kΩ; (*c*) No.

14-4 (*b*) 5:1.

14-7 (*a*) -1620; (*b*) $R_i = 9.3$ MΩ, $R_o = 2.7$ MΩ.

14-8 (*a*) $A_{DM} = -1600$, $CMRR = 75.5$ dB, $R_o = 3.33$ MΩ.

14-10 (*a*) 99 dB; (*c*) 13 pF.

14-16 (*b*) 5.98%.

14-25 -1200.

14-27 (*a*) 100 rad/s; (*b*) 66.5°; (*c*) 500 rad/s.

14-30 (*a*) 632 MΩ; (*b*) 98 pF.

14-34 (*a*) 18.5 rad/s; (*b*) $\tau > 10^{-5}$ s.

14-48 (*c*) 126 dB.

CAPITULO 15

15-5 (*a*) 6.13 kΩ; (*b*) 13.0 μs; (*c*) 30 kΩ, 430 pF.

15-7 6.56 kΩ, 65 pF.

15-9 (*a*) 100 rad/s, 10^4 rad/s; (*b*) 1.2×10^5 rad/s.

15-11 (*a*) 3.0 pF, 13.9 pF; (*b*) $A_V = 100$.

15-13 $\omega_o = 1/\sqrt{(L_1 + L_2)C}$, $A_V = L_2/L_1$.

15-16 $\omega_o = 9.14$ Mrad/s, $A_i = 119$.

15-18 R/R_3.

15-19 15.9 kHz, $R_{min} = 476$ Ω.

15-24 0.70 μs, 2.44 μs.

15-26 (*a*) 539 ns.

15-28 1.44 kΩ, 5.77 kΩ.

15-36 5 V, 4.3 V, 99 kΩ.

15-38 (*a*) 15, 3.73 V; (*b*) $V_R < R_2V_o/R_1$.

15-41 (*b*) $T_1 = (2R_2RC/R_1)[V_o/(V_o + V_S)]$, $f = (R_1/4R_2RC)[1 - (V_S/V_o)^2]$.

15-44 (*a*) 1.98 V, 5 V; (*b*) 1.6 V.

15-53 (*a*) 9 μF; (*b*) 1.1×10^{-3}%; (*c*) 9 pF, 1.1×10^{-3}%.

15-54 (*b*) 2, 1.

CAPITULO 16

16-4 (*a*) $A_v = -1$ con el interruptor cerrado, $A_v = +1$ con el interruptor abierto.

16-6 (*a*) $V_{N-1} = \frac{1}{2}V_{N-2} = \frac{1}{4}V_{N-3} = V_R/12$.

16-7 (*b*) $V_R/2R$, $-V_R$; (*c*) $V_R/4R$, $-V_R/2$; (*d*) $-V_R/8$.

16-8 (*a*) $R' = 128.5\ \Omega$. Las resistencias binarias crecientes son $2^{15}\ \Omega$, $2^{14}\ \Omega$, $2^{13}\ \Omega$, $2^{12}\ \Omega$, $2^{11}\ \Omega$, $2^{10}\ \Omega$, $2^9\ \Omega$, y $2^8\ \Omega$ correspondientes para los LSB,..., MSB; (*b*) 77.8 mA; (*c*) 39.2 mV.

16-16 (*a*) 9; (*b*) 6.

16-17 (*a*) 9; (*b*) 6.

16-38 (*b*) $L = R_2C_4/R_1R_2R_L$; (*c*) 1 fH $\leq L \leq$ 5 μH.

16-43 (*b*) $C = C_L$; (*c*) $R = R_L$.

16-55 (*a*) $R'V_m/R$, 0; (*b*) 0, $-R'V_m/R$; (*c*) $(R' + R)V_m/R$, $-V_m$; (*d*) V_m, $-(R' + R)V_m/R$.

16-58 (*c*) 1.55 kΩ, −8.

CAPITULO 17

17-7 (*a*) 1.6 A; (*b*) 1.02 A; (*c*) 80 V, 0; (*d*) 56.6 V.

17-11 (*b*) V_m, $2V_m$, $2V_m$, y $2V_m$ son las máximas tensiones a través de C_1, C_2, C_3, y C_4, respectivamente, donde V_m es el valor pico de la tensión aplicada. El pico de la tensión inversa para cada diodo es $2V_m$.

17-14 (*b*) $86.1 + 4.85 \times 10^{-3} \cos(100\pi t - 269°)$ V; (*b*) 3.98×10^{-5}.

17-15 (*a*) 100°; (*b*) 44°, 0.452 A; (*c*) 93.4°, 62°, 0.835 A.

17-17 112 mV.

17-18 (*a*) 12 V; (*b*) 20 μV/°C; (*c*) −0.05 μV/°C.

17-19 (*a*) $V_O = I_QR_2 + V_{reg}(1 + R_2/R_1)$.

17-23 12.65.

17-28 (*a*) 28.1 W; (*b*) 3.84 W; (*c*) 78.6%; (*d*) 5.70 W, 50%.

17-30 (*a*) 37°, 17.5°, 0.

miento cualitativo de las propiedades de un semiconductor hasta la comprensión del funcionamiento de elementos en estado sólido y aprender a combinar éstos para formar circuitos integrados. A lo largo de la obra se estudia una gran variedad de chips integrados y cómo se fabrican, y poder conocer las funciones digitales o analógicas que desempeña un chip. Para completar la teoría de estos elementos se hacen referencias a chips específicos comercialmente adquiribles y que realizan la función desarrollada en el texto.

La atención prestada al aspecto pedagógico se refleja en la explicación del comportamiento de los dispositivos, circuitos y sistemas, así como en el contexto en que se estudian sus funcionamientos específicos. Se han introducido los nuevos conceptos empleando las técnicas analíticas conocidas y el desarrollo de nuevos métodos de análisis se basa en conceptos ya conocidos, con lo que no se produce ningún vacío al tomar contacto con las innovaciones.

Una parte muy importante de la obra la constituyen los gráficos y esquemas de circuitos que con gran profusión acompañan y ayudan a entender el texto.

Cada capítulo finaliza con unos temas de repaso que permiten al estudiante comprobar el nivel de comprensión del tema y son una buena ayuda para resolver los 800 problemas que figuran en un apéndice. En otro se ofrece la solución de algunos de dichos problemas.

Dejando aparte su contenido, específicamente encaminado a la enseñanza, es indudable que constituye también un valioso auxiliar para ingenieros, científicos y profesionales de campos afines a la ingeniería eléctrica y de computadoras.

MICROELECTRONICA 6A ED.

ISBN 84-255-0885-1

00006

9 788425 508851

HISPANO EUROPEA